电子与电气工程技术丛书

华章科技

电磁兼容的电路板设计

基于Altium Designer平台

Circuit Board Design Techniques for EMC Compliance

姜付鹏 等编著

- 电磁兼容性的理论基础
- 电磁兼容性的PCB布局和布线设计
- 电子产品的滤波与屏蔽设计
- 电源完整性和信号完整性设计
- 静电放电与防护设计



机械工业出版社
China Machine Press

电子与电气工程技术丛书

电磁兼容的电路板设计

——基于Altium Designer平台

姜付鹏　等著

ISBN：978-7-111-33362-3

本书纸版由机械工业出版社于2011年出版，电子版由华章分社（北京华章图文信息有限公司）全球范围内制作与发行。

客服热线：+ 86-10-68995265

客服信箱：service@bbbvip.com

官方网址：www.hzmedia.com.cn

新浪微博 @研发书局

腾讯微博 @yanfabook

目　录

前言

电磁兼容的电子产品设计一直是电子产品设计的重点与难点，电磁兼容的国际标准及国家标准明确规定了产品必须满足的要求，电子产品满足电磁兼容性要求是产品得以销售与使用的必要条件。

本书以作者在大量的电子产品设计过程中积累的经验为基础，按照产品的开发流程详细介绍了电子产品开发过程中的电磁兼容性设计，以帮助电路设计人员快速了解电磁兼容性的电路设计要求与方法，核心内容如下：

·电磁兼容理论基础

·PCB设计基础知识

·电路设计的方法与原则

·PCB布局

·PCB布线

·滤波与屏蔽

·背板的设计

·电源完整性设计

·信号完整性分析

·静电放电与防护设计

本书是PCB设计师和电磁兼容工程师的参考手册与工作指南，既可以作为资深研发工程师、PCB设计师、产品策划经理、电磁兼容工程师的培训资料，也可以作为刚参加工作的专业人员以及电子、电气、自动化等专业的研究生和本科生的使用教材。

本书的第7章由何敬银老师编写，其余各章由姜付鹏编写。在编写过程中参考了国内外专家学者的研究成果，他们的理论与观点给予笔者很大的启示，在此表示谢意。还要感谢刘玉霞和初霞老师对稿件的校核所做的工作。

由于时间仓促，知识水平有限，书中难免存在错误和疏漏之处，恳请读者批评指正。

编者

2010年12月30日

第1章　电磁兼容理论基础

电磁兼容性（Electromagnetic Compatibility, EMC）是指设备或系统在电磁环境中，能够正常运行并且不对环境中的其他设备产生无法接受的电磁干扰的能力。因此，EMC包括两个方面的要求：一方面是设备在正常运行过程中对所在环境产生的电磁干扰不能超过一定的限值；另一方面是设备对所在环境中存在的电磁干扰具有一定程度的抗干扰能力。

1.1 电磁兼容性定义

国际电工委员会（International Electro technical Commission, IEC）对电磁兼容性的定义是：系统或设备在所处的电磁环境中能正常工作，同时不对其他系统或设备造成干扰。

国家标准GB/T 4365—1995《电磁兼容术语》对电磁兼容性的定义为“设备或系统在其电磁环境中能正常工作且不对该环境中任何事物构成不能承受的电磁骚扰的能力。”

国家军用标准GJB 72—1985《电磁干扰与电磁兼容性名词术语》对电磁兼容性的定义为“设备（分系统、系统）在共同的电磁环境中能一起执行各自的功能的共存状态。即：该设备不会由于受到处于同一电磁环境中其他设备的电磁发射导致或遭受不允许的降级；它也不会使同一电磁环境中其他设备（系统、分系统）因受其电磁发射而导致或遭受不允许的降级。”

对于上述的电磁兼容性定义，无论文字如何解释，都反映了这样一个基本事实：在共同的电磁环境中，任何设备、分系统、系统都应该不受干扰并且不干扰其他设备。

电磁兼容性包括电磁干扰（Electro Magnetic Interference, EMI）和电磁耐受性（Electro Magnetic Susceptibility, EMS）两部分。所谓EMI指

的是设备本身在执行应有功能的过程中所产生的不利于其他系统的电磁噪声；而EMS是指机器在执行应有功能的过程中不受周围电磁环境影响的能力。

1.2　电磁兼容性环境

电磁环境是由空间、时间、频谱三个要素组成的。在空间上，电磁辐射分布在不同空间，电磁信号随空间的变化而变化，分布状态不好把握；在时间上，它又随时间的变动而变动，具有强烈的动态性和流动性；在频谱方面，电磁辐射所占用频谱不可能固定，现在国际电联（International Telecommunication Union, ITU）已经规划的可以利用的无线电频谱在10kHz～400GHz之间。频率再低则进入声频，而再高则进入光波，任何一种无线电业务都在这一频谱范围内。实际上，要解决电磁兼容问题，需要考虑空间、时间、频谱这三要素，这也就是我们说的电磁环境。

人们也许会有这样的经历，在接打移动电话的时候，如果靠近显示器，显示器会有闪烁，这就是典型的电磁干扰。一个简单的电磁干扰模型由三个部分组成：电磁干扰源、耦合路径、接收器，如图1-1所示。



图　1-1　电磁干扰模型

1.电磁干扰源

电磁干扰源包括电气开关、摩擦生电、广播、电弧焊、微波炉、静电放电、瞬时功率执行元件等，例如：机电式继电器、开关电源、闪电。在一个微控制器系统里，时钟电路通常是最大的宽带噪声发生器，而这个噪声被分散到了整个频谱。随着大量的高速半导体器件的应用，其边沿跳变速率非常快，这种电路可以产生高达300MHz的谐波干扰。

2.耦合路径

噪声被耦合到电路中最简单的方式是通过导体传递。如果一条导线在一个有噪声的环境中经过，这条导线通过感应就会接收这个噪声并且将它传递到电路中去。噪声通过电源线进入系统，就是这种耦合方式的一种情况。电源线携带的噪声就被传到了整个电路。

耦合可以发生在有共享负载（阻抗）的电路中。例如，两个电路共享一条提供电源电压的导线，并且共享一条接地的导线，如图1-2所示。如果一个电路有了一个突发的尖峰电流，由于两个电路共享共同的电源线和同一个电源内阻，则另一个电路的电源电压将会受到影响，造成电压下降。该耦合的影响可以通过减少共同的阻抗来削弱。但实际上，电源内阻是固定的而不能被降低，这种情况也同样发生在接地的导线中。在一个电路中流动的电流在另一个电路的接地回路中产生了电位的变动。若接地不稳定，则将会严重降低运算放大器、模/数转换器和

传感器等低电平模拟电路的性能。同样，对每个电路都共享的电磁场的辐射也产生耦合。当电流改变时，就会产生电磁波。这些电磁波会耦合到附近的导体中并且干扰电路中的其他信号。

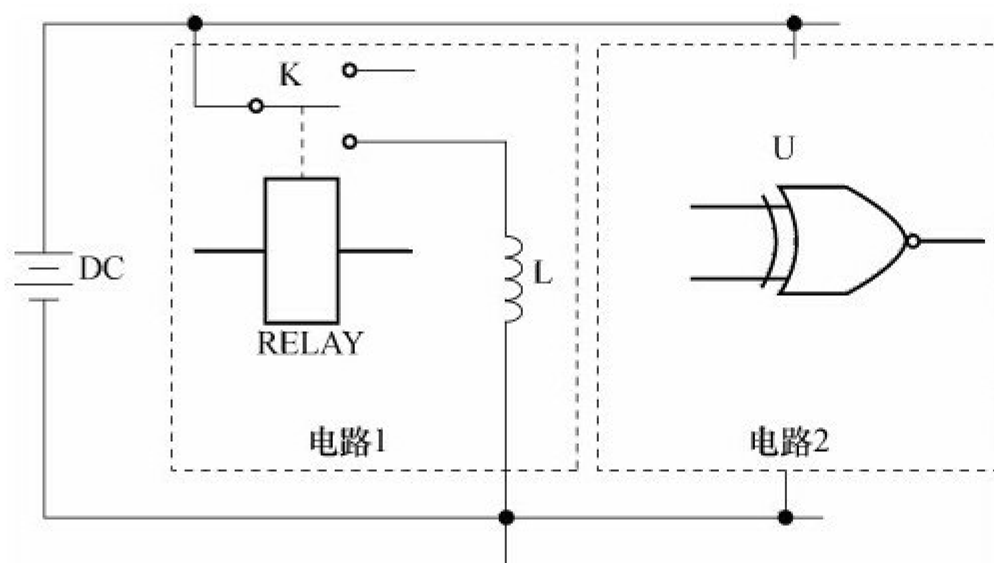


图　1-2　阻抗耦合

3.接收器

所有的电子电路都可以接收传送的电磁干扰。虽然一部分电磁干扰可通过射频被直接接收，但大多数是通过瞬时传导被接收的。在数字电路中，临界信号最容易受到电磁干扰的影响。这些信号包括复位、中断和控制信号。模拟的低级放大器、控制电路和电源调整电路也容易受到噪声的影响。

从图1-1所示的电磁干扰模型可以看出，只有同时具备了电磁干扰源、耦合路径和接收器，才能发生电磁干扰。为了进行电磁兼容性设计

并符合电磁兼容性标准，设计者需要将辐射（从产品中泄漏的射频能量）减到最小，增强其对辐射（进入产品中的射频能量）的易感性和抗干扰能力。

1.3 电磁兼容性标准

为了解决干扰问题，保证设备和系统的高可靠性，20世纪40年代初有人提出了电磁兼容性的概念。电磁干扰问题由单纯的排除干扰逐步发展成为从理论上、技术上全面保证用电设备，在其电磁环境中正常工作的系统工程。电磁兼容性技术已经从事后检测处理发展到预先分析评估、预先检验、预先设计。电磁兼容技术已成为现代工业生产、工程系统的实施项目的组成部分。

1.3.1 美国FCC标准

美国联邦通信委员会（Federal Communications Commission, FCC）认证是美国强制性认证。FCC规定，工作频率在9kHz以上的电子电器产品，可以定义为数字设备，就应该满足FCC标准的要求和规范。数字计算机产品分为两个等级：A级和B级。

·A级：提供销售的用于商业、工业或事业环境下的应用数字装置，不包括公共应用或专门用于家庭的产品。

·B级：提供销售的供居住环境应用但不排斥用于商业、工业和事业环境下的数字装置。如个人计算机和公共应用的电子装置。

1.电磁兼容性要求

FCC目前对有关产品的电磁兼容性要求主要是电磁干扰性。FCC Part15、Part18、Part68分别是关于射频设备（含广播接收机、计算机设备等），工业设备、科技设备和医疗设备，通信设备的电磁干扰特性的限制要求。与国内厂商关系最密切的部分是FCC Part15，其包括以下内容：

·Subpart A——General，一般要求。

·Subpart B——Unintentional Radiators，无意辐射体。

·Subpart C——Intentional Radiators，有意辐射体。

·Subpart D——Unlicensed Personal Communications Service Devices，未认证的个人通信服务设备。

·Subpart E——Unlicensed National Information Infrastructure Devices，未认证的全国性信息基础设备。

·Subpart F——Ultra-Wideband Operation，超宽带运算。

·Subpart G——Access Broadband Over Power Line（Access BPL），电力线宽带接入。

管制产品（设备运行必须满足电磁兼容的要求，才允许销售和使

用）的电磁辐射部分，主要分为无意辐射和有意辐射两大类。无意辐射产品为信息产品（不含无线产品发射器）、电视与收音机等，有意辐射产品为无线电遥控器、无线定位器等，见表1-1。随着技术的进步和电子产品的不断丰富，FCC制定电磁辐射干扰限值和测量方法，已逐渐朝着与国际无线电干扰特别委员会（CISPR）的标准一致的方向发展。

表 1-1　FCC 标准对应的设备类型

标　准	设　备　类　型
FCC Part15	计算机设备、无绳电话、接收器、电视接口设备、低功率发射机器
FCC Part18	工业设备、科技设备和医疗设备，例如：微波、RF 照明镇流器
FCC Part22	移动电话
FCC Part24	个人通信系统、包括得到许可的个人通信服务
FCC Part68	无线电通信、终端设备
FCC Part74	实验性无线电接收装置、辅助广播、特殊广播和其他节目发送服务
FCC Part90	私人地面移动通信业务，包括页面调度设备和移动接收发射机
FCC Part95	小型收音机服务，包括频带传送器、无线电控制玩具、家用无线电广播服务使用的设备

2.FCC标记

FCC认证分为三种：Certification（认可验证）、DoC（自我宣告）、Verification（证明）。

·Certification：电信证明机构（Telecommunications Certification Body, TCB）对申请者提交的样品及检测数据进行审核，如果符合FCC规则，则给设备授予一个FCC ID号码。多数情况下用于一般无线电产品申请。适用于此方式的设备包括各类短距离、低功率发射器，无线电话，蓝牙设备，WLAN设备等。

·DoC（Declaration of Conformity）：设备负责方（一般为制造商或进口商）在FCC指定的合格检测机构对产品进行检测，以确保设备符合相关的技术标准并保留检测报告，认证不需FCC人员审查测试报告，厂商可使用自我认证的方式。通过这种方式申请的产品主要是IT产品及其周边辅助设备。这是目前使用最广泛、最常见的方式，涉及产品较多，出证机构必须有NVLAP（National Voluntary Laboratory Accreditation Program，美国国家实验室自愿认可组织）/A2LA（American Association for Laboratory Accreditation，美国实验室认可协会）的授权。

·Verification：制造商或进口商确保其产品进行了必要的检测，以确认产品符合相关的技术标准，并保留检测报告。

每个申请认证型号至少提供一台合格的样机（推荐提供两台或两台以上），必须保证所提供的样机是正式合格的样机，其内部电器结构和外观必须和以后出口的批量样机一致，样机上的商标型号必须清晰牢固。

自1996年8月起，部分产品采用通过制造商自我宣告（DoC）的模式。只要厂商的产品在FCC法规分类中属于DoC类，产品满足了EMC要求后，便可以依检验单位提供的产品型式试验报告等证明文件，实行自我宣告。若厂商的产品在FCC法规分类中属于认证（Certification）类产品，则厂商必须先加入FCC会员，产品如满足EMC要求，便可以依检验单位提供的产品型式试验报告等证明文件向FCC认可的TCB申请FCC ID

号码。按规定做成FCC标记，贴于产品适当位置，如图1-3所示。

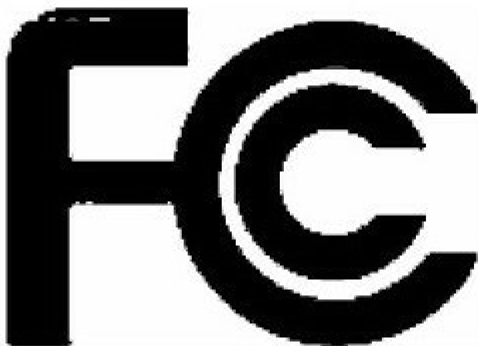


图　1-3　FCC图标

1.3.2　欧洲EMC标准

CE是法语"Communate Europpene"的缩写，英文意思为"European Conformity"即欧洲共同体。欧盟地区为了让市场内的货品能在加盟国内自由流通，欧盟执行委员会即通过欧洲标准化委员会（European Committee for Standardization, CEN）制定出各种标准并颁布了指令。其中电机、电子产品的标准（包括电磁兼容标准）由欧洲电工标准化委员会（European Committee for Electrotechnical Standardization, CENELEC）所制定。早期欧盟制定的EMC标准，主要取自于国际电工技术委员会（International Electrotechnical Commission, IEC）及国际无线电干扰特别委员会（Internation Special Committee On Radio Interference, CISPR）的标准。

1.电磁兼容性要求

欧盟EMC指令包含了电磁干扰（EMI）和抗干扰（EMS）两方面。在保护要求方面，指令要求设备应依据现状进行设计和制造，以确保设备产生的电磁干扰不超过无线电通信设备或其他设备正常运行所允许的范围；并且设备对预期使用中遇到的电磁干扰应有抗扰性，干扰不应该影响设备的正常运行。

电磁兼容（EMC）的新指令2004/108/EC将取代原有的EMC指令

89/336/EEC。新指令对原有的旧指令起到了完善、加强和清晰化的作用，见表1-2。

表 1-2 CE 指令

名　称	指令编号	生　效　期
简单压力容器	87/404/EEC	1992 年 7 月 1 日
玩具	88/378/EEC	1990 年 1 月 1 日
建筑用品	89/106/EEC	1991 年 6 月 27 日
电磁兼容	2004/104/EC	2004 年 12 月 15 日
机械	2006/42/EC	2009 年 12 月 29 日
个人防护设备	89/686/EEC	1995 年 7 月 1 日
非自动衡器（非自动称量仪器）	90/384/EEC	1993 年 1 月 1 日
主动性植入式医疗器械	90/385/EEC	1994 年 12 月 31 日
燃气器具	90/396/EEC	1995 年 12 月 31 日
锅炉	92/42/EEC	1998 年 1 月 1 日
爆破性产品	93/15/EEC	2003 年 1 月 1 日
通用医疗器械	93/42/EEC	1998 年 6 月 15 日
低压电气安全	2006/95/EC	2006 年 12 月 12 日
爆破环境使用的设备	94/9/EC	2003 年 6 月 30 日
水上运动船只	94/25/EC	1998 年 6 月 16 日
升降设备	95/16/EC	1999 年 7 月 1 日
家用制冷器具	96/57/EC	1999 年 9 月 3 日
承压设备	97/23/EC	2002 年 5 月 29 日
通信设备	98/13/EEC	1995 年 5 月 1 日
体外诊断医疗器械	98/79/EC	2003 年 12 月 7 日
无线电、电信终端设备	99/5/EC	2000 年 4 月 8 日
空中索道	2000/9/EC	2002 年 5 月 3 日
环境噪声设备	2000/14/EC	2002 年 1 月 30 日
荧光灯镇流器	2000/55/EC	2000 年 10 月 8 日

2008年9月30日，欧盟发布了新的电压波动和闪烁限值的EMC标准EN 61000—3—3：2008。该标准于2009年6月1日实施，现在尚未列入EMC指令的协调标准目录中，见表1-3。

表 1-3　CE EMC 目录

产　品	目　　录	摘　　要
玩具	EN 55014—1：2000/A1：2001/A2：2002	EN 55014：1997/A1：2001 IEC 61000—4—2：1995/A1：1998/A2：2001 IEC 61000—3：1996/A1：1998/A2：2001 IEC 61000—4—4：1995/A1：2001 IEC 61000—4—5：1995/A1：2001 IEC 61000—4—6：1996/A1：2001 IEC 61000—4—11：1994
家用电器	EN 55014—1：2000/A1：2001/A2：2002	EN 55014—2：1997/A1：2001 IEC 61000—4—2：1995/A1：1998/A2：2001 IEC 61000—3：1996/A1：1998/A2：2001 IEC 61000—4—4：1995/A1：2001 IEC 61000—4—5：1995/A1：2001 IEC 61000—4—6：1996/A1：2001 IEC 61000—4—11：1994
广播用接收机	EN 55013：2001	EN 55020：1994/A11：1996/A12：1999/A13：1999/A14：1999 EN 55020：2002/A1：2003
一般性产品	EN 61000—6—3：2001	EN 61000—6—1：2001 IEC 61000—4—2：1995/A1：1998/A2：2001 IEC 61000—3：1996/A1：1998/A2：2001 IEC 61000—4—4：1995/A1：2001 IEC 61000—4—5：1995/A1：2001 IEC 61000—4—6：1996/A1：2001 IEC 61000—4—8：1993/A1：2001 IEC 61000—4—11：1994
资讯科技产品	EN 55022：1998/A1：2000	EN 55024：1998/A1：2001 IEC 61000—4—2：1995/A1：1998/A2：2001 IEC 61000—3：1996/A1：1998/A2：2001 IEC 61000—4—4：1995/A1：2001 IEC 61000—4—5：1995/A1：2001 IEC 61000—4—6：1996/A1：2001 IEC 61000—4—8：1993/A1：2001 IEC 61000—4—11：1994
照明设备	EN 55015：2000	EN 61547：1995/A1：2000 IEC 61000—4—2：1995/A1：1998/A2：2001 IEC 61000—3：1996/A1：1998/A2：2001 IEC 61000—4—4：1995/A1：2001 IEC 61000—4—5：1995/A1：2001 IEC 61000—4—6：1996/A1：2001 IEC 61000—4—8：1993/A1：2001 IEC 61000—4—11：1994
谐波	EN 61000—3—2：2000	
电压变化	EN 61000—3—3：1995/A1：2001	

2.CE标记

以CE缩略词为符号，加贴CE标志的产品，符合有关欧洲指令规定的主要要求（Essential Requirement），并表明该产品已通过了相应的合格评定程序和/或制造商的合格声明，真正成为产品被允许进入欧共体市场销售的通行证。CE标志是安全合格标志而非质量合格标志，如图1-4所示。



图　1-4　CE标志

当一个产品同时受多个指令覆盖时，该产品只有在符合全部有关指令的规定后，才能加贴CE标志。欧盟认可的使用CE标志的模式如下：

（1）工厂自我控制和认证

1）Module A（内部生产控制）：①用于简单的、大批量的、无危害产品，仅适用于应用欧洲标准生产的厂家。②工厂自我进行合格评审，自我声明。③技术文件提交国家机构保存十年，在此基础上，可用

评审和检查来确定产品是否符合指令，生产者甚至要提供产品的设计、生产和组装过程供检查。④不需要声明其生产过程能始终保证产品符合要求。

2）Module Ab：①厂家未按欧洲标准生产。②测试机构对产品的特殊零部件作随机测试。

（2）测评机构进行评审

测评机构进行评审的方式见表1-4。

表 1-4　测评机构评审的模式

模　　式	内　　容
Module B（EC 型式评审）	工厂送样品和技术文件到选择的测评机构供评审，测评机构出具证书。注：仅有 B 不足以构成 CE 的使用
Module C（与型式［样品］一致）+ B	工厂作一致性声明（与通过认证的型式一致），声明保存十年
Module D（生产过程质量控制）+ B	本模式关注生产过程和最终产品控制，工厂按照测评机构批准的方法（质量体系，EN 29003）进行生产，在此基础上声明其产品与认证型式一致（一致性声明）
Module E（产品质量控制）+ B	本模式仅关注最终产品控制（EN 29003），其余同 Module D
Module F（产品测试）+ B	工厂保证其生产过程能确保产品满足要求后，作一致性声明。认可的测评机构通过全检或抽样检查来验证其产品的符合性，测评机构颁发证书
Module G（逐个测试）	工厂声明符合指令要求，并向测评机构提交产品技术参数，测评机构逐个检查产品后颁发证书
Module H（综合质量控制）	本模式关注设计、生产过程和最终产品控制（EN 29001）。其余同 Module D + Module E

1.3.3 中国EMC标准

我国在1983年发布了第一个关于电磁兼容的标准（GB 3907—1983），到目前已经发布了100多项有关电磁兼容性方面的标准。

1.标准类别

我国电磁兼容标准和国际上类似，可分为4大类：基础标准（Basic Standards）、通用标准（Generic Standards）、产品类标准（Product Family Standards）和系统间电磁兼容标准（Standards of Intersystem Compatibility）。基础标准主要涉及EMC术语、电磁环境EMC测量设备规范和EMC测量方法等，如GB/T 4365—1995《电磁兼容术语》；通用标准主要涉及在强磁场环境下对人体的保护要求，以及无线电业务要求的信号/干扰保护等，如GB 8702—1988《电磁辐射防护规定》；产品类标准比较多，达38个，如GB/T 755—2000《旋转电机定额和性能》；系统间电磁兼容标准主要规定了经过协调的不同系统间的EMC要求，这些标准大多是根据多年的研究结果规定了不同系统之间的保护距离，如GB 6364—1986《航空无线电导航台站电磁环境要求》。我国的电磁兼容标准与相应的国际标准见表1-5。

表 1-5　国家标准对应的国际标准

序号	国家标准号和标准名称	对应的国际标准	需检项目
基础标准			
1	GB/T 3907—1983《工业无线电干扰基本测量方法》	—	—
2	GB/T 4365—1995《电磁兼容术语》	Eqv. IEC 60050：1990	—
3	GB/T 4859—1984《电气设备的抗干扰基本测量方法》	—	—
4	GB/T 6113. 1—1995《无线电骚扰和抗扰度测量设备规范》	Eqv. CISPR 16—1：1993	—
5	GB/T 6113. 2—1998《无线电骚扰和抗扰度测量方法》	Idt. CISPR 16—2：1995	—
6	GB 9175—1988《环境电磁波卫生标准》	—	—
7	GB 10436—1998《作业场所微波辐射卫生标准》	—	—
8	GB/T 17624. 1—1998《电磁兼容 综述 电磁兼容基本术语和定义的应用与解释》	Idt. IEC 61000—1—1	—
9	GB/T 17626. 1—1998《电磁兼容 试验和测量技术 抗扰度试验总论》	Idt. IEC 61000—4—1	—
10	GB/T 17626. 2—1998《电磁兼容 试验和测量技术 静电放电抗扰度试验》	Idt. IEC 61000—4—2	静电放电
11	GB/T 17626. 3—1998《电磁兼容 试验和测量技术 射频电磁场辐射抗扰度试验》	Idt. IEC 61000—4—3	射频电磁场辐射
12	GB/T 17626. 4—1998《电磁兼容 试验和测量技术 电快速瞬变脉冲群抗扰度试验》	Idt. IEC 61000—4—4	电快速瞬变脉冲群干扰
13	GB/T 17626. 5—1999《电磁兼容 试验和测量技术 浪涌（冲击）抗扰度试验》	Idt. IEC 61000—4—5	浪涌（冲击）
14	GB/T 17626. 6—1998《电磁兼容 试验和测量技术 射频场感应的传导骚扰抗扰度》	Idt. IEC 61000—4—6	射频场感应的传导干扰

（续）

序号	国家标准号和标准名称	对应的国际标准	需检项目
15	GB/T 17626.7—1998《电磁兼容 试验和测量技术 供电系统及所连设备谐波、谐间波的测量和测量仪器导则》	Idt. IEC 61000—4—7	—
16	GB/T 17626.8—1998《电磁兼容 试验和测量技术 工频磁场抗扰度试验》	Idt. IEC 61000—4—8	工频磁场干扰
17	GB/T 17626.9—1998《电磁兼容 试验和测量技术 脉冲磁场抗扰度试验》	Idt. IEC 61000—4—9	脉冲磁场干扰
18	GB/T 17626.10—1998《电磁兼容 试验和测量技术 阻尼振荡磁场抗扰度试验》	Idt. IEC 61000—4—10	阻尼振荡磁场干扰
19	GB/T 17626.11—1999《电磁兼容 试验和测量技术 电压暂降、短时中断和电压变化抗扰度试验》	Idt. IEC 61000—4—11	电压暂降、短时中断和电压变化
20	GB/T 17626.12—1998《电磁兼容 试验和测量技术 振荡波抗扰度试验》	Idt. IEC 61000—4—12	振荡波干扰
	通用标准		
21	GB 8702—1988《电磁辐射防护规定》	—	—
22	GB/T 14431—1993《无线电业务要求的信号/干扰保护比和最小可用场强》	—	—
23	GB/T 15658—1995《城市无线电噪声测量方法》	—	—
24	GB/T 17799.1—1999《电磁兼容通用标准居住、商业和轻工业环境中的抗扰度试验》	Idt. IEC 61000—6—1	—
	产品类标准		
25	GB/T 755—2000《旋转电机定额和性能》	Idt. IEC 60034—1：1997	①传导干扰 ②辐射干扰
26	GB/T 2819—1995《移动电站通用技术条件》	—	①端子干扰电压 ②辐射干扰场强
27	GB 4343—1995《家用和类似用途电动、电热器具、电动工具以及类似电器无线电干扰特性测量方法和允许值》	Eqv. CISPR 14：1993	①干扰电压 0.15～30 MHz a）连续干扰电压 b）断续干扰电压 ②干扰功 30～300 MHz
28	GB 4343.2—1999《电磁兼容家用电器、电动工具和类似器具的要求第二部分：抗扰度》	Idt. CISPR 14—2：1997	—
29	GB 4824—1996《工业、科学和医疗（ISM）射频设备电磁干扰特性的测量方法和限值》	Idt. CISPR 11：1990	①干扰电压 0.15～30 MHz ②辐射干扰 30～1 000 MHz
30	GB 6829—1995《剩余电流动作保护器的一般要求》	Eqv. IEC 60755：1992	抗浪涌冲击

（续）

序号	国家标准号和标准名称	对应的国际标准	需检项目
31	GB 6833.1—1986《电子测量仪器电磁兼容性试验规范 总则》	Eqv. HP 765.001—77	①磁场敏感度 30 Hz ~ 30 kHz ②静电放电敏感度 ③辐射敏感度 14 kHz ~ 1 000 MHz ④传导敏感度 30 Hz ~ 400 kHz ⑤电源瞬态敏感度，尖峰信号，电压瞬态，频率瞬态 ⑥非工作状态磁场干扰 ⑦ 工作状态磁场干扰 ⑧传导干扰 10 kHz ~ 30 MHz ⑨辐射干扰 10 kHz ~ 1 000 MHz
32	GB 6833.2—1987《电子测量仪器电磁兼容性试验规范 磁场敏感度试验》	Eqv. HP 765.002—77	
33	GB 6833.3—1987《电子测量仪器电磁兼容性试验规范 静电放电敏感度试验》	Eqv. HP 765.003—77	
34	GB 6833.4—1987《电子测量仪器电磁兼容性试验规范 电源瞬态敏感度试验》	Eqv. HP 765.004—77	
35	GB 6833.5—1987《电子测量仪器电磁兼容性试验规范 辐射敏感度试验》	Eqv. HP 765.005—77	
36	GB 6833.6—1987《电子测量仪器电磁兼容性试验规范 传导敏感度试验》	Eqv. HP 765.006—77	
37	GB 6833.7—1987《电子测量仪器电磁兼容性试验规范 非工作状态磁场干扰试验》	Eqv. HP 765.007—77	
38	GB 6833.8—1987《电子测量仪器电磁兼容性试验规范 工作状态磁场干扰试验》	Eqv. HP 765.008—77	
39	GB 6833.9—1987《电子测量仪器电磁兼容性试验规范 传导干扰试验》	Eqv. HP 765.009—77	
40	GB 6833.10—1987《电子测量仪器电磁兼容性试验规范 辐射干扰试验》	Eqv. HP 765.010—77	
41	GB/T 7343—1987《10 kHz ~ 30 kHz 无源无线电干扰滤波器和抑制元件特性的测量方法》	CISPR 17：1981	插入损耗
42	GB/T 7349—1987《高压架空线、变电站无线电干扰测量方法》	—	辐射发射
43	GB 9254—1998《信息技术设备的无线电干扰限值和测量方法》	Idt. CISPR 22：1997	传导发射、辐射发射
44	GB/T 9383—1999《声音和电视广播接收机及有关设备抗扰度限值和测量方法》	Idt. CISPR 20：1998	天线端电流注入抗扰度，电源端电流注入抗扰度，音频输入和输出端注入抗扰度、扬声器和耳机端注入抗扰度
45	GB/T 11604—1989《高压电气设备无线电干扰测试方法》	Eqv. CISPR 18—2：1986	—
46	GB/T 12190—1990《高性能屏蔽室屏蔽效能的测量方法》	Ref. IEEE 299—1969	屏蔽效能
47	GB 12638—1990《微波和超短波通信设备辐射安全要求》	—	—

（续）

序号	国家标准号和标准名称	对应的国际标准	需检项目
48	GB 13421—1992《无线电发射机杂散发射功率电平的限值和测量方法》	—	—
49	GB 13836—1992《30 MHz ~ 1 GHz 声音和电视信号的电缆分配系统设备和部件辐射干扰特性允许值和测量方法》	Idt. IEC 60728—1：1986	设备和部件的辐射功率
50	GB 13837—1997《声音和电视广播接收机及有关设备无线电干扰特性限值和测量方法》	Idt. CISPR 13：1996	本振辐射、天线端干扰电压、注入电源干扰电压
51	GB 14023—1992《车辆、机动船和由火花点火发动机驱动的装置的无线电干扰特性的测量方法和允许值》	Eqv. CISPR 12：1990	辐射骚扰 30 ~ 1 000 MHz
52	GB/T 14048. 1—1993《低压开关设备和控制设备总则》	Eqv. IEC 60947—1：1998	①抗低频传导 ②抗高频传导 ③抗高频辐射 ④抗浪涌过电压、传导
53	GB/T 14598. 10—1996《电力继电器第 22 部分：量度继电器和保护装置的电气干扰试验第 4 篇：快速瞬变干扰试验》	Idt. IEC 60255—22—4：1992	—
54	GB/T 14598. 13—1998《量度继电器和保护装置的电气干扰试验第 1 部分：1 MHz 脉冲群干扰试验》	Eqv. IEC 60255—22—1：1988	—
55	GB/T 14598. 14—1998《量度继电器和保护装置的电气干扰试验第 2 部分：静电放电试验》	Idt. IEC 60255—22—2：1996	—
56	GB 15540—1995《陆地移动通信设备电磁兼容技术要求和测量方法》	—	—
57	GB 15707—1995《高压交流架空送电线无线电干扰限值》	Ref. CISPR 18：1986	辐射发射
58	GB/T 15708—1995《交流电气化铁道电力机车运行产生的无线电辐射干扰的测量方法》	Neq. CISPR 18. 16	辐射发射
59	GB/T 15709—1995《交流电气化铁道接触网无线电辐射干扰测量方法》	—	辐射发射
60	GB 15734—1995《电子调光设备无线电骚扰特性限值和测量方法》	—	传导骚扰电压
61	GB 15949—1995《声音和电视信号的电缆分配系统设备与部件抗扰度特性限值和测量方法》	IEC 60728—1：1986	辐射抗扰度屏蔽效果
62	GB/T16607—1996《微波炉在 1 GHz 以上的辐射干扰测量方法》	Eqv. CISPR 19：1983	辐射功率干扰
63	GB 16787—1997《30 MHz ~ 1 GHz 声音和电视信号的电缆分配系统辐射测量方法和限值》	Idt. IEC 60728—1：1991	辐射场强
64	GB 19916. 1—1997《家用和类似用途的不带过电流保护的剩余电流动作断路器第一部分 一般规则》	Idt. IEC 61008—1：1990	电快速瞬变脉冲群；静电放电

（续）

序号	国家标准号和标准名称	对应的国际标准	需检项目
65	GB 16917.1—1997《家用和类似用途的带过电流保护的剩余电流动作断路器第一部分 一般规则》	Idt. IEC 61009—1：1991	电快速瞬变脉冲群；静电放电
66	GB 16788—1997《30 MHz ~ 1 GHz 声音和电视信号的电缆分配系统抗扰度测量方法和限值》	Eqv. IEC 60728—1：1986	系统前端干扰信号；干扰抗扰度
67	GB/T 17618—1998《信息技术设备抗扰度限值和测量方法》	Idt. CISPR 24：1997	①静电放电 ②射频电磁场辐射 ③电快速瞬变脉冲群 ④浪涌（冲击） ⑤射频场感应的传导 ⑥工频磁场 ⑦电压暂降、短时中断、电压变化
68	GB/T 17619—1998《机动车电子电器组件的电磁辐射抗扰性限值和测量方法》	Ref. 95/54/EC（1995）	电磁辐射抗扰度
69	GB/T 17625.1—1998《低压电器及电子设备发出的谐波电流限值（设备每相输入电流≤16A）》	Idt. IEC 61000—3—2：1995	谐波电流限值
70	GB/T 17625.2—1999《对额定电流不大于16A的设备在低压供电系统产生的电压波动和闪烁的限制》	Idt. IEC 61000—3—3：1994	电压波动和闪烁
71	GB 17743—1999《电气照明和类似设备的无线电干扰特性限值和测量方法》	Idt. CISPR 15：1996	①插入衰减测量 ②干扰电压测量 ③辐射电磁场测量
	系统间电磁兼容标准		
72	GB 6364—1986《航空无线电导航台站电磁环境要求》	—	—
73	GB 6830—1986《电信线路遭受强电线路危险影响的允许值》	—	—
74	GB/T 7432—1987《同轴电缆载波通信系统抗无线电广播和通信干扰的指标》	—	—
75	GB/T 7433—1987《对称电缆载波通信系统抗无线电广播和通信干扰的指标》	—	—
76	GB/T 7434—1987《架空明线载波系统抗无线电广播和通信干扰的指标》	—	—
77	GB 7495—1987《架空电力线与调幅广播收音台的防护间距》	—	—
78	GB 13613—1992《对海中远程无线电导航台站电磁环境要求》	—	—
79	GB 13614—1992《短波无线电测向台（站）电磁环境要求》	—	—
80	GB 13615—1992《地球站电磁环境保护要求》	—	—
81	GB 13616—1992《微波接力站电磁环境保护要求》	—	—

（续）

序号	国家标准号和标准名称	对应的国际标准	需检项目
82	GB 13617—1992《短波无线电收信台（站）电磁环境要求》	—	—
83	GB 13618—1992《对空情报雷达站电磁环境防护要求》	—	—
84	GB/T 13619—1992《微波接力通信系统干扰计算方法》	—	—
85	GB/T 13620—1992《卫星通信地球站与地面微波站之间协调区的确定和干扰计算方法》	—	—

注：表中“—”表示无对应的国际标准或检测的项目。

我国电磁兼容标准绝大多数引自国际标准，主要包括国际无线电干扰特别委员会（CISPR）出版物、国际电工技术委员会（IEC）的标准、国际电信联盟（ITU）有关建议等。正是由于我国国家标准大多数引自国际标准，因此做到了与国际标准接轨，这为我国产品出口到国际市场奠定了电磁兼容方面的基础。

2.CCC标记

国家质量监督检验检疫总局和国家认证认可监督管理委员会共同制定的《强制性产品认证管理规定》，于2001年11月21日由国家质量监督检验检疫总局局务会审议通过，自2002年5月1日起施行，过渡期为一年。强制性产品认证的主管单位为国家认证认可监督管理委员会。认证标志的名称为“中国强制认证”（英文名称为"China Compulsory Certification"，英文缩写为"CCC"，该标志可简称为"3C"标志，该认证可简称为CCC认证或3C认证）。如图1-5所示。

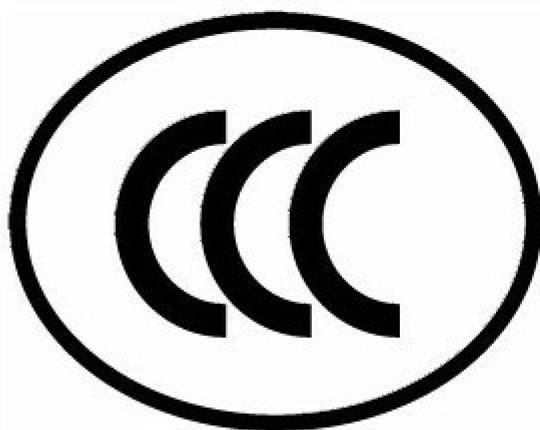


图　1-5　CCC标志

目前的CCC认证标志分为四类，分别为

·CCC+S，安全认证标志；

·CCC+EMC，电磁兼容类认证标志；

·CCC+S＆E，安全与电磁兼容认证标志；

·CCC+F，消防认证标志。

3C认证首次在国内将电磁兼容的管理纳于强制认证的范畴。凡是列入3C目录的产品，按相应的强制性认证实施规则，若包含电磁兼容检测项目，则对其电磁兼容性强制检验。包括家用和类似用途设备、电动工具、音视频设备、信息技术设备和照明电器。需要说明的是，3C认证的电磁兼容要求主要是电磁干扰方面的。电磁兼容的检测内容见表1-6。

表 1-6　电磁兼容检测内容

类　　别	国　家　标　准	电磁兼容检测内容
家用和类似用途设备	GB 4343—1995《家用和类似用途电动、电热器具、电动工具以及类似电器无线电干扰特性测量方法和允许值》； GB 17625.1—1998《低压电器及电子设备发出的谐波电流限值（设备每相输入电流≤16A）》	0.15~30 MHz 连续干扰电压（GB 4343—1995）； 30~300 MHz 连续干扰功率（GB 4343—1995）； 0.15~30 MHz 断续干扰电压（GB 4343—1995）； 谐波电流（GB 17625.1—1998）
电动工具	GB 4343—1995《家用和类似用途电动、电热器具、电动工具以及类似电器无线电干扰特性测量方法和允许值》； GB 17625.1—1998《低压电器及电子设备发出的谐波电流限值（设备每相输入电流≤16A）》	连续干扰电压；干扰功率；谐波电流
音/视频设备	GB 13837—1997《声音和电视广播接收机及有关设备无线电干扰特性限值和测量方法》； GB 17625.1—1998《低压电器及电子设备发出的谐波电流限值（设备每相输入电流≤16A）》； GB 13836—2000《电视和声音信号电缆分配系统第 2 部分：设备的电磁兼容》	按国标要求的所有项目
信息设备	GB 9254《信息技术设备无线电干扰限值和测量方法》； GB 17625.1—1998《低压电器及电子设备发出的谐波电流限值（设备每相输入电流≤16A）》	电源端子干扰电压；辐射干扰场强；谐波电流
照明设备	GB 17743—1999《电气照明和类似设备的无线电干扰特性的限值和测量方法》； GB 17625.1—1998《低压电器及电子设备发出的谐波电流限值（设备每相输入电流≤16A）》	插入损耗；干扰电压；辐射电磁干扰；谐波电流

现阶段，我国相应的质量管理部门主要用以下方法来展开对电磁兼容的质量管理。

1）对列入3C目录的产品，通过3C认证的方式进行管理。

2）对未列入3C目录的产品，则通过自愿认证的方式进行管理。

3）无论产品是否列入3C目录，只要在国内生产或销售，都需要接

受国家或地方的行业或质量管理部门组织的产品质量市场监督抽查和行业监督抽查，对抽查产品的电磁兼容检测按国家相应的强制实施标准进行。

1.4　电磁干扰（EMI）特性

电磁干扰基本上是电气上的传导（电压和/或电流）或辐射（电场和/或磁场）的有害发射。在时域内，电磁干扰可以是瞬变的、脉冲的或稳态的。在频域内，电磁干扰所包含的频率分量范围可从50Hz的低频直到微波波段；电磁干扰信号可以是窄带或宽带的，相参或非相参的。电磁波会与电子元件作用，产生干扰现象，称为EMI。例如，TV荧光屏上常见的“雪花”便表示接收到的信号被干扰。所谓电磁干扰是指任何能使设备或系统性能降级的电磁现象。电磁干扰可分为人为的和自然的。人为干扰源又可进一步区分为有意的和无意的（偶然的）。

1.4.1　电磁干扰源分类

电磁干扰源按照不同的类别有不同的分类，主要有以下分类方法。

1.自然干扰源和人为干扰源

根据干扰的来源划分，电磁干扰分为两大类：自然干扰源和人为干扰源。自然干扰源主要来源于大气层的大气噪声、地球外层空间的宇宙噪声。它们既是地球电磁环境的基本组成部分，同时又是对无线电通信和空间技术造成干扰的干扰源。自然噪声会对人造卫星和宇宙飞船的运行产生干扰，也会对弹道导弹运载火箭的发射产生干扰。

人为干扰源是由机电或其他人工装置产生的电磁能量干扰，其中一部分是专门用来发射电磁能量的装置，如广播、电视、通信、雷达和导航等无线电设备，称为有意发射干扰源。另一部分是在完成自身功能的同时附带产生电磁能量的发射，如交通车辆、架空输电线、照明器具、电动机械、家用电器以及工业、医用射频设备，等等。因此这部分又称为无意发射干扰源。

2.功能性干扰源和非功能性干扰源

根据干扰的属性划分，电磁干扰可以分为功能性干扰源和非功能性干扰源。功能性干扰源是指设备实现功能的过程中造成对其他设备的直接干扰；非功能性干扰源是指用电装置在实现自身功能的同时伴随产生或附加产生的副作用，如开关闭合或切断产生的电弧放电干扰。

3.宽带干扰源和窄带干扰源

根据电磁干扰信号的频谱宽度划分，电磁干扰可以分为宽带干扰源和窄带干扰源。它们是相对于指定感受器的带宽大或小来加以区别的。干扰信号的带宽大于指定感受器带宽的称为宽带干扰源，反之称为窄带干扰源。

4.工频和音频干扰源、低频干扰源等

根据干扰信号的频率范围划分，可以把干扰源分为甚低频干扰源

（30Hz以下）、工频和音频干扰源（50Hz及其谐波）、载频干扰源（10～300kHz）、射频及视频干扰源（300kHz）、微波干扰源（300MHz～100GHz）。如图1-6所示。

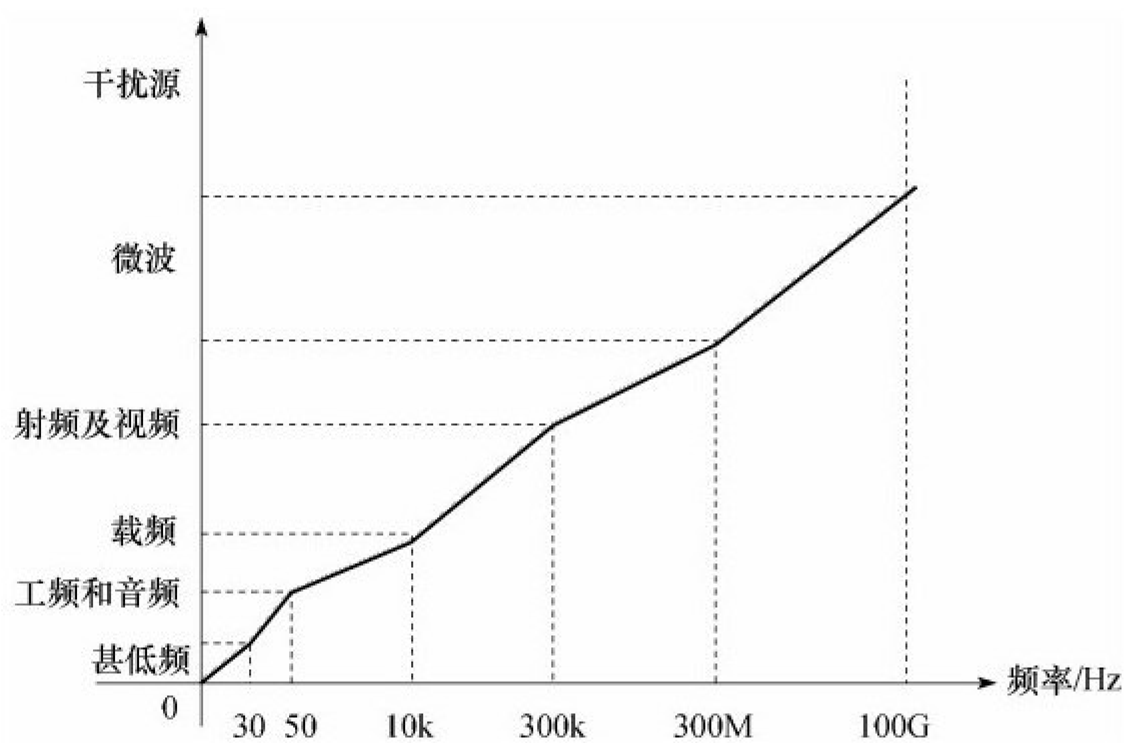


图 1-6 按频率划分干扰源

1.4.2 电磁干扰的频谱

研究电磁噪声的传播问题是一项困难的工作，原因之一就是电磁噪声的频谱非常宽。以一周期梯形脉冲为例，其时域波形如图1-7所示。如果（t_0+t_r）=T/5，则谱线如图1-8所示。其各条谱线的幅度可以写成：

$$A_n = 2A\frac{t_0+t_r}{T}\times\frac{\sin[\pi n(t_0+t_r)/T]}{\pi n(t_0+t_r)/T}\times\frac{\sin(\pi n t_r/T)}{\pi n t_r/t}$$

式中，A为幅度；A_n为频谱线幅度。图1-8所示的负的幅度表示相位相反，图中各条谱线顶端的包络实际上是不存在的。令t_0+t_r=d, n/T=f。其中，f为各条谱线所处的频率。

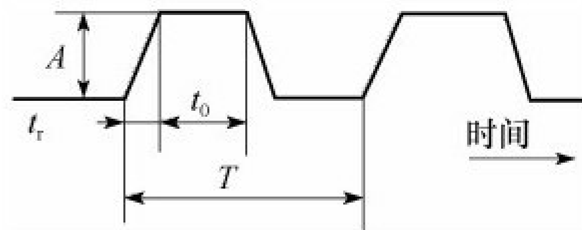


图 1-7 周期梯形脉冲

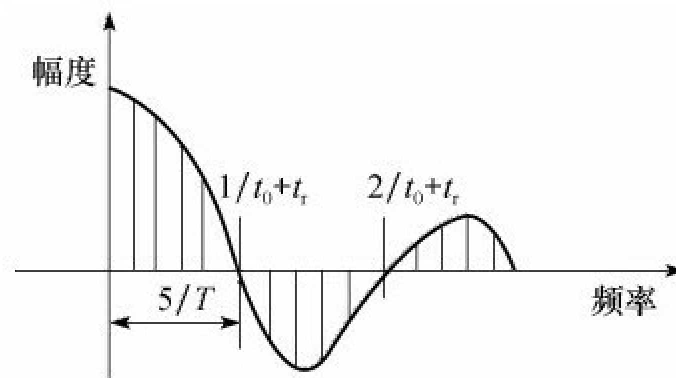


图 1-8 周期梯形脉冲频谱

此时上式的包络可以写为： $e = 2Ad\frac{\sin \pi fd}{\pi fd}$

通过举例，我们对频谱有了一个总的概念性了解。没有必要去研究一条谱线及其相位，甚至对其包络的变化细节也不必过分关心。一般只需注意包络顶端连线的变化规律，就能对不同时域波形相应的频域特性有大体的了解。这种了解对于理解电磁噪声的传播及电磁兼容测量足够了。

1.4.3　电磁干扰的幅度

电磁干扰的幅度可表现为多种形式，除了用不同型号的幅度分布（概率，它是确定的幅度值出现次数的百分率）表示外，还可用正弦的（具有确定的幅度分布）或“随机的”概念来说明干扰的属性。所谓随机，简单说，就是未来值不能明确的预测。例如，随机噪声可能是一种冲击噪声，它们是一些在时间上明显分开的、稀疏的、且前后沿很陡的脉冲；也可能是热噪声，它们是彼此重叠的，多次发生的，且在时间上不易分开的密集脉冲。这些密集脉冲在幅度性质上是不易确定的干扰。如图1-9所示。

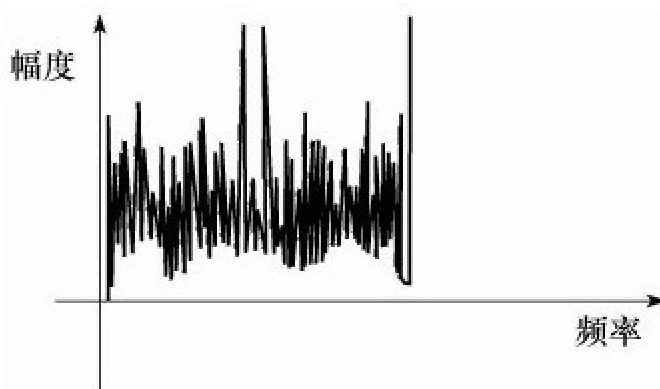


图　1-9　混有冲击噪声的正弦信号频谱

1.4.4　电磁干扰的波形

电磁干扰有各种不同的波形，如方波、梯形波、三角波、余弦波、高斯波等，如图1-10所示。由于波形是决定带宽的重要因素，设计人员应很好地控制波形。为了保持定时准确度或保证某种形式的准确动作，有时需要上升很陡的波形。然而，上升斜率越陡，所占的带宽就越宽。各种波形占用的带宽由宽到窄的排列为：方波—锯齿波—梯形波—三角波—余弦波—高斯波。

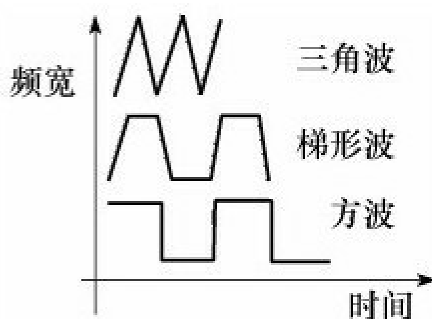


图　1-10　干扰波形

由此可见，使干扰降到最小的方法之一，是在可靠工作的情况下使设计的脉冲波形具有尽可能慢的上升时间。通常，脉冲下的面积决定了频谱中的低频含量，而其高频成分与脉冲沿的陡度有关。在所有脉冲中，高斯脉冲占有的频谱最窄。

1.4.5　电磁干扰的出现率

干扰信号在时间轴上出现的规律称为出现率。按出现率把电函数分为周期性、非周期性和随机的三种类型。周期性函数是指在确定的时间间隔（称为周期）内能重复出现的电函数；非周期性函数则是不重复的，即没有周期，但出现是确定的，而且是可以预测的电函数。随机函数则是以不能预测的方式变化的电函数，它的表现特性是没有规律的。随机函数的定义允许限定其幅度或频率成分，但不能用时间函数来分析、描述它。如图1-11所示。

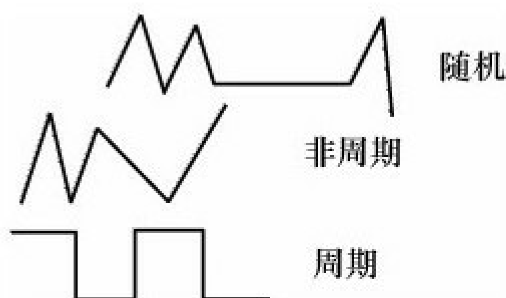


图　1-11　干扰信号的出现率

通常，在干扰问题中遇到的周期电压和电流是功能性的，它们的产生是为了特定的目的，如50Hz电源及其谐波或遥测信号。许多非周期性电压和电流也可用于特定目的，如指令脉冲。然而随机电压电流则是无用的副产品，或是自然产生的，如热噪声。

1.5　电磁干扰的传播特性

如果干扰源和敏感部位在同一设备单元内，称“系统内”电磁兼容性问题；如果干扰源和敏感部位是两个不同的设备，则称为“系统间”电磁兼容性问题。大部分电磁兼容标准都是针对系统间电磁兼容的。同一设备在一种情况下是干扰源，而在另一种情况下或许是敏感部位。设备要满足性能指标，减小干扰耦合往往是消除干扰危害的唯一手段，因此弄清楚干扰耦合到敏感设备上的机理是十分必要的。通常减小干扰发射是提高设备抗扰性的方法，但为了分析方便，往往分别考虑减小干扰耦合和减小干扰发射的问题。干扰源和敏感部位在一起时，就有从一方到另一方的潜在干扰路径。组建系统时，必须知道发射特征和组成设备的敏感性。遵从我国关于发射和敏感度的相关标准，并不能保证解决系统的电磁兼容性问题。标准的编写是从保护特殊服务（在发射标准中主要指无线电广播和远程通信）的角度出发的，并要求干扰源和敏感部位之间有最小的隔开距离。

任何电磁干扰的发生都必然存在干扰能量的传输和传输途径（或传输通道）。通常认为电磁干扰传输有两种方式：一种是传导传输方式，另一种是辐射传输方式。因此从被干扰的敏感器来看，干扰耦合可分为传导耦合和辐射耦合两大类。

1.5.1　传导耦合

传导传输必须在干扰源和敏感器之间有完整的电路连接，干扰信号沿着这个连接电路传递到敏感器，产生干扰。传导耦合按其原理可分为电阻性耦合、电容性耦合和电感性耦合三种基本耦合方式。

1.电阻性耦合

过电压利用共同的阻抗部件从干扰源通过电路连接耦合进入被干扰体（线路及设备）。所有干扰能够从干扰源经电源网络进入敏感部位，因两者是连接在一起的，这对高频不利。尽管从线路上可以容易地预测阻抗，但是在高频时很难精确估算。对于短距离传输线，例如在同一线路上临近的设备，两个设备经电源线的耦合可用图1-12来描述，传真机的干扰会通过电源线传递到投影仪上。

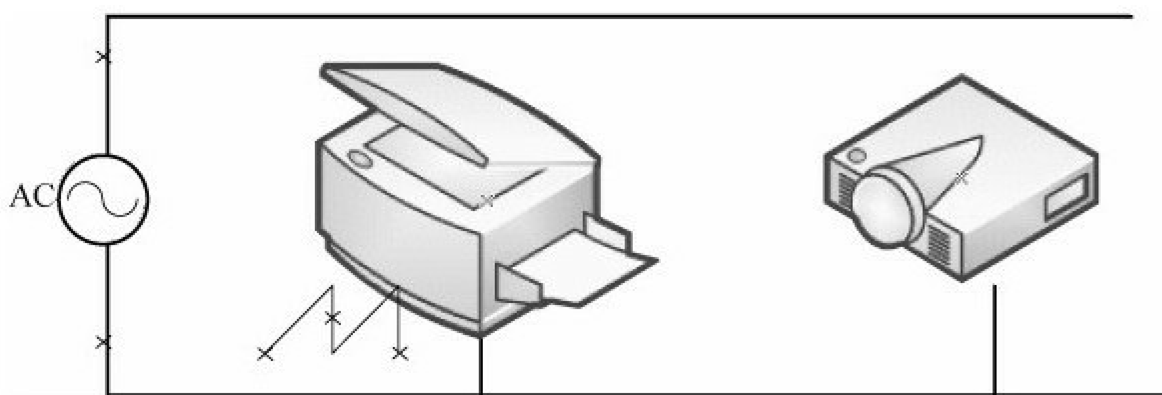


图　1-12　电源耦合

公共阻抗耦合是因干扰源与敏感部位共用一个线路阻抗而产生的。

最明显的公共阻抗是阻抗实际存在的场合，例如干扰源与敏感部位共用的导体；但公共阻抗也可以是由两个电流回路之间的互感耦合，或者由两个电压节点之间的电容耦合产生的。理论上，每个节点和每个回路通过空间都能耦合到另一个节点和回路。实际上的耦合程度随距离增大急剧下降。如图1-13所示，当干扰源与敏感部位共用一个接地时，则由于干扰源的输出电流流过公共地阻抗，在敏感部位的输入端产生电压。公共阻抗仅仅是由一段导线或印制板走线产生的。因为导线的阻抗呈感性，因此输出中的高频或高di/dt分量将更容易耦合。当输出和输入在同一系统时，公共阻抗构成乱真反馈通路，这可能导致振荡。解决方法如图1-14所示。在这个方法中，分别连接两个电路，因而在两个电路之间没有公共通路，也就没有公共阻抗。这个方法的代价是多用一根导线。这个方法可用于任何包含公共阻抗的电路，例如电源汇流条连接。

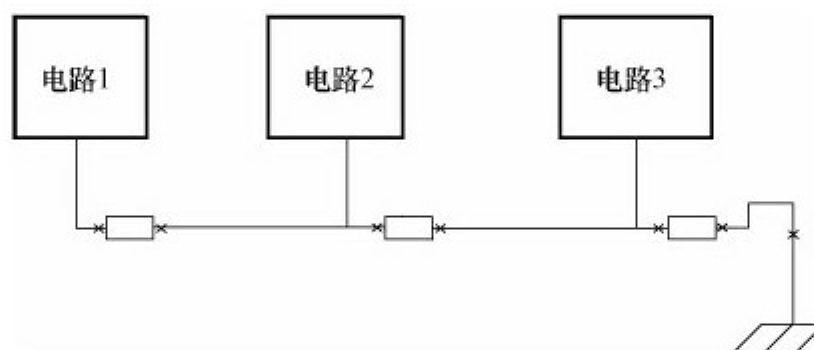


图　1-13　公共阻抗耦合

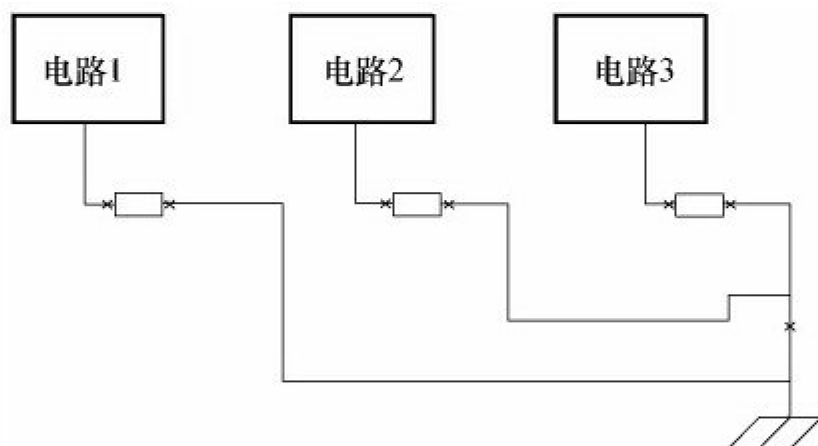


图　1-14　公共阻抗耦合的解决办法示意图

2.电容性耦合

电容性耦合始终通过存在高电位差的两个点之间的电场发生。在导体和设备的导电部件中，常会产生高电势，它与其他有较低电势的部件之间会产生一个变化的电场。因这两者之间的电势总是趋于平衡的，所以有电荷的转移。这将导致在受影响的导线和与之连接的设备中电压上升或产生浪涌电压。

3.电感性耦合

根据感应定律，进入一根导线的电感耦合，通过另一根载流导线的磁场发生。直接电感耦合的电涌使得在受影响的导线中，产生了有高变化率di/dt的浪涌电流。同时，相应的强磁场在此导线周围建立。在其他导线中，例如在此磁场范围内的信号传输导线中，会感应出一个电压或浪涌电压。浪涌电压沿着该导线到达所连接的设备。

1.5.2 辐射耦合

辐射传输是以电磁波的形式传播，干扰能量按电磁场的规律向周围空间发射。许多电子硬件包含着具有天线能力的元件，例如电缆、印制电路板的印制线、内部连接导线和机械结构。这些元件可以以电场、磁场或电磁场方式传输能量并耦合到线路中。

在实际应用中，系统内部耦合和设备间的外部耦合，可以通过屏蔽、电缆布局及距离控制得到改善。地线面或屏蔽面既可以因反射而增大干扰信号，也可以因吸收而衰减干扰信号。电缆之间的耦合既可以是电容性的，也可以是电感性的，这取决于其走向、长度和相互距离。绝缘材料也可以因吸收电磁波使场强减小，尽管在许多场合与导体相比可以忽略。

为了理解能量是如何通过没有互连的较远的距离，从源端耦合到敏感部位的，需要了解电磁波传播的特性。

1.电磁场的产生

电场（E场）产生于两个具有不同电位的导体之间。电场的单位为V/m，电场强度正比于导体之间的电压，反比于两导体间的距离。磁场（H场）产生于载流导体的周围，磁场的单位为A/m，磁场正比于电

流，反比于离开导体的距离。

当交变电压通过网络导体产生交变电流时，产生电磁（EM）波，E场和H场互为正交，同时传播。传播速度由媒介决定，在自由空间传播的速度等于光速3×108m/s。在靠近辐射源时，电磁场的几何分布和强度由干扰源特性决定，仅在远处是正交的电磁场，如图1-15所示。

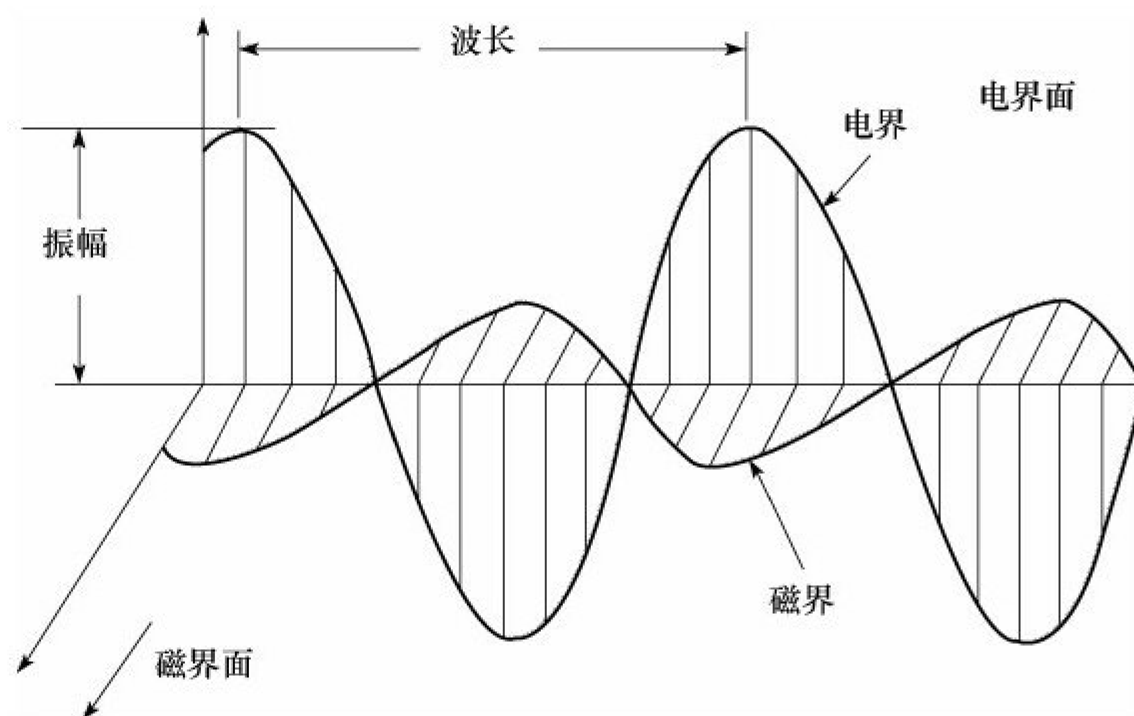


图　1-15　电磁场

电场强度与磁场强度之比称为波阻抗，平面波的波阻抗Z=E/H，单位为Ω。其中，E为均匀各向同性介质中的电场，H是该介质中的磁场。自由空间中的波阻抗为固定值：120π（=377）Ω。对于复杂的复合结构，例如带有介质衬底的频率选择周期结构（简称FSS），波阻抗的特

性将会更加复杂。然而，所有这些都可以利用传输线理论来进行解释和计算。

对于任何已知电磁波，波阻抗是一个十分关键的参数，因为它决定了耦合效率，也决定了导体的屏蔽效能。根据观测点到辐射源的距离不同，划分出近场区和远场区两个区域，当距离小于λ/2π时，称为近场区；当距离大于λ/2π时称为远场区。在远场区，d＞λ/2π，电磁波称为平面波，平面波的阻抗是恒定的，等于自由空间的阻抗：Z_0=120πΩ=377Ω；在近场区，d＜λ/2π，波阻抗由辐射源特性决定。小电流、高压电辐射体（例如棒）主要产生高阻抗的电场，而大电流、低电压辐射体（例如环）主要产生低阻抗磁场。如果辐射体阻抗正好约为377Ω，那么实际在近场区就能产生平面波，这取决于辐射体的形状。λ/2π附近的区域，或近似六分之一波长的区域，是处于近场和远场之间的传输区域。平面波总是假设是在远场，当分别考虑电场或磁场波时，则假设是在近场。波阻抗如图1-16所示。

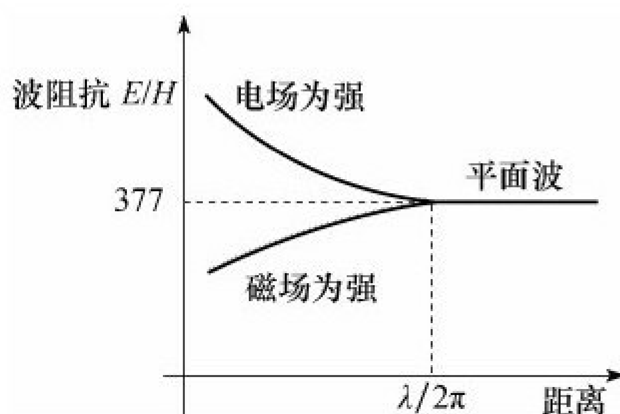


图　1-16　波阻抗

2.耦合方式

差模、共模和天线模辐射场耦合是电磁兼容的基本概念，在干扰的发射和入侵耦合方面都起作用。差模耦合考察一根电缆连接起来的两台设备，如图1-17a所示。电缆中两根靠近的导线传输差模（去和回）信号电流。辐射场可以耦合到这个系统，并在两根电线之间感应出差模干扰；同样，差模电流自身产生辐射场。地参考面（可以是设备外部，也可以是设备的支撑结构）在耦合中不起作用。

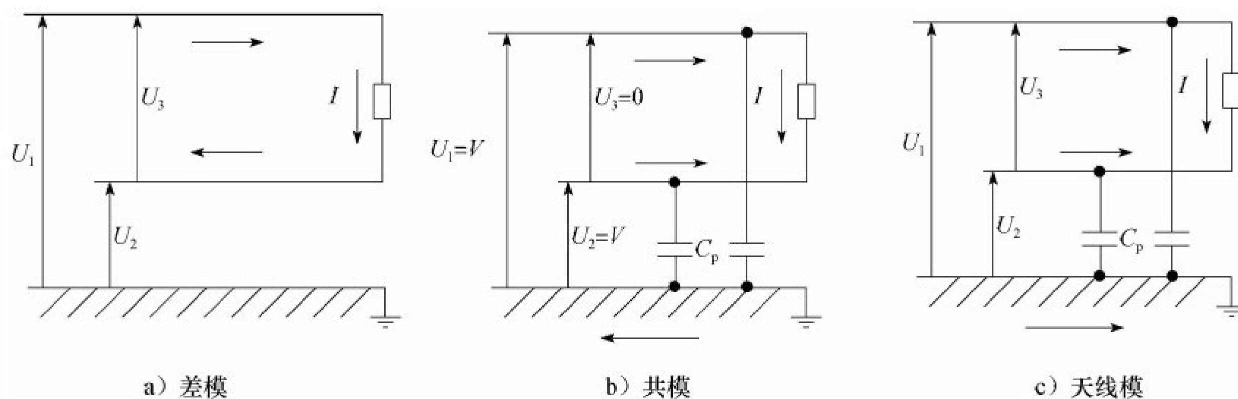


图　1-17　三种耦合方式

图1-17a中，纯差模信号是：$U_1=-U_2$，大小相等，相位差是180°，$U_3=U_1-U_2$，如果U_1和U_2对地是对称的，则地线上没有电流流过。

电缆上还会传输共模电流，即电流在每根导线上都沿同一方向流动。这些电流通常与信号电流无关。共模电流可以由外部电磁场耦合到电缆、地参考面和设备与地连接的各种阻抗形成的回路。共模电流可以引起内部差模电流，设备对差模电流是敏感的。另外，共模电流也可以

由地平面和电缆之间的内部噪声电压引起，这是共模辐射发射的主要原因。需要注意的是，与导线和设备外壳有关的寄生电容和电感是共模耦合回路的主要部分，在很大程度上决定着共模电流的幅度和频谱分布。这些寄生电抗是偶然产生的，而不是设计的，因此控制或预测这些参数比控制或预测那些决定差模耦合的参数（如电缆的间隔和滤波参数）更困难。共模耦合如图1-17b所示。

如果在负载两端没有电位差，则没有电流流过负载。所有的共模电流都通过电缆和地之间的寄生电容流向地线。

天线模电流沿电缆和地平面同向传输。天线模电流通常不是由内部噪声产生的，但是当整个系统（包括接地平面）暴露于外场时，天线模电流将会流动。例如：飞机飞入雷达发射的波束区域时，飞机机身作为内部设备的接地平面，它像内部导线一样传输同样的电流。当不同的电流通路上的阻抗不同时，天线模电流会变为差模或共模，这时，天线模耦合就成为系统的辐射场敏感性问题。天线模耦合如图1-17c所示。

1.6　电磁兼容设计

在研究开发新产品的过程中，仅按照理想情况进行目标功能和一般性能设计是不够的。这是因为各种电子、电气设备（或含有电子、电气部分的设备）都将实际工作在电磁环境中，所以必然受到外界的电磁干扰，同时它本身又作为干扰源去干扰别的设备。电磁兼容设计就是针对电磁干扰来进行的，它与可靠性一样，要保证设备或系统在存在电磁干扰的情况下可靠地工作，就必须对其进行电磁兼容设计。

1.6.1　电磁兼容设计方法

电磁兼容设计的基本方法一般有三种：问题解决法、规范法和系统法。

问题解决法是过去应用较多的方法，就是在检测过程中发现产品问题后进行改进。它是一种“头疼医头，脚疼医脚”的经验方法。系统或设备设计开发过程中不做电磁兼容性设计，等到安装完工试验定型时，发现电磁干扰问题，采取“出现什么问题，解决什么问题”的思维方式予以解决，往往需要对设备以至系统进行拆卸、修补甚至重新加工，既费时又费钱。因此，问题解决法是一种过时的方法，它是在电磁兼容性理论不够完善、电磁兼容性设计方法不够系统及电磁兼容性分析预测尚未形

成的历史条件下产生的。

规范法是指在产品开发阶段，就按照有关电磁兼容标准规范的要求进行设计，使产品可能出现的问题得到早期解决。该方法以系统和设备遵循的标准所规定的极限值为计算基础，由于各种标准和规范中的极限，是基于同类系统或设备中最严重的情况制定的，因此可能导致具体设备的设计过分保守。由于电磁兼容性标准和规范在一定程度上反映了系统和设备中存在的共性问题及解决问题的规则，因此该方法为系统电磁兼容性设计提供了预见性和综合性，故它比问题解决法较为合理和进步。

系统法是近年来兴起的一种设计方法，它在产品的初始设计阶段对产品的每一个可能影响产品电磁兼容性的元器件、模块及线路建立数学模型，利用辅助设计工具对其电磁兼容性进行分析预测和控制分配，从而为整机产品满足要求打下良好基础。系统法在系统或设备设计的全过程中贯彻始终，全面综合考虑电磁耦合因素，不断地对各阶段设计进行评估检验和修改，因此这种方法还可应用先进的计算机辅助分析和预测手段。它是现代科技综合运用的最佳工程设计技术。

当然，无论是规范法或是系统法设计，其有效性都应是以最后产品或系统的实际运行情况或检验结果为准则，必要时还需要结合问题解决法才能完成设计目标。

1.6.2 电磁兼容设计要求

电磁兼容设计的内容包括：①分析设备或系统所处的电磁环境和要求，正确选择设计的主要方向；②精心选择产品所使用的频率；③制定电磁兼容性要求和控制计划；④对元器件、模块、电路采取合理的干扰抑制和防护技术。电磁兼容设计的主要参数有：限额值、安全裕度和费效比。限额值指的是参数要满足规范的要求；安全裕度是设计要有余量；费效比指的是投入与效果的比例，如图1-18所示。

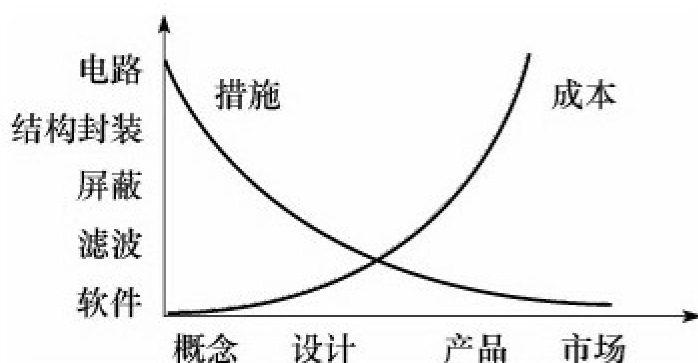


图 1-18 费效比

1.抑制电磁干扰源

尽量去掉对设备（或系统）作用不大的潜在电磁干扰源，减少干扰源的个数；恰当选择元器件和线路的工作模式，尽量使设备工作在特性曲线的线性区域，以使谐波成分降低；对有用的电磁发射或信号输出也要进行功率限制和频带控制；合理选择电磁波发射天线的类型和高度，

不盲目追求覆盖面积和信号强度；合理选择电磁脉冲形状，不盲目追求上升时间和幅度；控制产生电弧放电和电火花，宜选用工作电平低的或有触点保护的开关或继电器和加工精密的直流电机；应用良好的接地技术来抑制接地干扰、地环路干扰并抑制高频噪声。

2.切断干扰耦合

把携带电磁噪声的元件和导线与连接敏感元件（或电磁干扰特性测量端口、界面）隔离；缩短干扰耦合路径的长度，宜使导线尽量短，必要时使用屏蔽线或加屏蔽套；注意布线和结构件的天线效应，对通过电场耦合的辐射，尽量减少电路的阻抗，而对通过磁场耦合的辐射，则尽量增加电路的阻抗；应用屏蔽等技术隔离或减少辐射途径的电磁干扰；应用滤波器、脉冲吸收器、隔离变压器和光电耦合器等滤除或减少传导途径的电磁干扰。

3.提高敏感设备的抗扰能力

对于干扰源的各种电磁防护措施，一般也同样适用于敏感设备，可以采用滤波、脉冲吸收、内部屏蔽、隔离技术、内部去耦电路及线路和结构的合理布局等来抑制电磁干扰。此外，在设计中应尽量少用低电平器件，不盲目选择高速器件，去掉那些不十分需要的敏感部件，适当控制输入灵敏度，等等。

除了以上介绍的几种常用方法外，电磁兼容设计和控制技术还有很

多。电磁兼容控制策略与控制技术方案可分为如下5类：

1）传输通道抑制：具体方法有滤波、屏蔽、搭接、接地、布线。

2）空间分离：地点位置控制、自然地形隔离、方位角控制、电场矢量方向控制。

3）时间分隔：时间共用准则、雷达脉冲同步、主动时间分隔、被动时间分隔。

4）频率管理：频率管制、滤波、频率调制、数字传输、光电转换。

5）电气隔离：变压器隔离、光电隔离、继电器隔离、DC/DC变换。

1.6.3 元器件选择的一般原则

元器件的品种规格繁多，性能、价格和体积各异，而且新品种不断涌现，这就需要我们经常关注元器件信息和新动向，尤其要熟悉一些常用的元器件型号、性能和价格。在设计电路和对PCB布线时，关键就是选择适合EMC要求的元件，如开关逻辑元件、PCB上的插座、时钟元件，以及各种被动元件（电阻、电容和电感等）。这些元件会直接引起电路的EMI问题，所以在项目及设计的开始阶段，主动和被动元件的正确选择将有助于获得最有效的EMC效果。

元器件选择的一般原则如下：

·低辐射：大部分数字集成电路（IC）制造商提供具有低辐射的胶合逻辑产品（胶合逻辑指的是连接不兼容的复杂电路的简单逻辑电路）。例如飞利浦公司的两款常见的80C51处理器就具有比其他80C51产品低50dB的辐射。

·低地弹：具有低地弹的IC通常具有更好的EMC性能。

·传输线匹配I/O:IC输出引脚必须匹配高速信号的传输线。例如当驱动一个25Ω的并联终端负载时，就可以使用总线驱动器。

·低输入电容：低输入电容有助于降低逻辑器件的状态变化时的电

流峰值，因此可以减小磁场辐射和地返回电流。

·铝电解电容器可能发生几微秒的暂时性介质击穿，因而在纹波很大或有瞬变电压的电路里，应该使用固体电容器。

·使用寄生电感和电容量小的电阻器。片状电阻器可用于超高频段。

·大电感寄生电容大，为了提高低频部分的插入损耗，不要使用单节滤波器，而应该使用若干小电感组成的多节滤波器。

·使用磁芯电感要注意饱和特性，特别要注意高电平脉冲会降低磁芯电感的电感量和在滤波器电路中的插入损耗。

·用于敏感电路的电源变压器应该有静电屏蔽，屏蔽壳体和变压器壳体都应接地。

1.6.4　元器件选型

电路的基本元器件满足电磁特性要求的程度将决定功能单元和最后的设备满足电磁兼容性的程度。实际的元器件并不是“理想”的，其特性与理想的特性是有差异的。实际的元器件本身可能就是一个干扰源，因此正确选用元器件非常重要。选择合适的电子元器件的主要准则，包括带外特性和电路装配技术。因为是否能实现电磁兼容性往往是由远离基频的元器件响应特性来决定的，有时也可以利用元器件具有的特性进行抑制和防止干扰。

1.无源器件

无源器件包含寄生的电阻、电容和电感。在容易发生电磁兼容问题的高频段，这些寄生参数经常占主导地位，并使器件功能彻底发生变化。例如，在高频电路中，碳膜电阻或者变成电容特性（由于旁路电容C），或者变成电感特性（由于引线自感和螺线），这二者甚至会谐振，从而使结果变得更为复杂；线绕电阻在几千赫兹以上因其绕线电感的存在是不适合使用的，而1 kΩ以下的碳膜电阻直到几百兆赫兹仍保持其电阻性。电容由于其内部结构和其外部引线自感的影响会发生谐振，超过第一个谐振频率点后，就呈现显著的感抗。

基本的电子元件有两类：有引脚的和无引脚的元件。

有引脚线元件有寄生效果，尤其在高频时。该引脚形成了一个小电感，1mm引脚长度的电感量大约是1nH。引脚的末端也能产生一个小电容性的效应，大约有4pF。因此，引脚的长度应尽可能短。与有引脚的元件相比，无引脚且表面贴装的元件的寄生效果要小一些。其典型值为：0.5nH的寄生电感和约0.3pF的终端电容。从电磁兼容性的角度看，表面贴装元件效果最好，其次是放射状引脚元件，最后是轴向平行引脚的元件。

表面贴片元件比其他元件寄生参数小得多，而且能在很高的频率提供令人满意的参数。例如，贴片电阻（1 kΩ以下）在1GHz时仍保持电阻性。对器件的限制参数还有功率（尤其是用于浪涌的器件）、dV/dt承受能力（若dV/dt值过大，固体钽电容就会短路）、di/dt承受能力等。严重的温度系数也会影响无源器件，必要时须降额使用。

（1）电阻的选用

电阻的种类很多，选择哪一种材料和结构的电阻，要根据电路的具体要求而定，见表1-7。

表 1-7　电阻的选用

型　　号	适　用　范　围
封装形式	表面贴装电阻总是优于有引脚电阻
引脚电阻	首选碳膜电阻，其次是金属膜电阻，最后是线绕电阻。由于在相对低的工作频率下（一般为 MHz 数量级），金属膜电阻是主要的辅助元件，因此其适用于高功率密度或/和高准确度的电路中。线绕电阻有很强的电感特性，不适合使用在 50 kHz 以上频率的电路中，在对频率敏感的应用中也不能用它，它最适合用在大功率处理电路中
压敏电阻	压敏电阻通常使用在电源电路和与室外连接的控制和通信接口电路，它能取得很好的防雷击浪涌冲击效果，但在选择时需根据电路的正常工作电压选择合适的电压等级，同时也需根据电磁兼容防护等级选择相应的电流容量。由于压敏电阻的分布参数对传导干扰有较大影响，当在一个传导干扰合格的电源电路中增加压敏电阻时，一定要对该项目重新测试，以免最终产品不能通过测试

（2）电容的选用

电容是板卡设计中必用的元件，选择电容，首先要知道电容的类型和参数有哪些，还要知道应用场合对电容参数的要求，见表1-8。

表 1-8　电容的选用

类　　别	适　用　范　围
铝制电解电容	铝质电解电容通常是在绝缘薄层之间以螺旋状缠绕金属箔而制成，这样可在单位体积内得到较大的电容值，但也使得该部分的内部感抗增加
钽电容	钽电容由一块带直板和引脚连接点的绝缘体制成，其内部感抗低于铝电解电容。适用于低频终端，主要是存储器和低频滤波器领域
陶瓷电容	陶瓷电容的结构是在陶瓷绝缘体中包含多个平行的金属片。其主要寄生为片结构的感抗，并且通常这将在频率低于兆赫兹的区域造成阻抗。在中频范围内（从千赫兹到兆赫兹），陶瓷电容比较适合，常用于去耦电路和高频滤波
云母电容	适合于甚高频应用和微波电路

（3）二极管的选用

许多电路拥有感性负载，在高速开关电流的作用下，系统中产生瞬态尖峰电流。二极管是抑制尖峰电压噪声源的最有效的器件之一，其选用原则见表1-9。

表 1-9　二极管的选用

名　称	特　性	EMC 应 用	备　注
整流二极管	大电流，反应慢，功耗低	无	电源
肖特基二极管	低正向压降，高电流密度，反向恢复时间快	快速瞬态信号和尖脉冲保护	开关电源
齐纳二极管	反向工作模式，用于钳位正向电压	ESD（静电放电）保护，过电压保护，低电容高数据率信号保护	—
发光二极管	正向工作模式	无	发光指示
瞬态电压抑制二极管（TVS）	工作于雪崩模式，宽钳位电压，钳位正向和负向瞬态过度电压	抑制 ESD 激发瞬态高电压、尖脉冲	—
变阻二极管	VDR（压敏电阻）电压随电阻变化，覆盖金属的陶瓷粒	ESD 保护，高压和高瞬态保护	可选齐纳二极管或瞬态电压抑制二极管

2.模拟与逻辑有源器件的选用

对模拟与逻辑有源器件的选用，必须注意其固有的敏感特性和电磁发射特性。有源器件可分为调谐器件和基本频带器件。调谐器件起带通元件作用，其频率特性包括：中心频率、带宽、选择性和带外乱真响应。基本频带器件起低通元件作用，其频率特性包括：截止频率、通带特性、带外抑制特性和乱真响应。此外还有输入阻抗特性和输入端的平衡/不平衡特性等。

有源器件有两种电磁发射源：传导干扰通过电源线、接地线和互连线进行传输，并随频率增加而增加；辐射干扰通过器件本身或通过互连线进行辐射，并随频率的平方而增加。瞬态地电流是传导干扰和辐射干扰的一种干扰源，要减小瞬态地电流必须减小接地阻抗和使用去耦电容。

模拟器件的敏感度特性取决于灵敏度和带宽，而灵敏度以器件的固

有噪声为基础。逻辑器件的敏感度特性取决于直流噪声容限和噪声抗扰度。逻辑器件的翻转时间越短，所占频谱越宽。为此，应当在保证实现功能的前提下，尽可能增加信号的上升/下降时间。

（1）模拟器件的选用

从电磁兼容的角度选择模拟器件不像选择数字器件那样直接，虽然同样希望发射、转换速率，电压波动，输出驱动能力要尽量小，但对大多数有源模拟器件而言，抗扰度是一个重要的因素，所以采购时确定明确的电磁兼容特性要求相当困难。

来自不同厂商的同一型号及指标的运算放大器，可有明显不同的电磁兼容性能，因此确保后续产品性能参数的一致性是十分重要的。敏感模拟器件的厂商提供电磁兼容或电路设计上的信噪处理技巧或PCB布局，这表明他们关心用户的需求，有助于用户在购买时权衡利弊。

（2）逻辑器件的选用

大多数数字电路采用方波信号同步，这将产生高次谐波分量。时钟速率越高，边沿越陡，频率和谐波的发射能力也越强。因此，在满足产品技术指标的前提下应尽量选择低速时钟。在HC系列器件适用时绝不要使用AC系列器件，CMOS4000系列器件适用时就不要用HC系列器件。必要时，应选择集成度高并有电磁兼容特性的集成电路。集成电路的选用要求见表1-10。

表 1-10　集成电路的选用要求

序　　号	要　　求
1	电源及地的引脚较近和/或有多个电源及地线引脚
2	输出电压波动性小
3	可控开关速率
4	与传输线匹配的 I/O 电路
5	差动信号传输
6	地线反射较低
7	对 ESD 及其他干扰现象的抗扰性
8	输入电容小
9	输出级驱动能力不超过实际应用的要求
10	电源瞬态电流（有时也称穿透电流）低，参数的最大值、最小值应有明确的说明

由不同厂家生产的具有相同型号及指标的器件也能有显著不同的电磁兼容特性，在设计阶段就需要保证具有良好的电磁兼容性，对于确保陆续生产的产品具有稳定的电磁兼容性是很重要的。

在早期设计阶段，如果不清楚IC的电磁兼容特性，可以通过一个简单功能电路（至少时钟电路要工作）进行各种电磁兼容测试，条件允许时要尽量在高速数据传输状态下完成操作。发射测试可以在标准测试台上进行，用来筛选那些明显比其他器件噪声小得多的器件。测试抗扰度可采用同样的方式进行，以寻找能承受更大干扰的器件。

3.磁性元件的选用

电感有两种基本类型：开环和闭环。它们的不同在于内部的磁场环。在开环设计中，磁场通过空气闭合；而在闭环设计中，磁场通过磁芯完成闭合磁路。与电容和电阻相比，电感的一个优点是它没有寄生感抗，因此其表面贴装类型和引线类型没有什么差别。开环电感的磁场穿

过空气，这将引起辐射并带来电磁干扰（EMI）问题。在选择开环电感时，绕轴式比棒式或螺线管式更好，因为这样磁场将被控制在磁芯（磁体内的局部磁场）。对闭环电感而言，磁场被完全控制在磁芯，因此在电路设计中这种类型的电感更理想，当然它们也比较昂贵。螺旋环状的闭环电感的一个优点是：它不仅将磁环控制在磁芯，还可以自行消除所有外来的附带场辐射。

电感的磁材料主要有两种：铁和铁氧体。铁磁芯电感用于低频场合（几十千赫兹），而铁氧体磁芯电感用于高频场合（兆赫兹）。因此铁氧体磁芯电感更适合于电磁兼容应用。

磁性元件还包括各种类型的变压器和磁耦合元件。磁性元件特性见表1-11。

表 1-11　磁性元件特性

名　　称	特　　性
铁氧体磁珠	铁氧体磁珠是单环电感，通常单股导线穿过铁氧体型材而形成单环。这种器件在高频范围的衰减约为 10 dB，而直流的衰减量则很小
铁氧体磁夹（环）	铁氧体夹在高达兆赫兹的频率范围内的共模（CM）和差模（DM）的衰减均可达到 10 ~ 20 dB
电源变压器、开关变压器、隔离变压器	高频特性直接影响到产品的电磁兼容传导干扰特性和辐射干扰特性，同时其磁泄漏的大小直接影响到产品的内部干扰特性。变压器线圈的绕制方式、磁芯材料的性质、磁芯的形状等直接会影响到整机的电磁兼容性能
磁耦合元件	磁耦合元件是交变信号传递的重要手段，直接会影响到产品向外辐射的能量大小、频率特性等。它对产品的电磁兼容同样是至关重要的

4.开关元件的选用

这里的开关元件指广义的开关元件，包括继电器（电磁继电器、固

态继电器）；传统意义上的接触开关；工作在功率电路中的开关元件，如可控硅、晶闸管；工作在开关电源中的开关管、开关变压器、整流管等（虽然逻辑电路实际上也工作在开关状态，由于其工作电压、电流比较小，并且在前面已作过介绍，此处不另外列出）。功率电路有一个显著特点就是其工作在高电压、大电流电路的通断状态，这些电路中不可避免会有储能元件存在，这些储能元件会在电路接通和断开瞬间产生远比正常工作状态大得多的高压或大电流，这样的高压或大电流不但会对外形成电磁干扰，同时也会对这些元器件形成冲击，从而影响其寿命。选择能抑制通断瞬间产生的非正常高压或大电流的开关元件和给这些开关元件增加必要的脉冲吸收电路和保护电路是非常必要的。开关元件特性见表1-12。

表 1-12　开关元件特性

名　称	特　性
电磁继电器	开关瞬间的触点抖动和产生的拉弧会对同一供电网络上的其他设备产生传导干扰，对附近工作的设备会产生辐射干扰。若开关回路中有大的容性或感性负载存在，这些干扰会变得更严重，此时应选用防触点抖动和具备灭弧功能的继电器和开关。对大功率负载应采用软启动的方式，以降低其对开关触点的冲击和由此形成的电磁干扰的大小
可控硅、晶闸管和固态继电器	电路的开关状态直接由其通断产生，若开关回路中有容性或感性负载存在，在电路通断瞬间会在半导体器件两端产生非正常高压或大电流，这些非正常的高压或大电流不但会对电网形成冲击，同时对这些功率半导体器件可能会是致命的，因此，对这些回路来说脉冲吸收和保护回路是必不可少的
开关电源中的开关管	对同一开关电源，其他部分保持不变，用同样耐压和电流容量的不同品牌的开关管进行辐射干扰测试，整体干扰最大的与最小的可能相差 15 ~ 20 dB。对传导干扰的频率高端，我们也发现同样的现象（对传导干扰的频率低端这种现象没有高端明显）。这与开关管在设计中有否考虑电磁兼容有关。好的开关管在设计中考虑了高频率抑制及开关瞬间的振荡，并兼顾了转换效率
开关电源中的开关变压器	对电磁兼容的影响表现在两个方面：一个是初级线圈与次级线圈间的分布电容 C_d，一个是开关变压器的漏磁。在初级线圈与次级线圈间加静电屏蔽层并引出接地，该接地线应尽量靠近开关管的发射极接直流输入的 0 V 地（热地），这样可以大大减小分布电容 C_d，从而减少了初、次级的电场耦合干扰。封闭磁芯比开口磁芯的漏磁小。还可以通过在开关变压器外包高磁导率的屏蔽材料抑制漏磁，从而减小通过漏磁辐射的干扰

5.连接器件的选用

无论是信号端口、控制端口还是电源端口，其进出设备均通过连接器来完成，因此，连接器对设备的电磁兼容特性起着举足轻重的作用。连接器的选择、安装位置和方式直接关系到产品是否可以通过电磁兼容测试。连接器是无源元件，其功能是提供两电路之间的电气连续性，并保证在它们的周围有足够的隔离。连接器可以分为：低频功率、低频信号、高频功率或高频信号传输连接器等，见表1-13。

表 1-13　连接器特性

名　称	特　性
低频功率连接器	接触电阻较小，适用于低频大功率信号
带有滤波器的连接器	适用于低频连接器，防止内部干扰外泄和外部干扰进入
高频信号和高频功率连接器	防止信号发生反射和形成驻波，连接器的特征阻抗应尽量与连接电缆的特征阻抗保持一致，同时应有较好的屏蔽，以防止高频信号发生泄漏。对高频功率连接器还需较小的接触阻抗和插入损耗，以减小其功率的衰减
室外电缆连接的信号连接器和电源连接器	选用插脚带有压敏电阻器的连接器

对电磁干扰而言，连接器的有关特性有：交扰、特征阻抗、接触阻抗、插入损耗、屏蔽、带有滤波器插脚和压敏电阻器插脚等。对开关电源而言，当其传导或辐射干扰不能满足要求时，在交流或直流电源输入端选择带有滤波器的连接插座有时会起到事半功倍的效果。此时应注意带有滤波器的连接插座的金属外壳须与机壳和设备地保持紧密和良好的连接。

对包含有多组信号的连接器，选择交扰较小的连接器就变得重要了。同时信号线之间应用地线隔离。带有脉冲和大功率的信号线应尽量远离低压小信号的敏感线，必要时可分别使用不同的连接器并屏蔽隔离。

第2章　PCB设计基础知识

PCB是英文Printed Circuit Board（印制电路板）的简称。通常把在绝缘材料上，按预定设计，制成印制线路、印制元件或两者组合而成的导电图形称为印制电路。而在绝缘基材上提供元器件之间电气连接的导电图形，称为印制线路。把印制电路或印制线路的成品板称为印制线路板，亦称为印制板或印制电路板。

PCB提供集成电路等各种电子元器件固定装配的平台，实现集成电路等各种电子元器件之间的布线和电气连接。PCB设计的好坏对抗干扰能力有很大影响，因此，PCB的设计除必须遵守一般原则之外，还应符合抗干扰设计与电磁兼容性的要求。

2.1　PCB设计流程

电路板的设计从绘制原理图开始，然后形成网络表，导入电路板设计环境，进行PCB设计。PCB设计流程主要分为数据输入、规则设置、布局、布线、检查、报表输出六大步骤。

2.1.1　数据输入

设计完成电路原理图后，可以通过以下两种方法把电路数据加载到电路板。

1.在电路图环境转移数据

在电路图设计环境下，执行菜单命令【Design】【Update PCB Document PCB1.PcbDoc】，如图2-1所示，即可将电路数据加载到电路板。

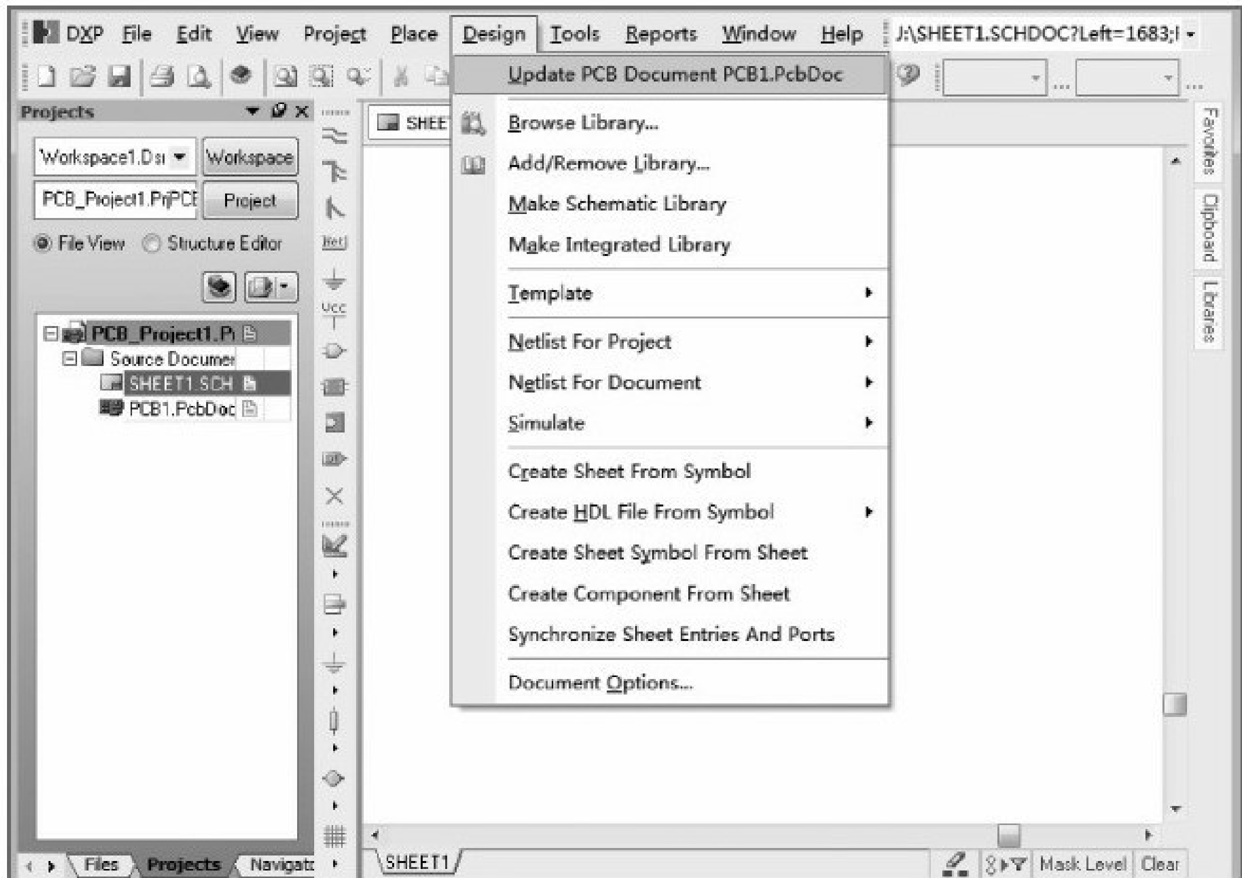


图 2-1 电路图环境下转移数据

2.在电路板环境转移数据

在电路板编辑环境下，若要把电路图中的数据加载到电路板，执行菜单命令【Design】【Import Changes From PCB-Project1.PrjPcb】，如图2-2所示，即可将电路数据加载到电路板。

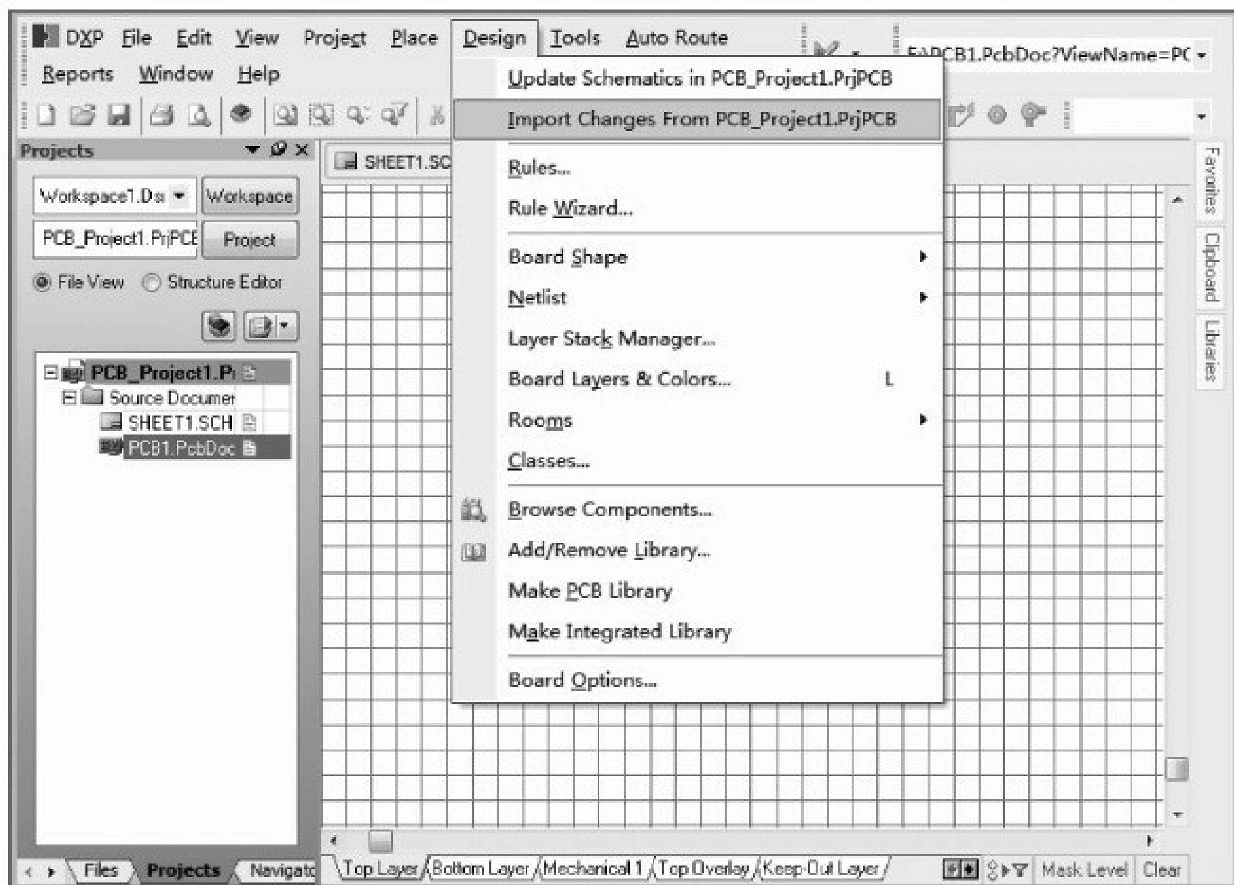


图 2-2 电路板环境下转移数据

使用上述两种方法中的任何一种，都会打开相同的对话框，如图2-3所示。

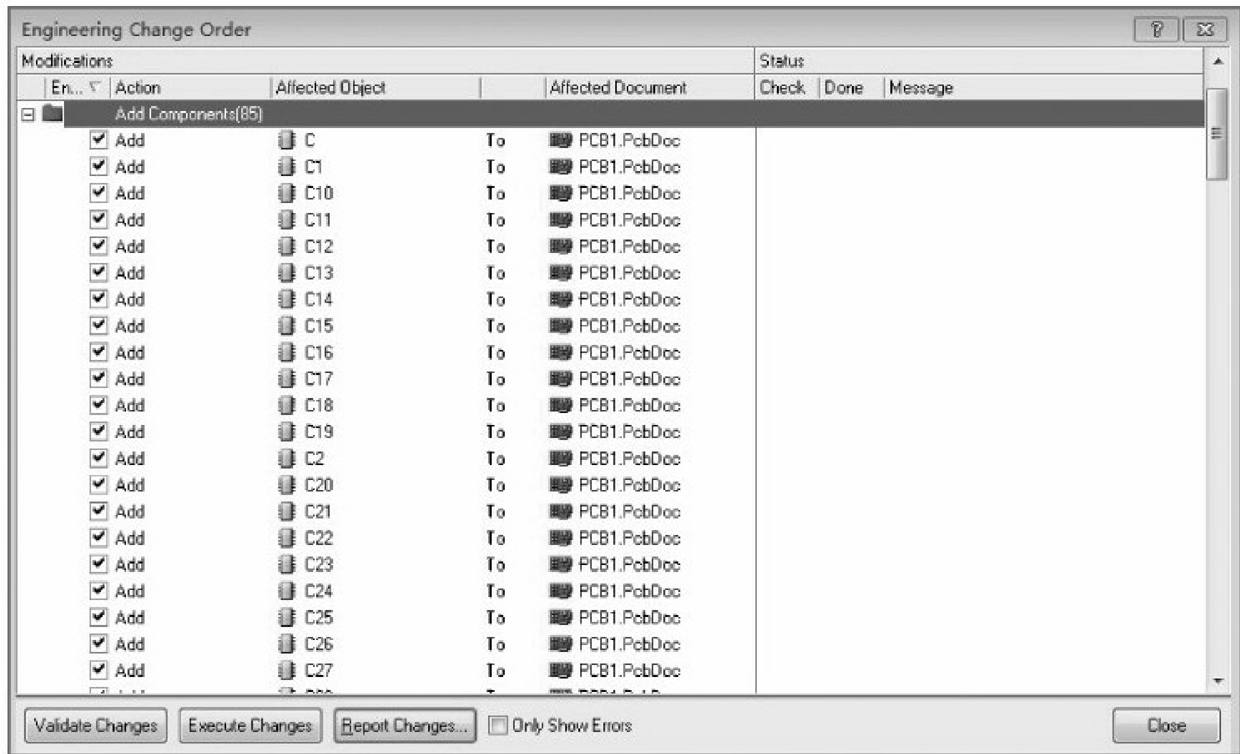


图　2-3　数据加载对话框

【Validate Changes】按钮的功能是验证数据更新的正确性，也就是验证数据能否顺利加载到电路板。单击该按钮后，程序将依次验证每个加载的操作，如果没有问题，则在Check栏里打勾（绿色），否则打叉（红色）。【Execute Changes】按钮的功能是执行数据更新的操作，单击此按钮后，程序将依次执行每个加载操作，加载成功则在Done栏里打勾（绿色），否则打叉（红色）。

2.1.2　规则设置

在电路板设计过程中，通过对规则的设置来约束电路板上的布线或者布局，确保电路板的设计与制造能够顺利进行。Altium Designer提供的设计规则非常齐全，用户可以很方便地对设计规则进行设置。执行菜单命令【Design】【Rules】，打开设计规则与约束对话框，如图2-4所示。

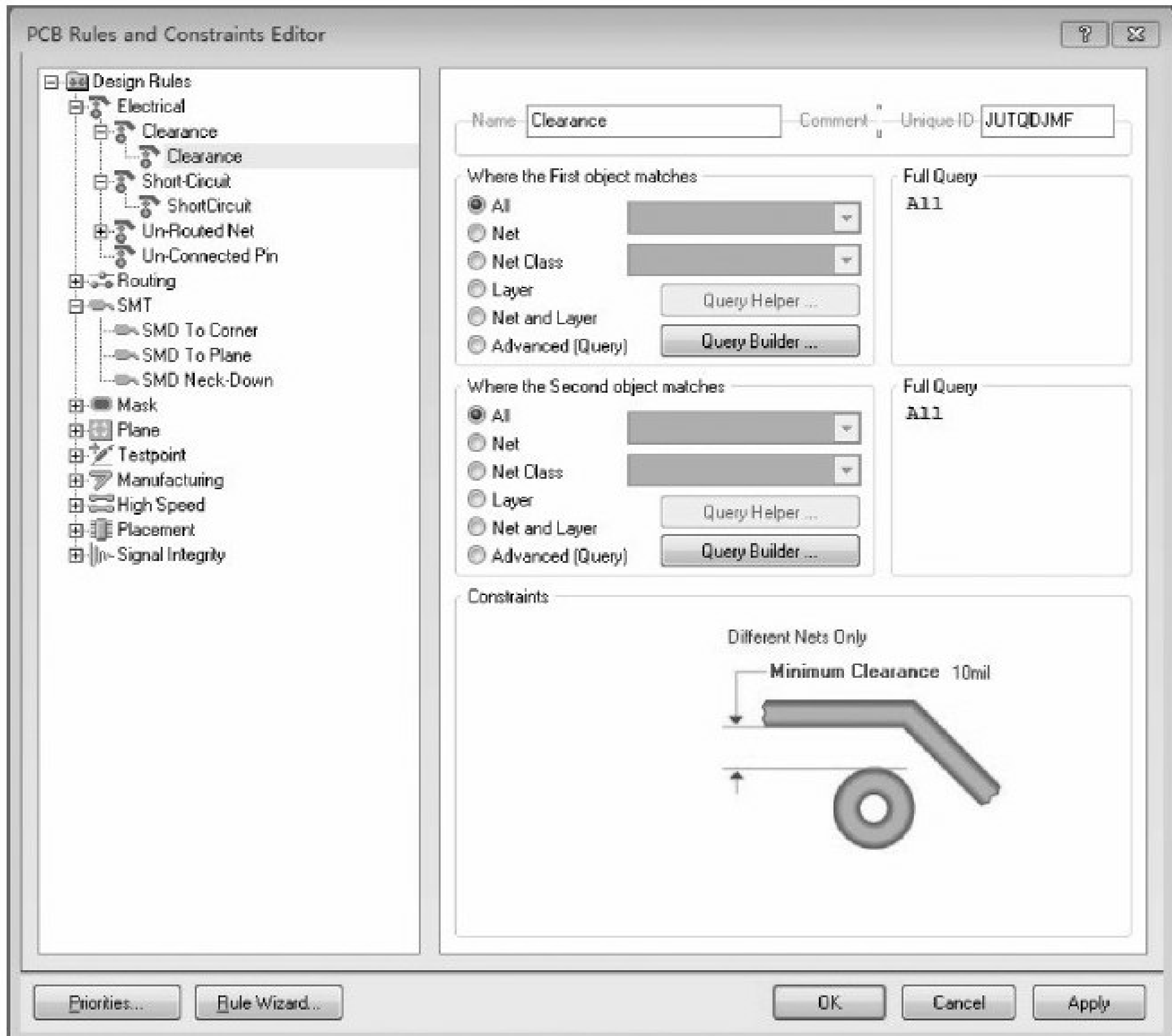


图　2-4　规则设置

规则设置分为10类：【Electrical】（电气类）、【Routing】（布线类）、【SMT】、【Mask】（掩膜）、【Plane】（平面）、【Testpoint】（测试点）、【Manufacturing】（制造）、【High Speed】（高速）、【Placement】（布置）、【Signal Integrity】（信号完整性）。

1.电气规则

【Electrical】（电气类）设计规则包括【Clearance】（间隔）、【Short-Circuit】（短路）、【Un-Routed Net】（未布线网络）和【Un-Connected Pin】（未连接引脚）四项内容。

（1）【Clearance】

【Clearance】设定电气图件的安全间隔。在图2-4所示的对话框中，单击【Electrical】【Clearance】选项，打开安全间隔对话框，如图2-5所示。

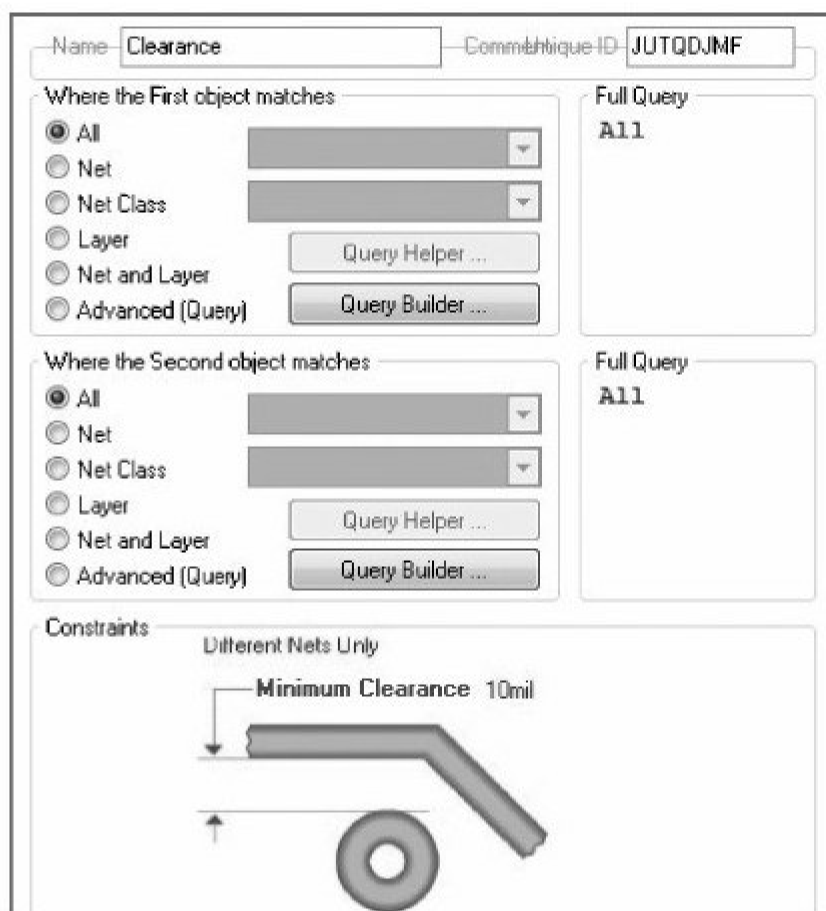


图　2-5　间隔设置

（2）【Short-Circuit】

【Short-Circuit】设定允许短路的线路。单击【Electrical】【Short-Circuit】选项，打开短路设置对话框，如图2-6所示。

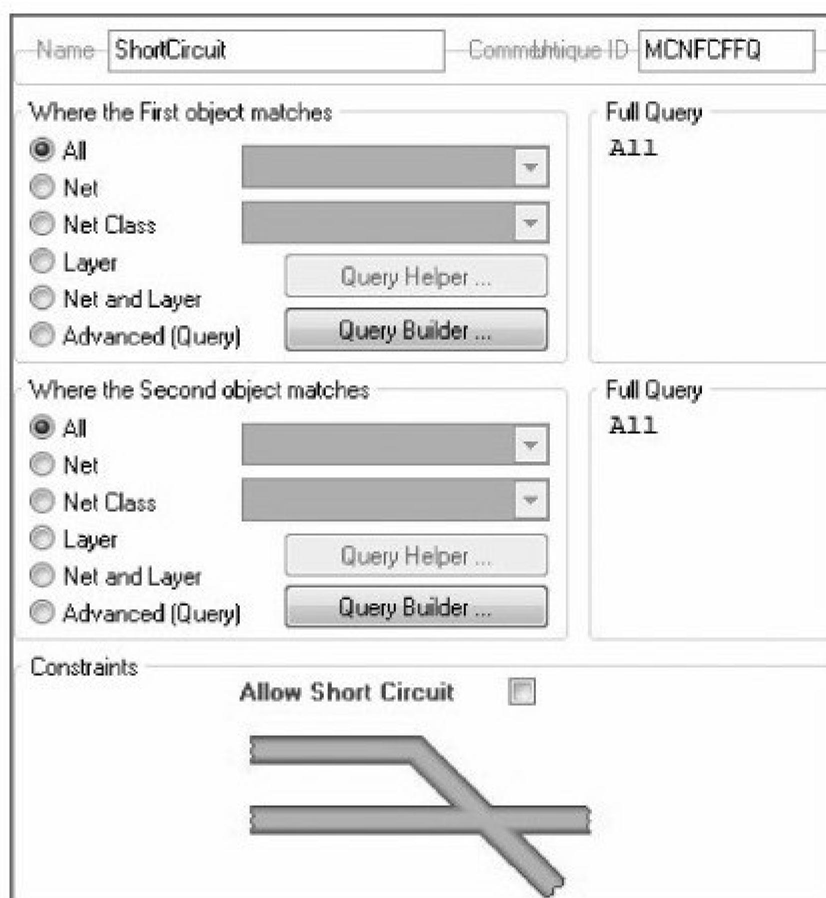


图　2-6　短路设置

（3）【Un-Routed Net】

【Un-Routed Net】找出未完成布线的网络。单击【Electrical】

【Un-Routed Net】选项，打开未布线网络设置对话框，如图2-7所示。

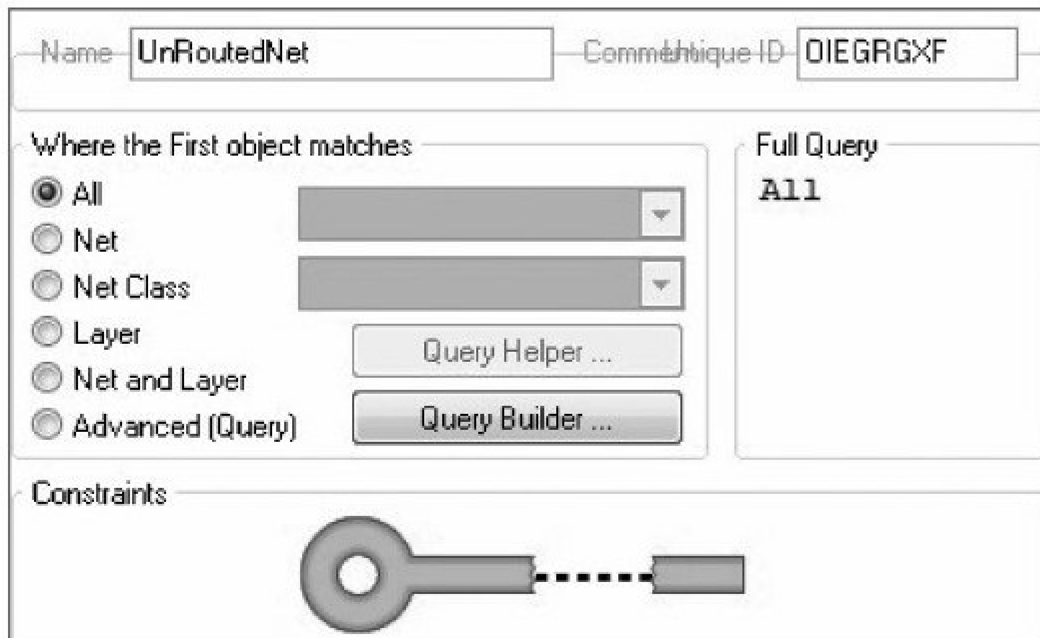


图 2-7 未布线网络设置

（4）【Un-Connected Pin】

【Un-Connected Pin】找出未连接的引脚。单击【Electrical】【Un-Connected Pin】选项，打开未连接引脚设置对话框，如图2-8所示。

图 2-8 未连接引脚设置

2.布线规则

【Routing】（布线类）设计规则包括【Width】（宽度）、【Routing Topology】（布线拓扑）、【Routing Priority】（布线优先级）、【Routing Layers】（布线层）、【Routing Corners】（布线拐角）、【Routing Via Style】（布线的过孔样式）、【Fanout Control】（扇出控制）七项内容。如图2-9所示。

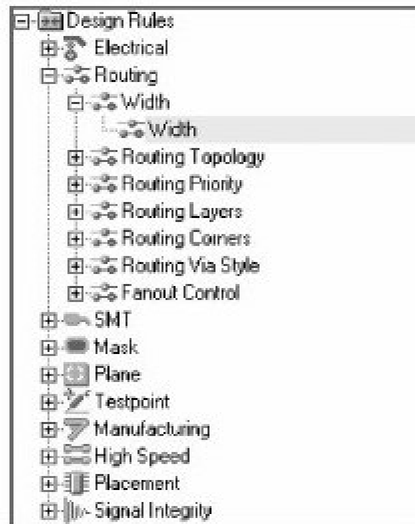


图 2-9 布线类设置

（1）【Width】

【Width】设定布线时的宽度。单击【Routing】【Width】选项，打开布线宽度设置对话框，如图2-10所示。

图 2-10 宽度设置

（2）【Routing Topology】

【Routing Topology】设定布线时的布线模式。单击【Routing】【Routing Topology】选项，打开布线模式设置对话框，如图2-11所示。

图 2-11 布线拓扑设置

（3）【Routing Priority】

【Routing Priority】设定布线时的优先等级，0为最低，100为最高。单击【Routing】【Routing Priority】选项，打开布线优先级设置对话框，如图2-12所示。

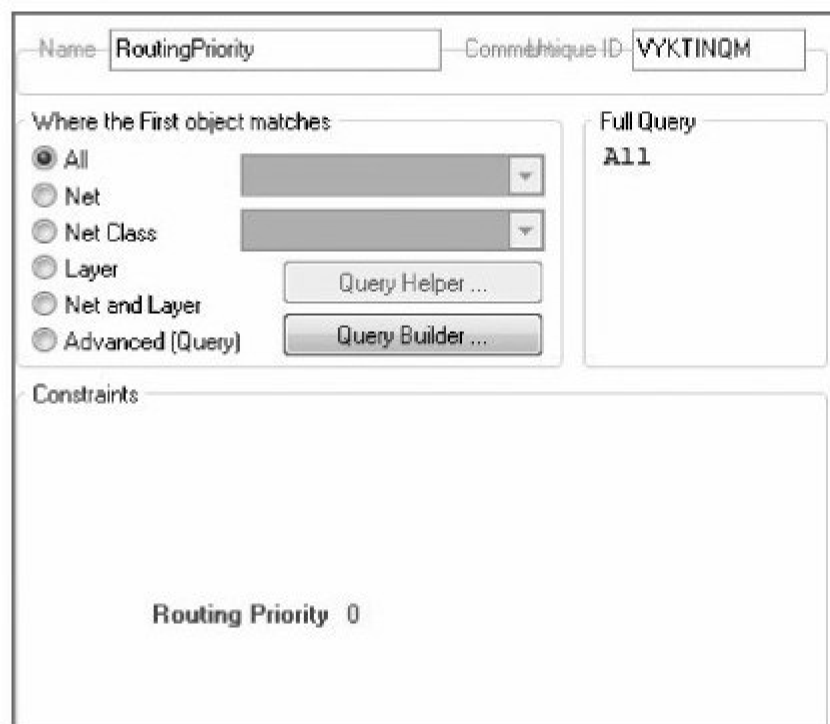


图　2-12　布线优先级设置

（4）【Routing Layers】

【Routing Layers】设定布线层，也就是在什么层上布线。单击【Routing】【Routing Layers】选项，打开布线层设置对话框，如图2-13所示。

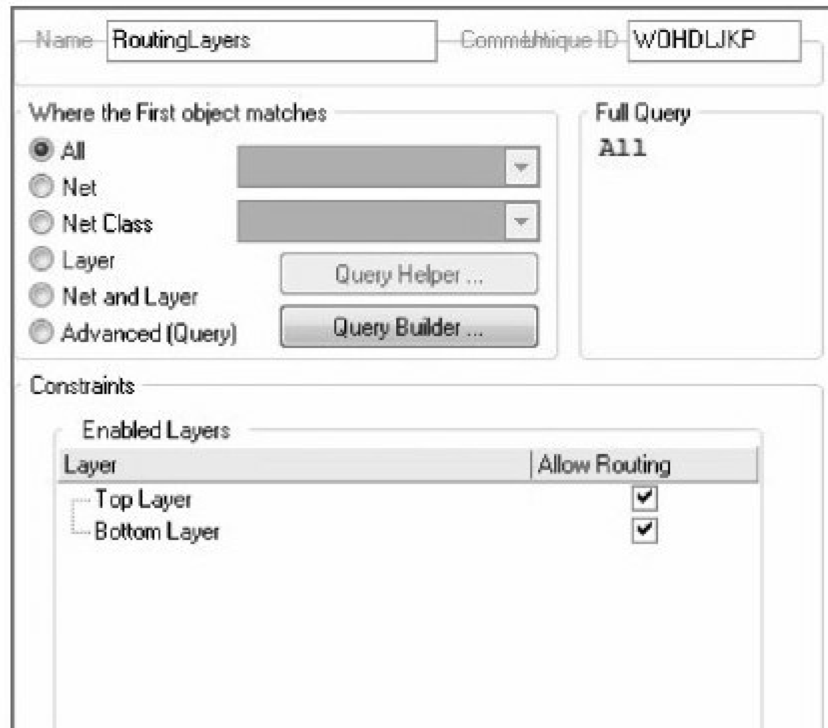


图 2-13 布线层设置

（5）【Routing Corners】

【Routing Corners】设定布线样式，也就是在自动布线时设定将采用的拐角样式。单击【Routing】【Routing Corners】选项，打开布线拐角设置对话框，如图2-14所示。

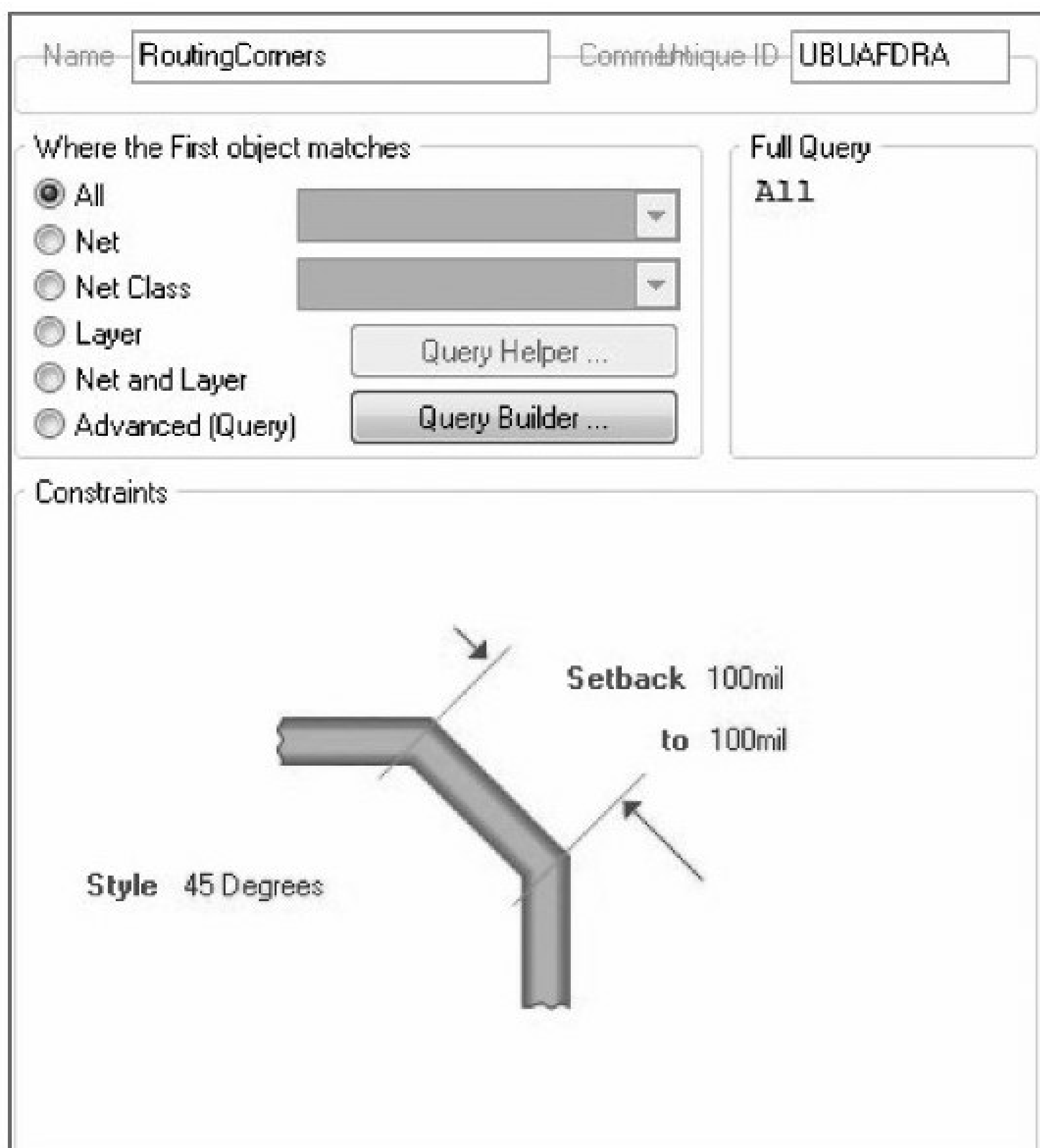


图 2-14 布线拐角设置

（6）【Routing Via Style】

【Routing Via Style】设定布线时的过孔样式。单击【Routing】【Routing Via Style】选项，打开过孔样式设置对话框，如图2-15所示。

图　2-15　布线过孔样式设置

（7）【Fanout Control】

【Fanout Control】是针对SMD组件的引脚连接方式的控制，也就是扇出式的引脚连接。单击【Routing】【Fanout Control】选项，打开扇出控制设置对话框，如图2-16所示。

图 2-16 扇出控制设置

3.SMT规则

【SMT】表面粘贴设计规则包括【SMD To Corner】（SMD到拐角）、【SMD To Plane】（SMD到平面）、【SMD To Neck-Down】（SMD到瓶颈）三项内容。

（1）【SMD To Corner】

【SMD To Corner】设定从SMD焊盘引接出来，经过多少距离后，该引接线才可以拐弯。单击【SMT】【SMD To Corner】选项，打开SMD到拐角的设置对话框，如图2-17所示。

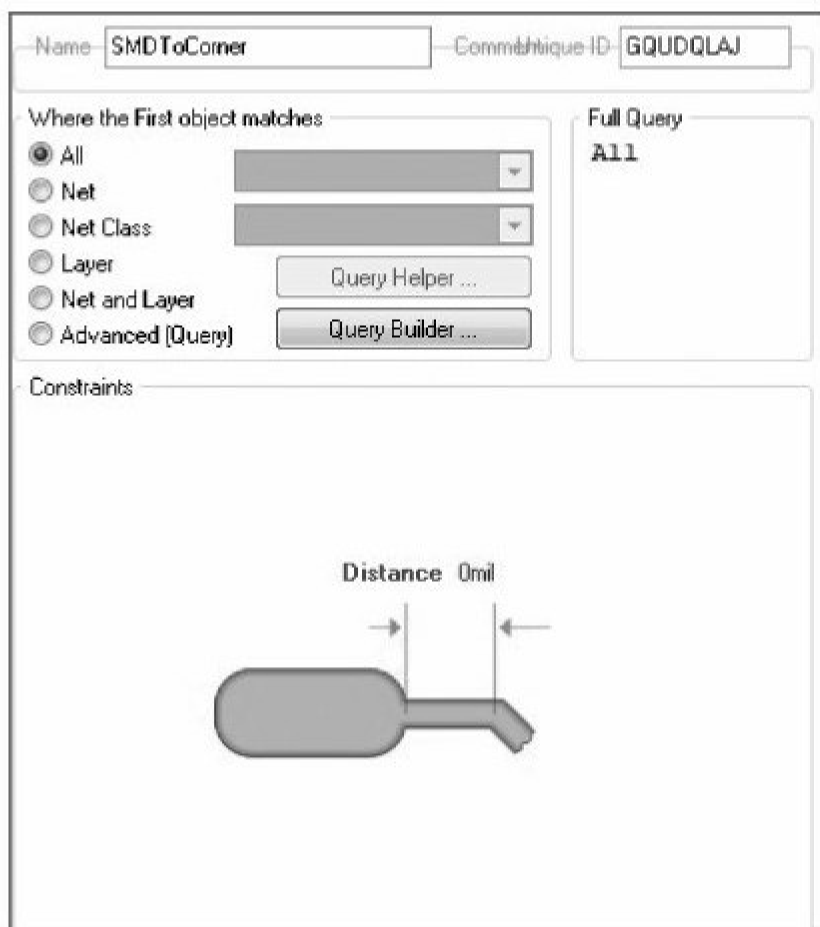


图 2-17 SMD到拐角设置

（2）【SMD To Plane】

【SMD To Plane】设定SMD焊盘与电源层过孔之间的最小间距。单击【SMT】【SMD To Plane】选项，打开SMD到平面的设置对话框，如图2-18所示。

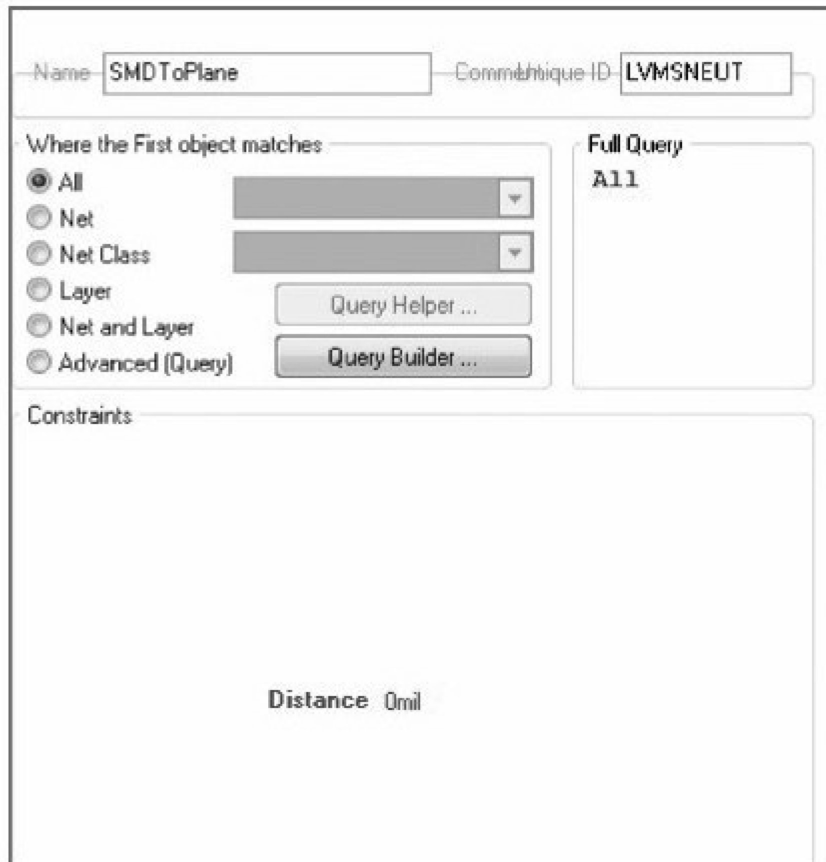


图　2-18　SMD到平面设置

（3）【SMD To Neck-Down】

【SMD To Neck-Down】设定连接SMD焊盘的布线宽度与焊盘宽度之比。单击【SMT】【SMD To Neck-Down】选项，打开SMD到瓶颈的设置对话框，如图2-19所示。

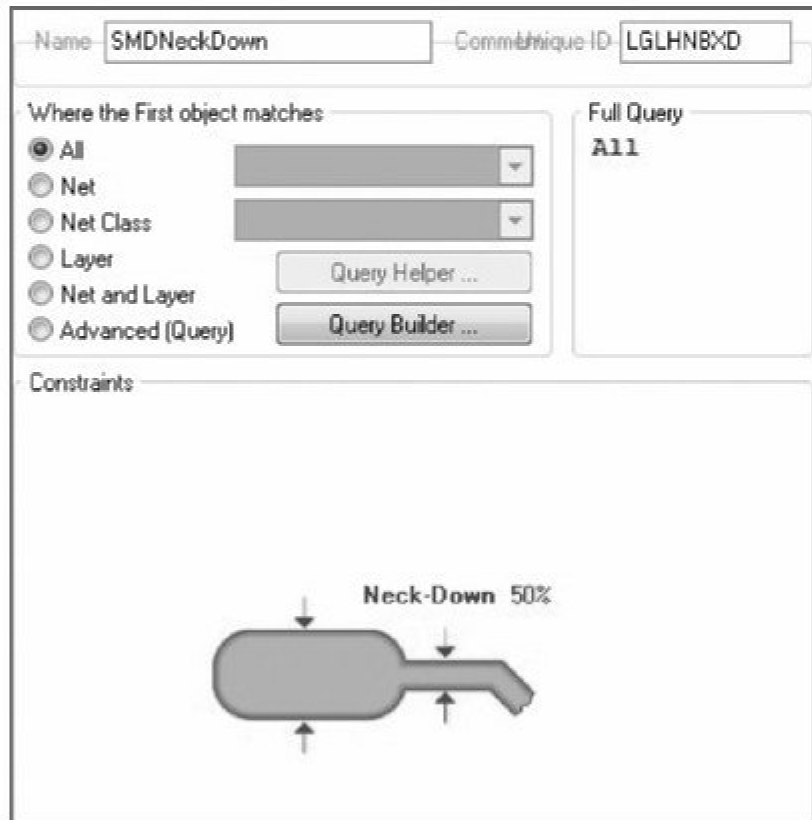


图　2-19　SMD到瓶颈设置

4.掩膜规则

【Mask】（掩膜）规则设计包括【Solder Mask Expansion】（助焊膜扩张量）、【Paste MaskExpansion】（阻焊膜扩张量）两项内容。

（1）【Solder Mask Expansion】

【Solder Mask Expansion】设定防焊层的延伸量，也就是绿漆与焊盘的间距。单击【Mask】【Solder Mask Expansion】选项，打开助焊膜扩张量的设置对话框，如图2-20所示。

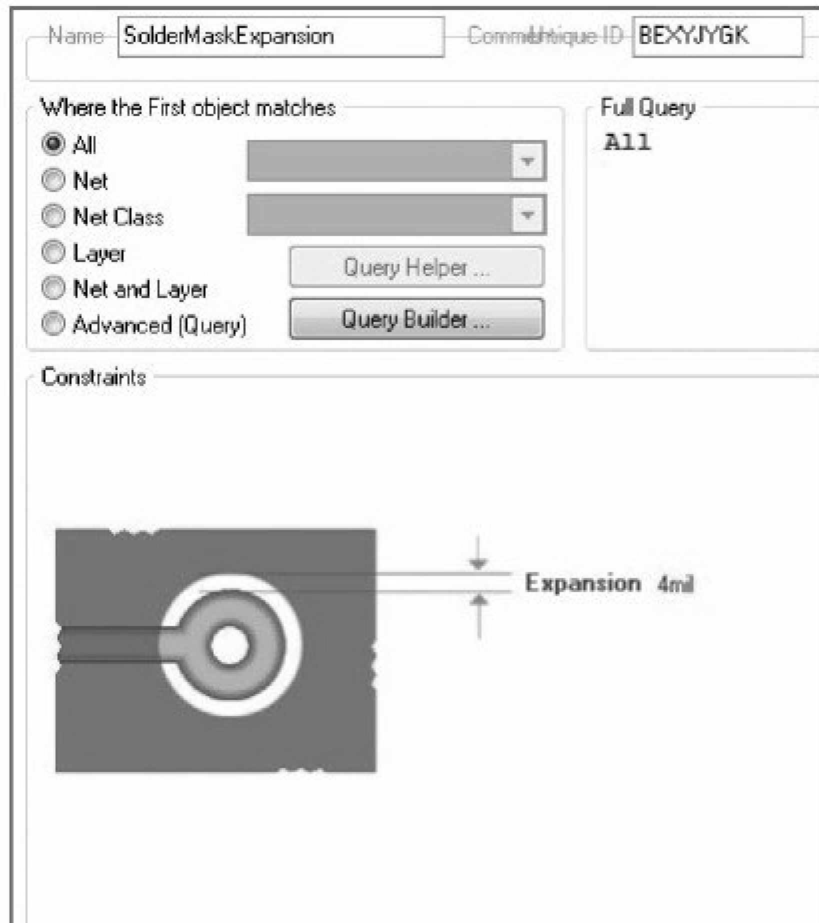


图 2-20 助焊膜扩张量设置

（2）【Paste Mask Expansion】

【Paste Mask Expansion】设定锡膏层的延伸量，也就是锡膏内缩于SMD焊盘的间距。单击【Mask】【Paste Mask Expansion】选项，打开阻焊膜扩张量的设置对话框，如图2-21所示。

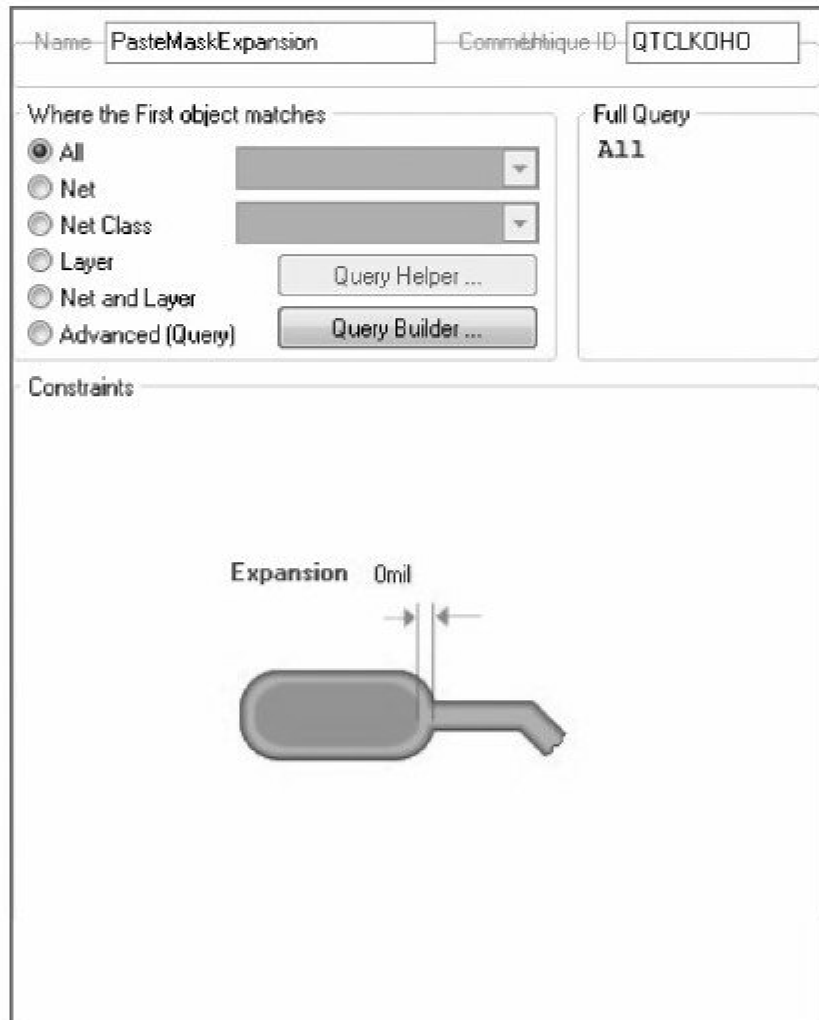


图 2-21 阻焊膜扩张量设置

5.平面规则

【Plane】（平面）规则设计包括【Power Plane Connect Style】（电源层连接模式）、【Power Plane Clearance】（电源层间隙）和【Polygon Connect Style】（多边形覆铜连接样式）三项内容。

（1）【Power Plane Connect Style】

【Power Plane Connect Style】设定电源层与焊盘的连接样式，单击【Plane】【Power Plane Connect Style】选项，打开电源层连接模式设置对话框，如图2-22所示。

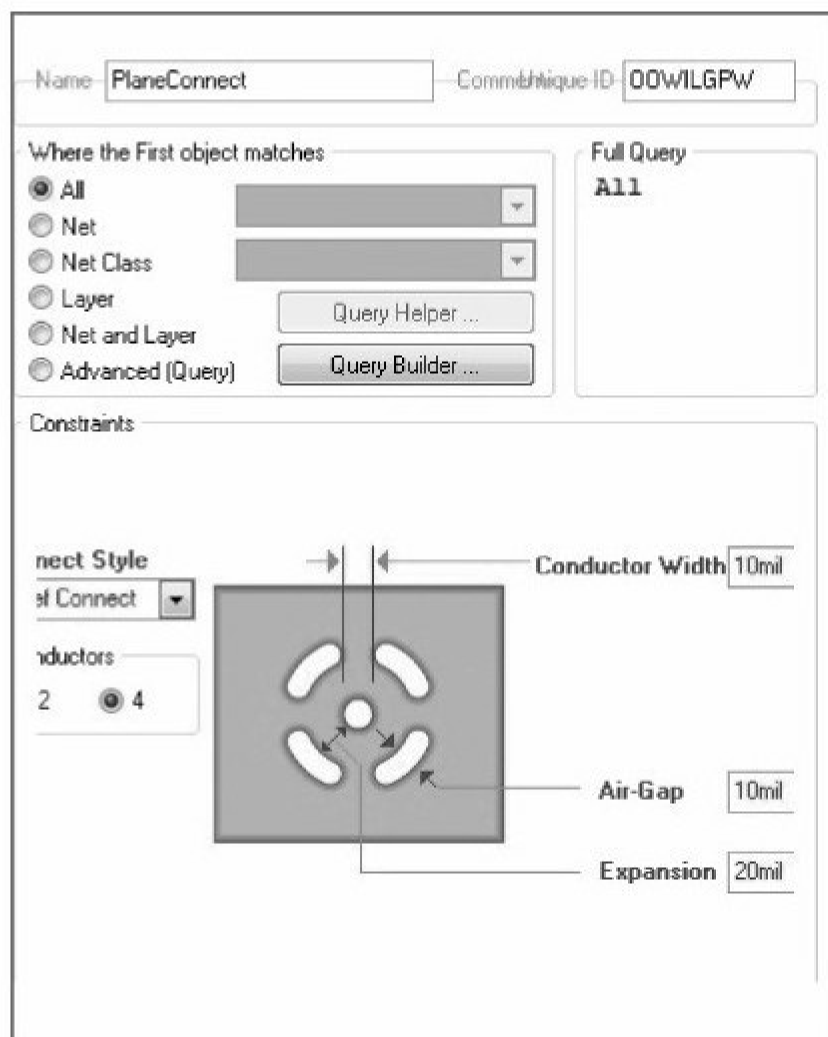


图　2-22　电源层连接模式设置

（2）【Power Plane Clearance】

【Power Plane Clearance】设定电源层与焊盘的安全间距。单击

【Plane】【Power Plane Clearance】选项，打开电源层间隙设置对话框，如图2-23所示。

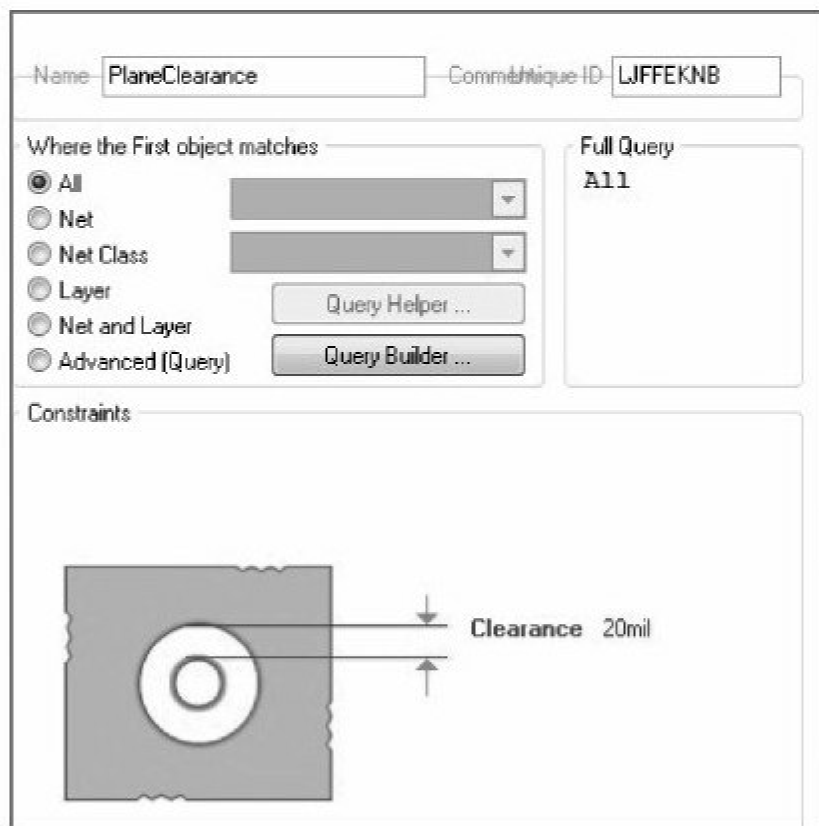


图　2-23　电源层间隙设置

（3）【Polygon Connect Style】

【Polygon Connect Style】设定敷路与焊盘的连接样式。单击【Plane】【Polygon Connect Style】选项，打开多边形覆铜连接样式设置对话框，如图2-24所示。

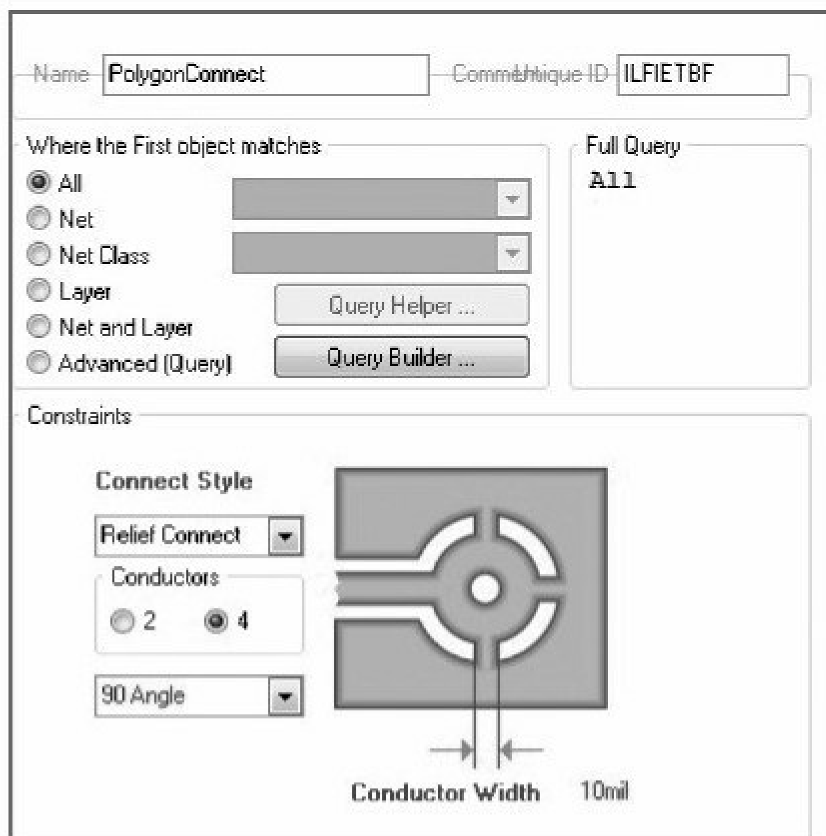


图　2-24　多边形覆铜连接样式设置

6.测试点规则

【Testpoint】（测试点）规则设计包括【Testpoint Style】（测试点样式）和【Testpoint Usage】（测试点用法）两项内容。

（1）【Testpoint Style】

【Testpoint Style】设定电路板上测试点的大小和测试点的钻孔直径。单击【Testpoint】【Testpoint Style】选项，打开测试点样式设置对话框，如图2-25所示。

图　2-25　测试点样式设置

（2）【Testpoint Usage】

【Testpoint Usage】设定测试点的用法。单击【Testpoint】【Testpoint Usage】选项，打开测试点用法设置对话框，如图2-26所示。

图　2-26　测试点用法设置

7.制造规则

【Manufacturing】（制造）规则设计包括【Minimum Annular Ring】（最小环孔）、【Acute Angle】（锐角）、【Hole Size】（孔径）及【Layer Pairs】（层配对）四项内容。

（1）【Minimum Annular Ring】

【Minimum Annular Ring】设定在电路板上焊盘的最小环宽限制。单击【Manufacturing】【Minimum Annular Ring】选项，打开最小环孔设置对话框，如图2-27所示。

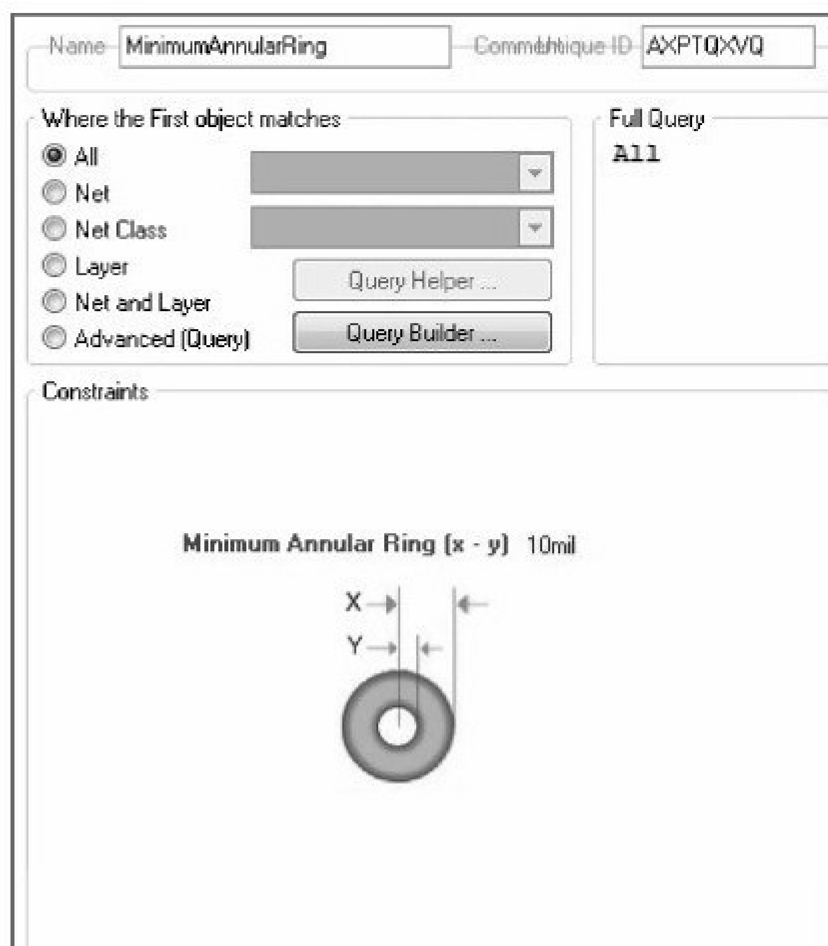


图 2-27 最小环孔设置

（2）【Acute Angle】

【Acute Angle】设定布线转弯的最小角度约束。单击

【Manufacturing】【Acute Angle】选项，打开锐角设置对话框，如图2-28所示。

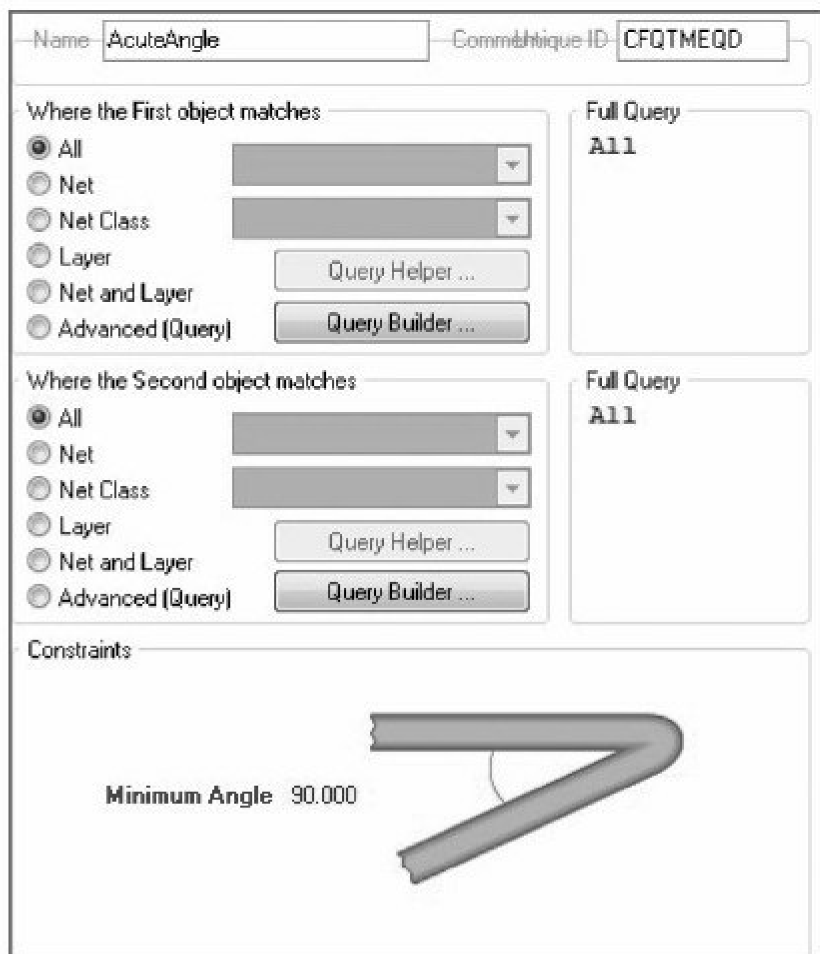


图 2-28 锐角设置

（3）【Hole Size】

【Hole Size】设定钻孔尺寸的大小。单击【Manufacturing】【Hole Size】选项，打开钻孔直径设置对话框，如图2-29所示。

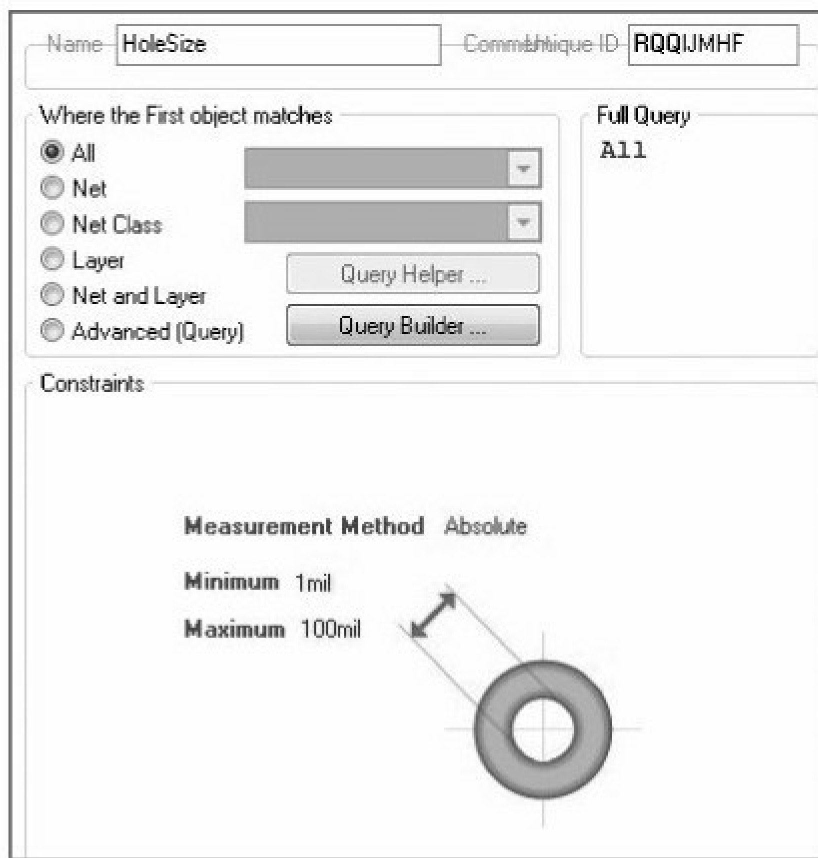


图 2-29 孔径设置

（4）【Layer Pairs】

【Layer Pairs】（层配对）设定层对约束，层对的设定将影响到多层板的制造。单击【Manufacturing】【Layer Pairs】选项，打开层配对设置对话框，如图2-30所示。

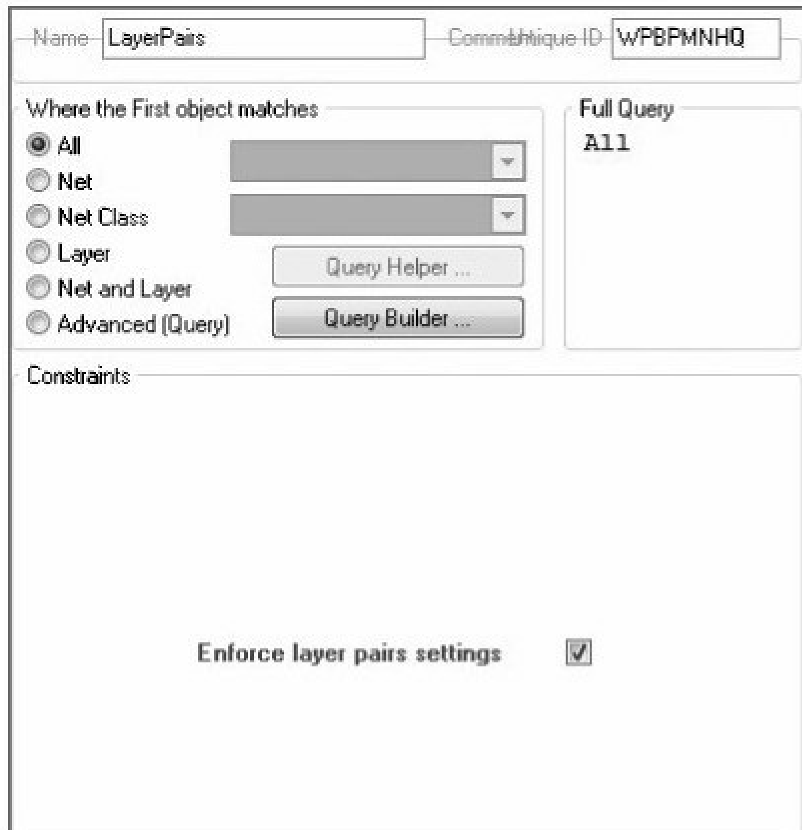


图 2-30 层配对设置

8.高速规则

【High Speed】（高速）规则设计包括【Parallel Segment】（平行线段）、【Length】（长度）、【Matched Net Lengths】（匹配网络长度）、【Daisy Chain Stub Length】（菊花链支线长度）、【Vias Under SMD】（SMD下的过孔）及【Maximum Via Count】（最大过孔数）六项内容，如图2-31所示。

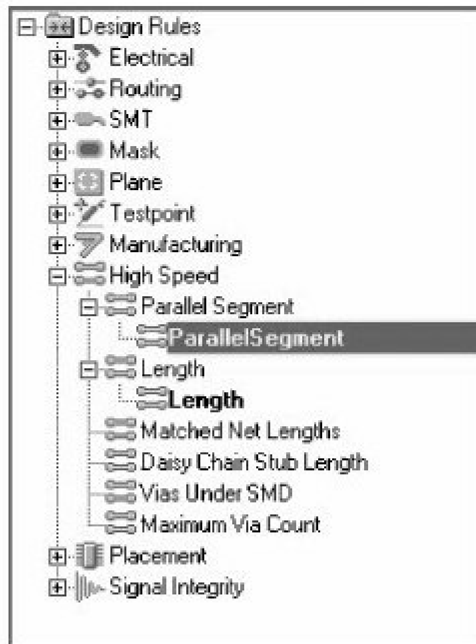


图 2-31 高速设置

（1）【Parallel Segment】

【Parallel Segment】设定平行布线的间距约束。单击【High Speed】【Parallel Segment】选项，打开平行线段设置对话框，如图2-32所示。

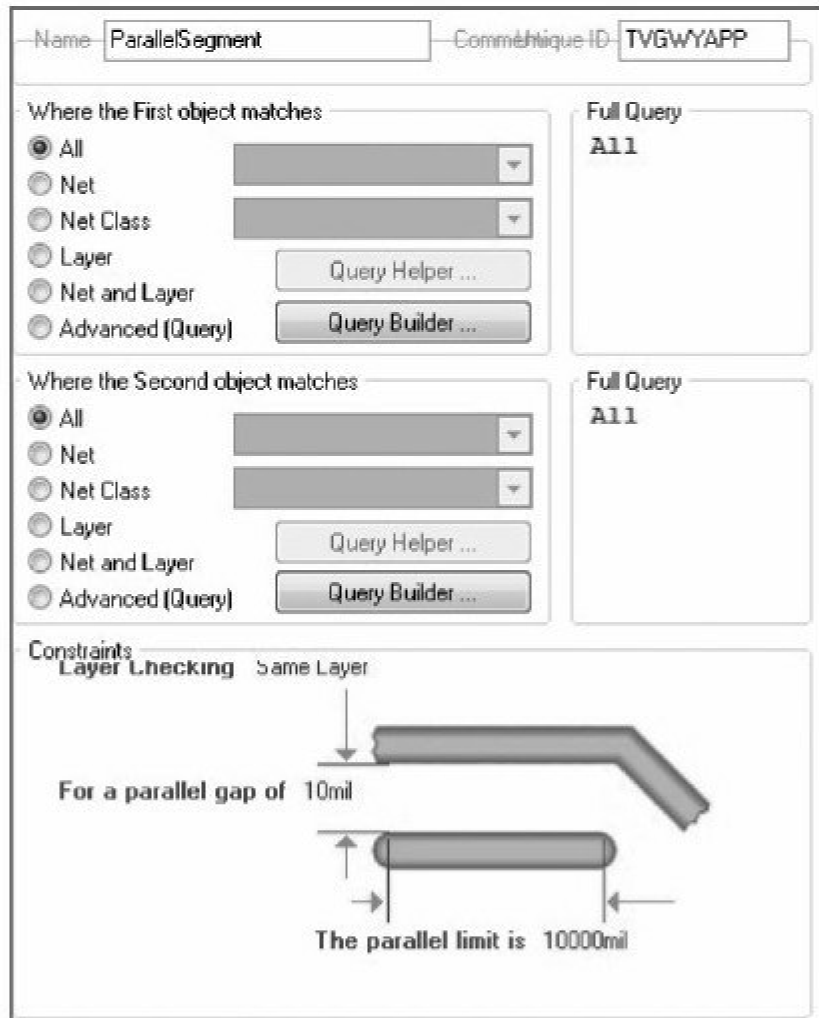


图　2-32　平行线段设置

（2）【Length】

【Length】设定平行布线的长度约束。单击【High Speed】【Length】选项，打开长度设置对话框，左边指定布线最长长度约束，右边指定布线最短长度约束，如图2-33所示。

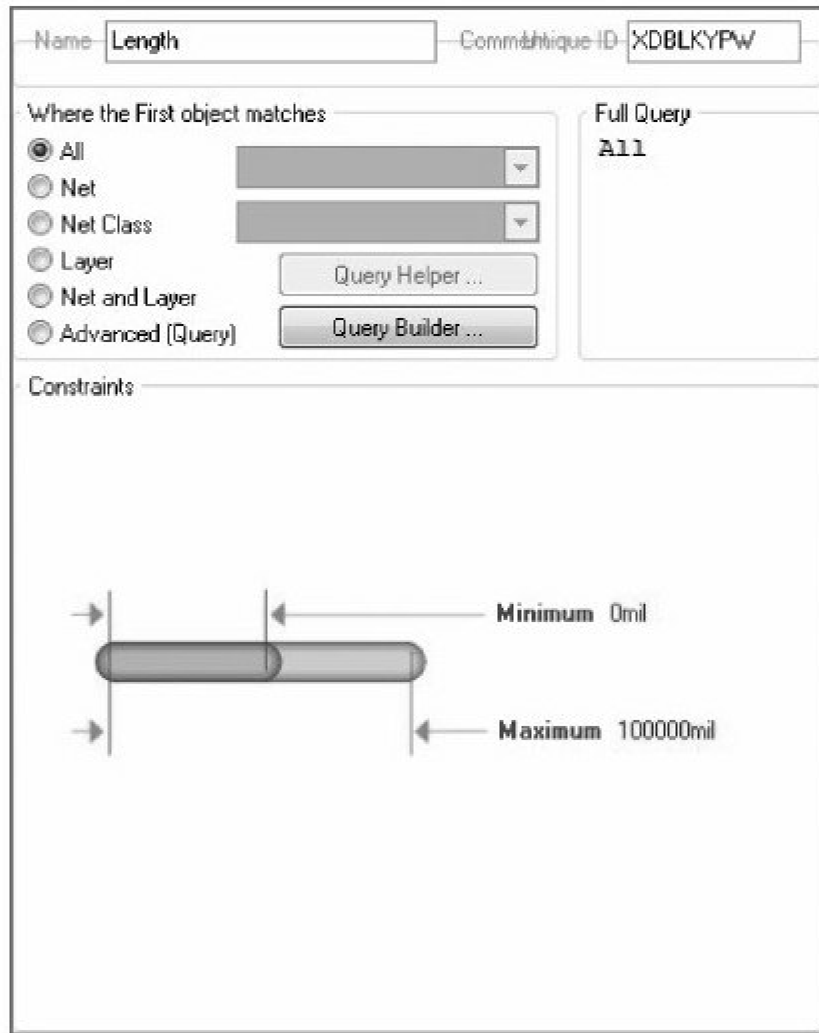


图 2-33 长度设置

（3）【Matched Net Lengths】

【Matched Net Lengths】设定等长布线的样式。单击【High Speed】【Matched Net Lengths】选项，打开匹配网络长度设置对话框，如图2-34所示。

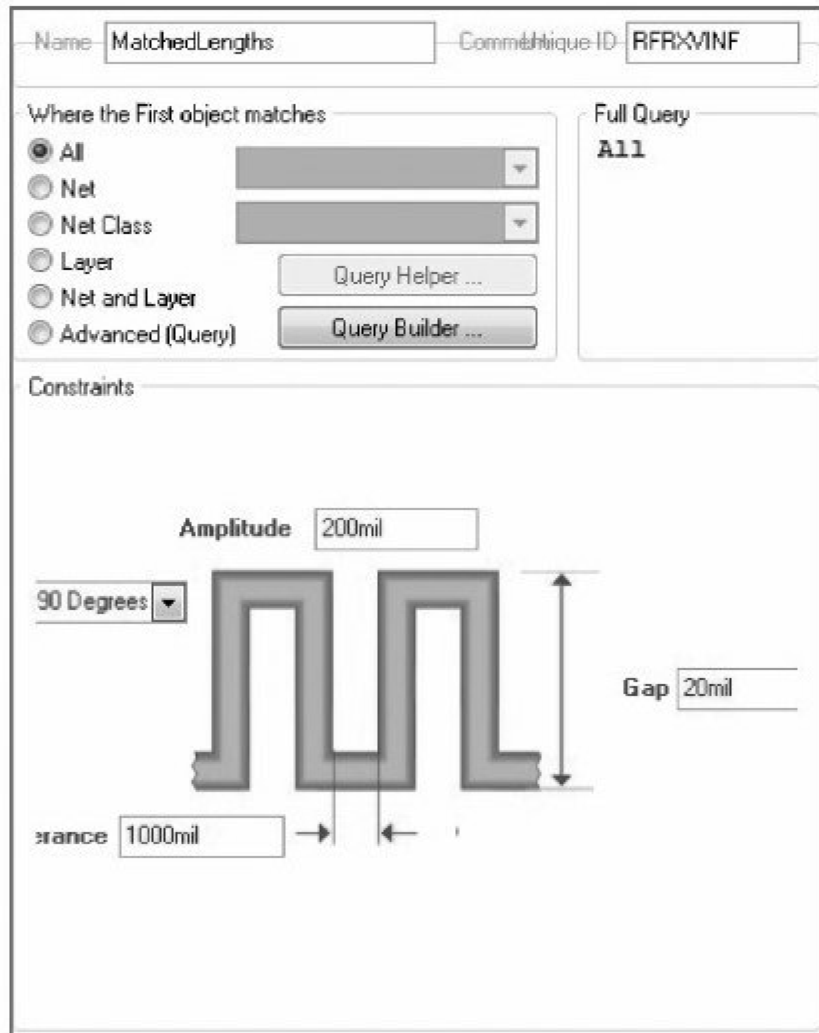


图 2-34 匹配网络长度设置

（4）【Daisy Chain Stub Length】

【Daisy Chain Stub Length】设定从菊状走线分叉出来的布线长度约束。单击【High Speed】【Daisy Chain Stub Length】选项，打开菊花链支线长度设置对话框，如图2-35所示。

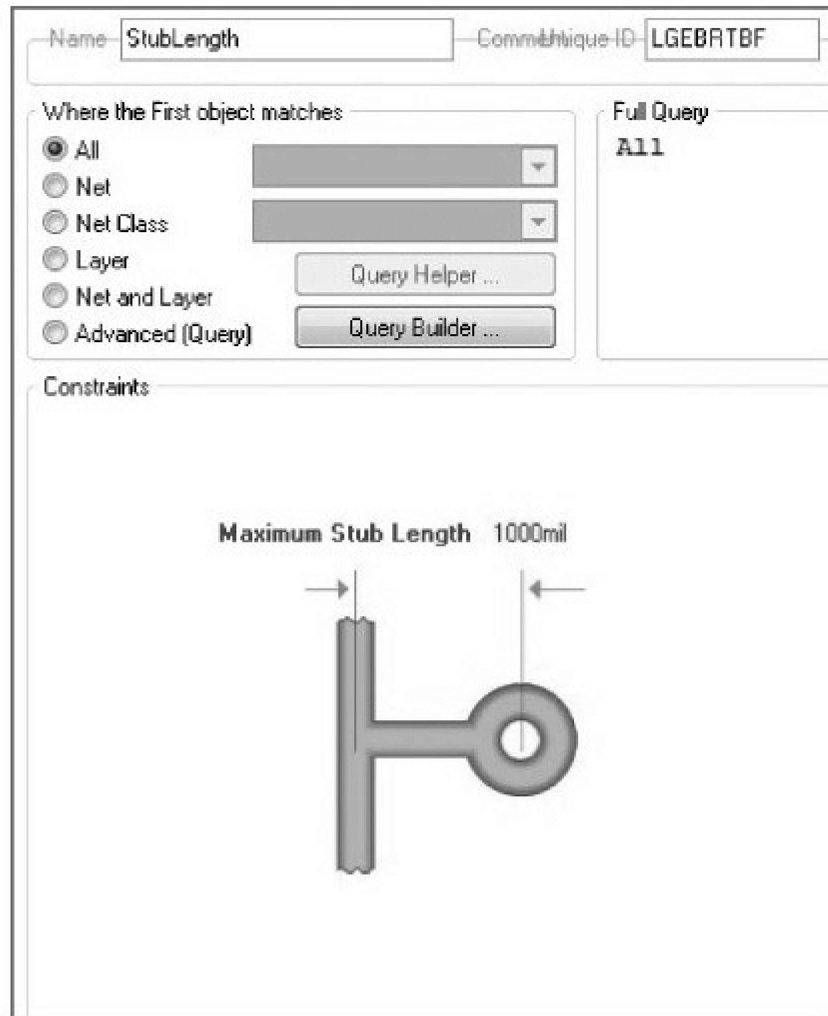


图 2-35 菊花链支线长度设置

（5）【Vias Under SMD】

【Vias Under SMD】设定在SMD焊盘下的过孔约束。单击【High Speed】【Vias Under SMD】选项，打开SMD下的过孔设置对话框，如图2-36所示。选中【Allow Vias under SMD Pads】则SMD焊盘下可以设置过孔，否则不允许设置过孔。

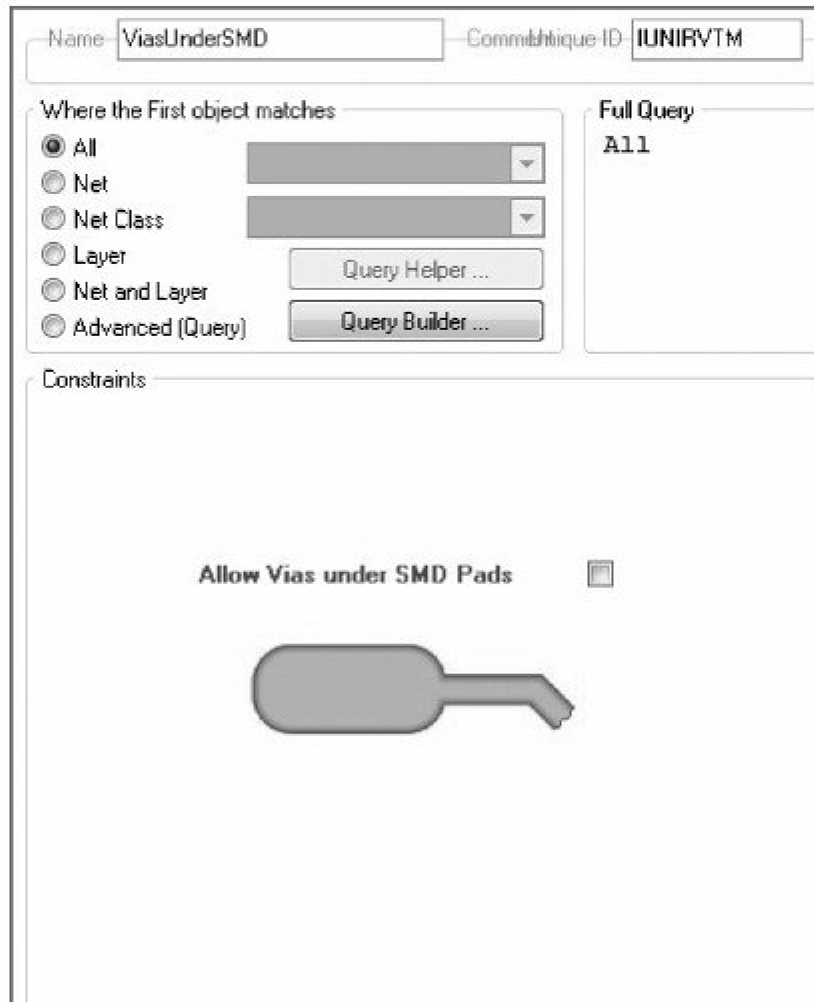


图 2-36 过孔设置

（6）【Maximum Via Count】

【Maximum Via Count】（最大过孔数）设定布线时过孔数量约束。单击【High Speed】【Maximum Via Count】选项，打开最大过孔数设置对话框，如图2-37所示。

图　2-37　最大过孔数量设置

9.布置规则

【Placement】（布置）规则设计包括【Room Definition】（定义布局空间）、【Component Clearance】（元件间隔）、【Component Orientations】（元件方向）、【Permitted Layers】（允许的层）、【Nets To Ignore】（忽略的层）、【Height】（高度）六项内容，如图2-38所示。

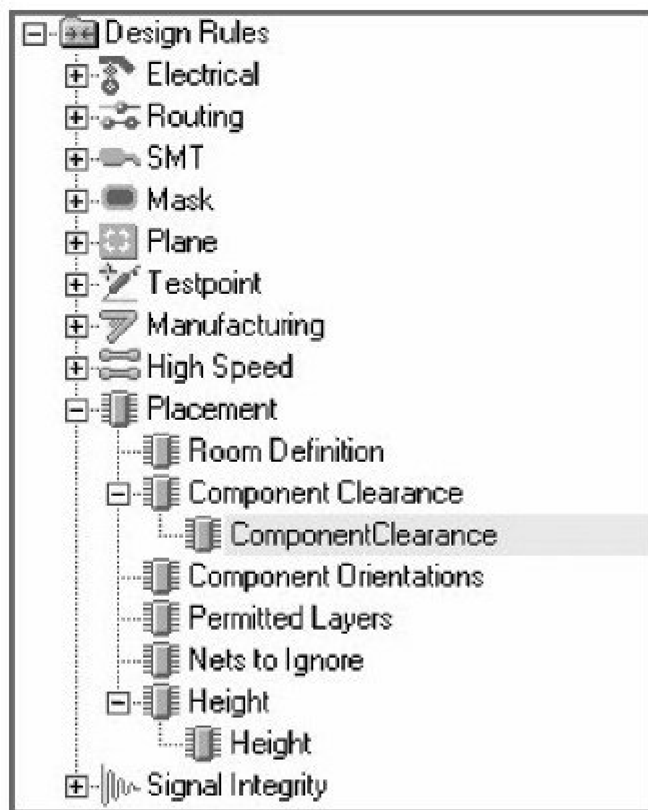


图 2-38 布置设置

（1）【Room Definition】

【Room Definition】设定元件布局空间。单击【Placement】【Room Definition】选项，打开布局空间设置对话框，如图2-39所示。

图 2-39 布局空间设置

（2）【Component Clearance】

【Component Clearance】设定元件间隔距离。单击【Placement】【Component Clearance】选项，打开元件间隔设置对话框，如图2-40所示。

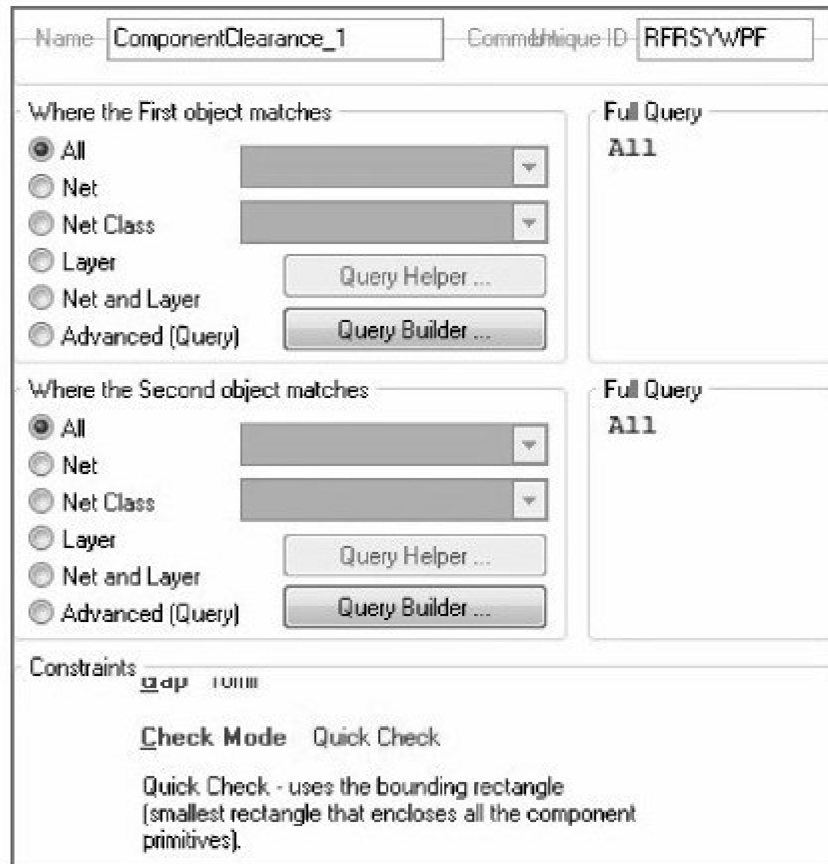


图 2-40 元件间隔设置

（3）【Component Orientations】

【Component Orientations】设定元件的方向。单击【Placement】【Component Orientations】选项，打开元件方向设置对话框，如图2-41所示。

图　2-41　元件方向设置

（4）【Permitted Layers】

【Permitted Layers】设定元件放置的板层。单击【Placement】【Permitted Layers】选项，打开允许的层设置对话框，如图2-42所示。

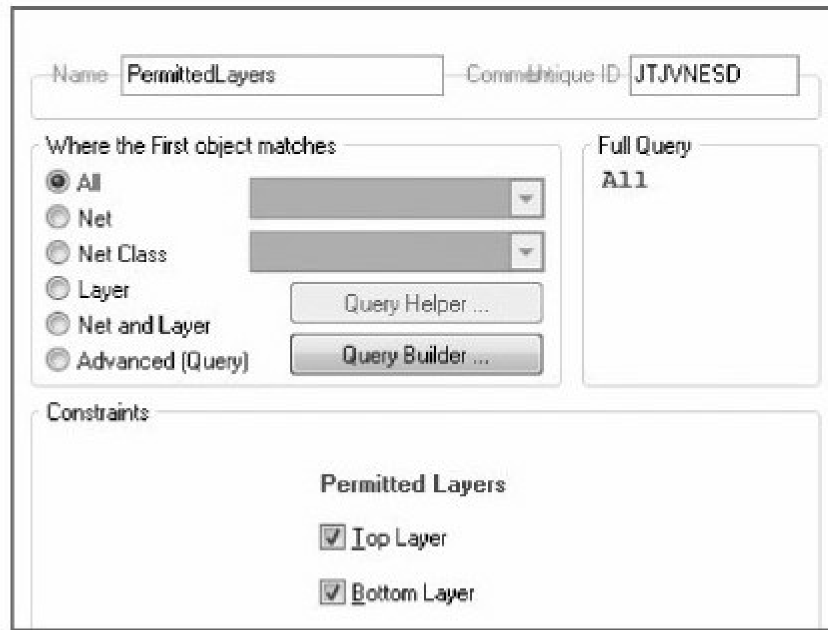


图 2-42 允许的层设置

（5）【Nets To Ignore】

【Nets To Ignore】设定可忽略的层。单击【Placement】【Nets To Ignore】选项，打开忽略的层设置对话框，如图2-43所示。

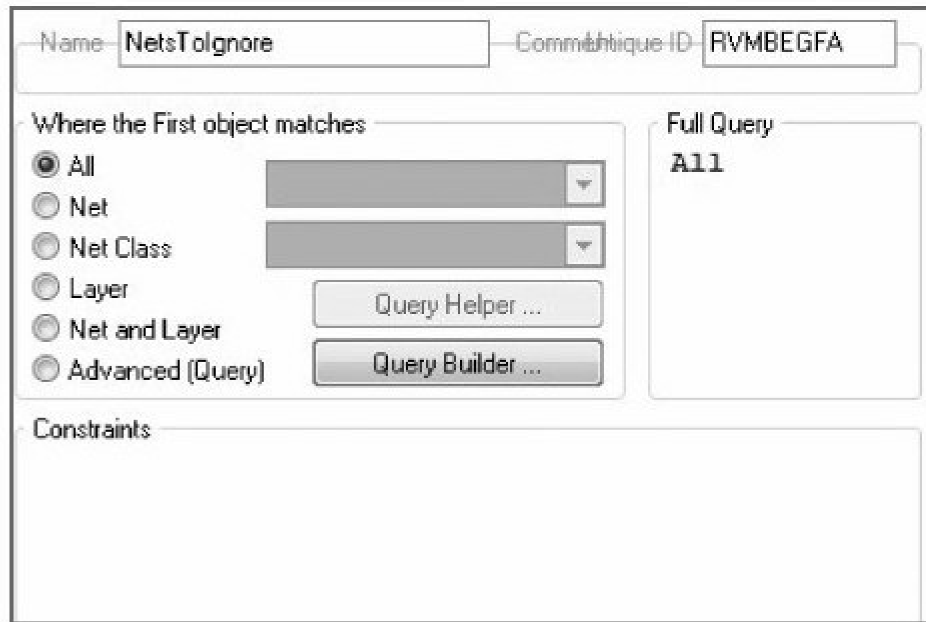


图　2-43　忽略的层设置

（6）【Height】

【Height】设定元件的高度。单击【Placement】【Height】选项，打开高度设置对话框，如图2-44所示。

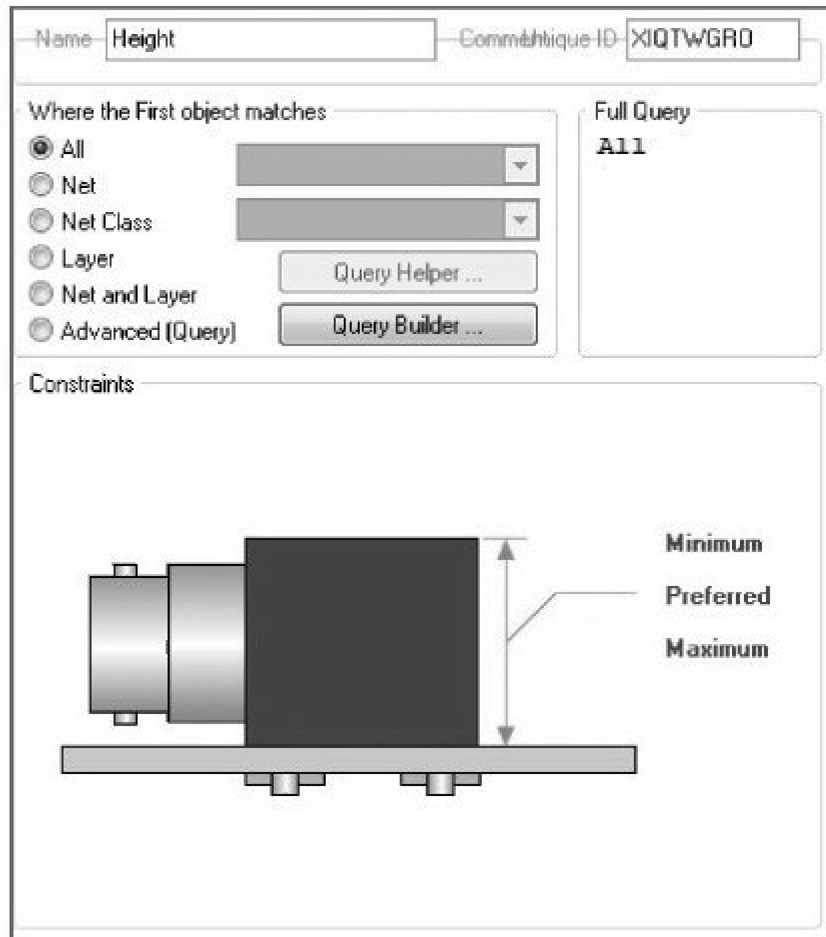


图 2-44 高度设置

10.信号完整性

【Signal Integrity】（信号完整性）规则设计包括【Signal Stimulus】（信号激励）、【Overshoot-Falling Edge】（过冲-下降沿）、【Overshoot-Rising Edge】（过冲-上升沿）、【Undershoot-Falling Edge】（反冲-下降沿）、【Undershoot-Rising Edge】（反冲-上升沿）、【Impedance】（阻抗）、【Signal Top Value】（信号峰值）、【Signal Base Value】（信号基值）、【Flight Time-Rising

Edge】（延迟时间-上升沿）、【Flight Time-Falling Edge】（延迟时间-下降沿）、【Slope-Rising Edge】（斜率-上升沿）、【Slope-Falling Edge】（斜率-下降沿）、【Supply Nets】（电源网络）13项内容，如图2-45所示。

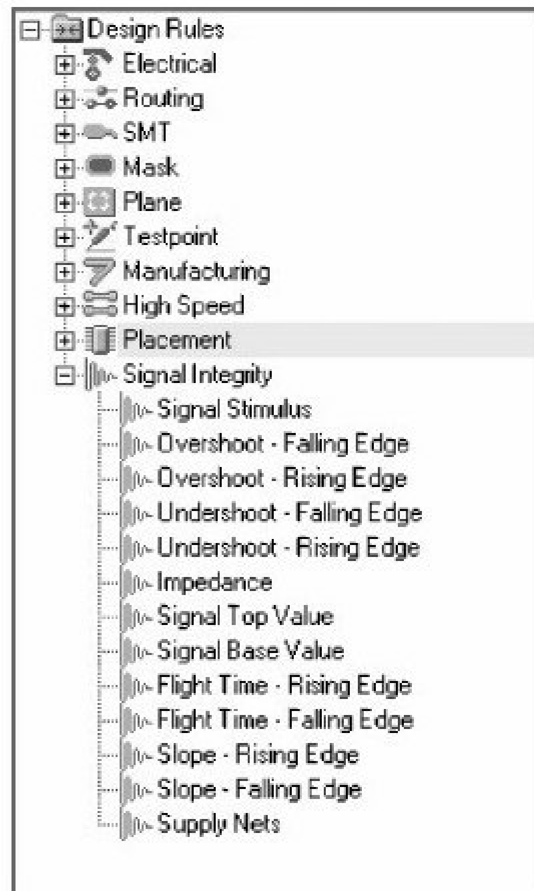


图　2-45　信号完整性设置

（1）【Signal Stimulus】

【Signal Stimulus】设定激励信号，供电路板信号完整性分析。单击【Signal Integrity】【Signal Stimulus】选项，打开信号激励设置对话

框，如图2-46所示。

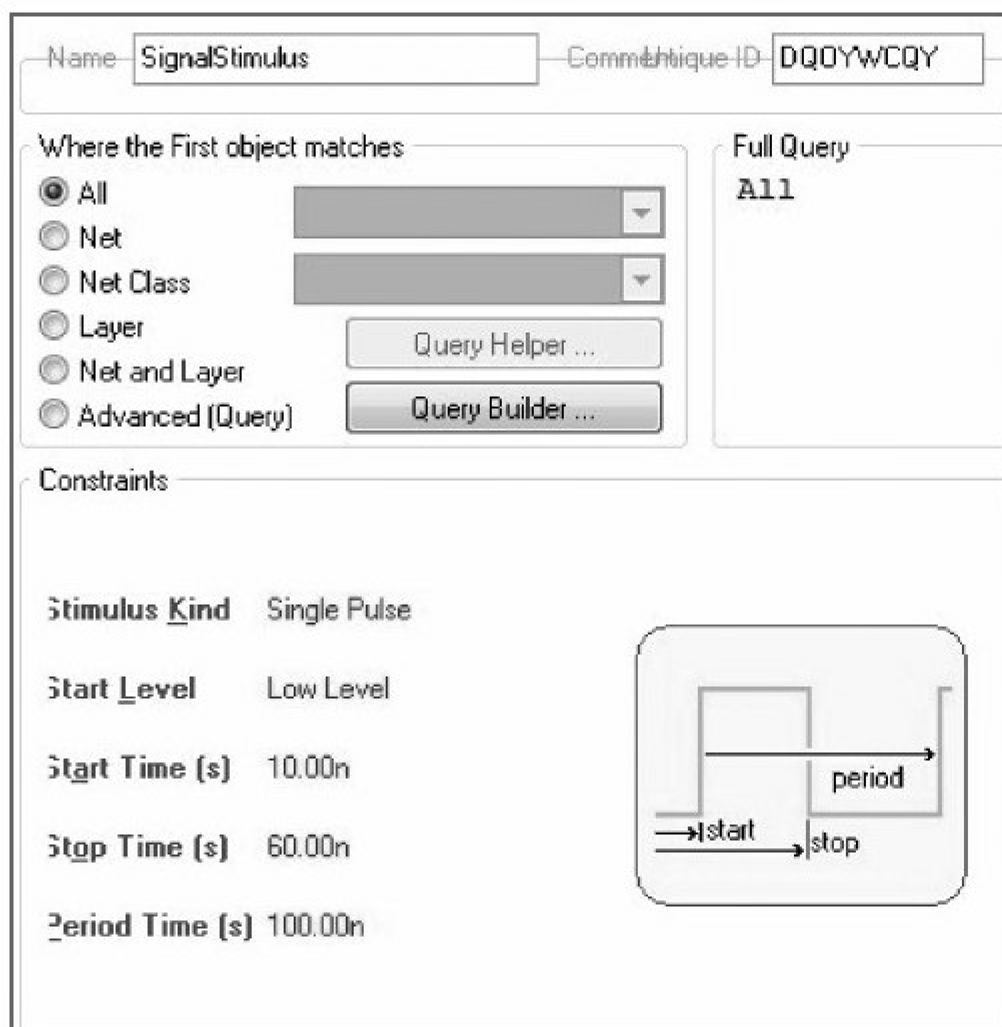


图 2-46 信号激励设置

（2）【Overshoot-Falling Edge】

【Overshoot-Falling Edge】设定下降沿边缘过冲电压的限制。单击【Signal Integrity】【Overshoot-Falling Edge】选项，打开过冲下降沿设置对话框，如图2-47所示。

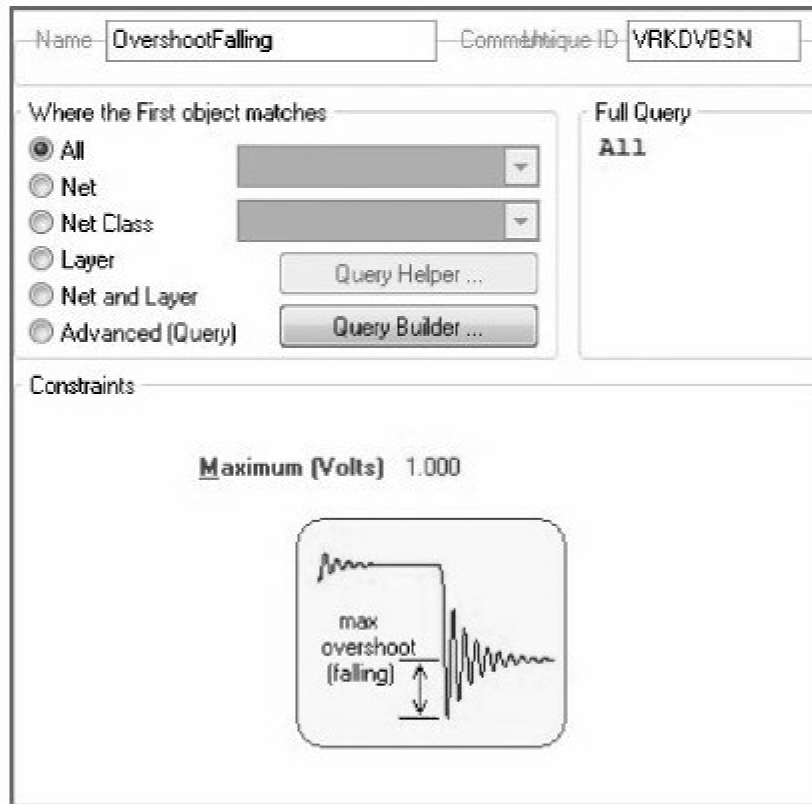


图　2-47　过冲下降沿设置

（3）【Overshoot-Rising Edge】

【Overshoot-Rising Edge】设定上升沿边缘过冲电压的限制。单击【Signal Integrity】【Overshoot-Rising Edge】选项，打开过冲上升沿设置对话框，如图2-48所示。

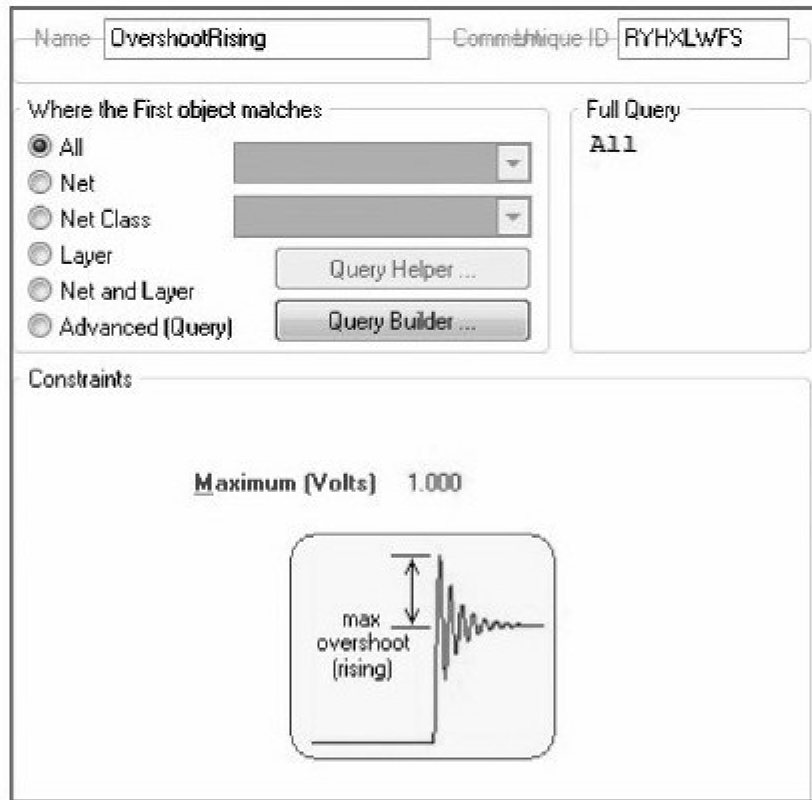


图 2-48 过冲上升沿设置

（4）【Undershoot-Falling Edge】

【Undershoot-Falling Edge】设定下降沿边缘回弹电压的限制。单击【Signal Integrity】【Undershoot-Falling Edge】选项，打开反冲下降沿设置对话框，如图2-49所示。

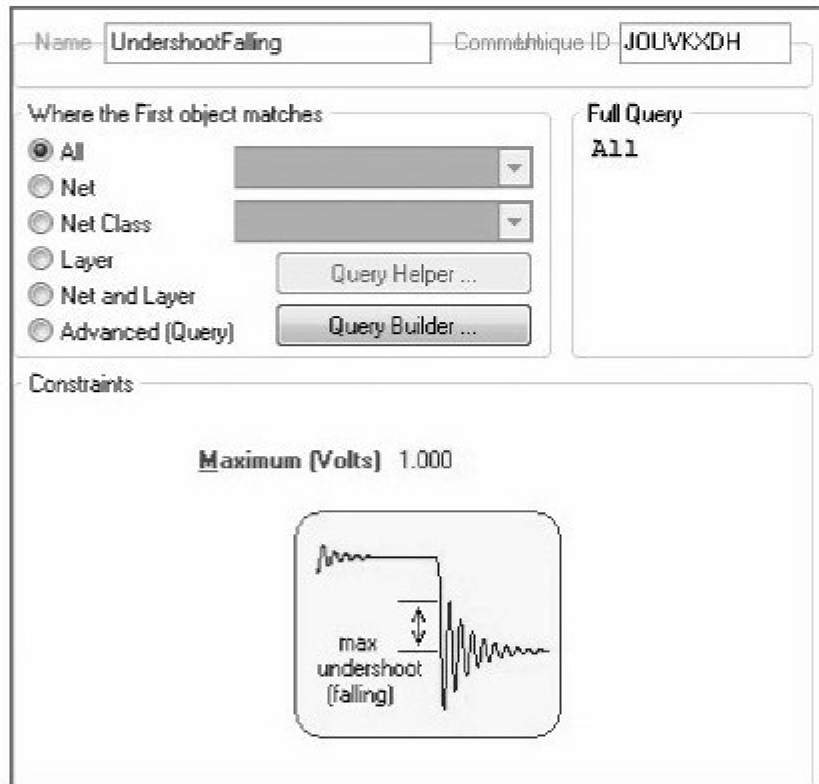


图　2-49　反冲下降沿设置

（5）【Undershoot-Rising Edge】

【Undershoot-Rising Edge】设定上升沿边缘回弹电压的限制。单击【Signal Integrity】【Undershoot-Rising Edge】选项，打开反冲上升沿设置对话框，如图2-50所示。

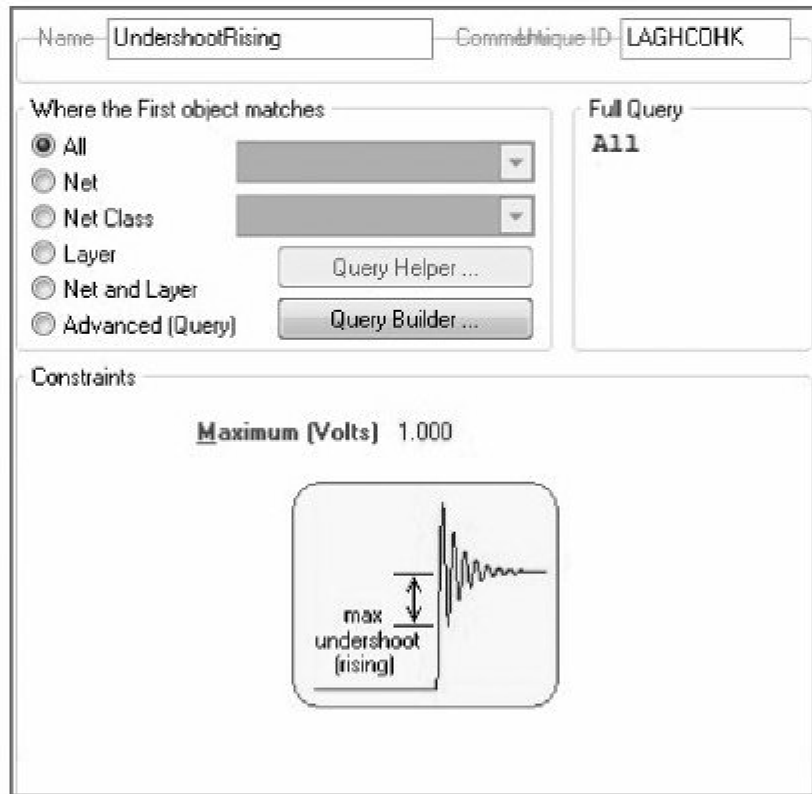


图 2-50 反冲上升沿设置

（6）【Impedance】

【Impedance】设定阻抗的限制。单击【Signal Integrity】【Impedance】选项，打开阻抗设置对话框，如图2-51所示。

图 2-51 阻抗设置

（7）【Signal Top Value】

【Signal Top Value】设定最低的高电平电压限制。单击【Signal Integrity】【Signal Top Value】选项，打开信号峰值设置对话框，如图2-52所示。

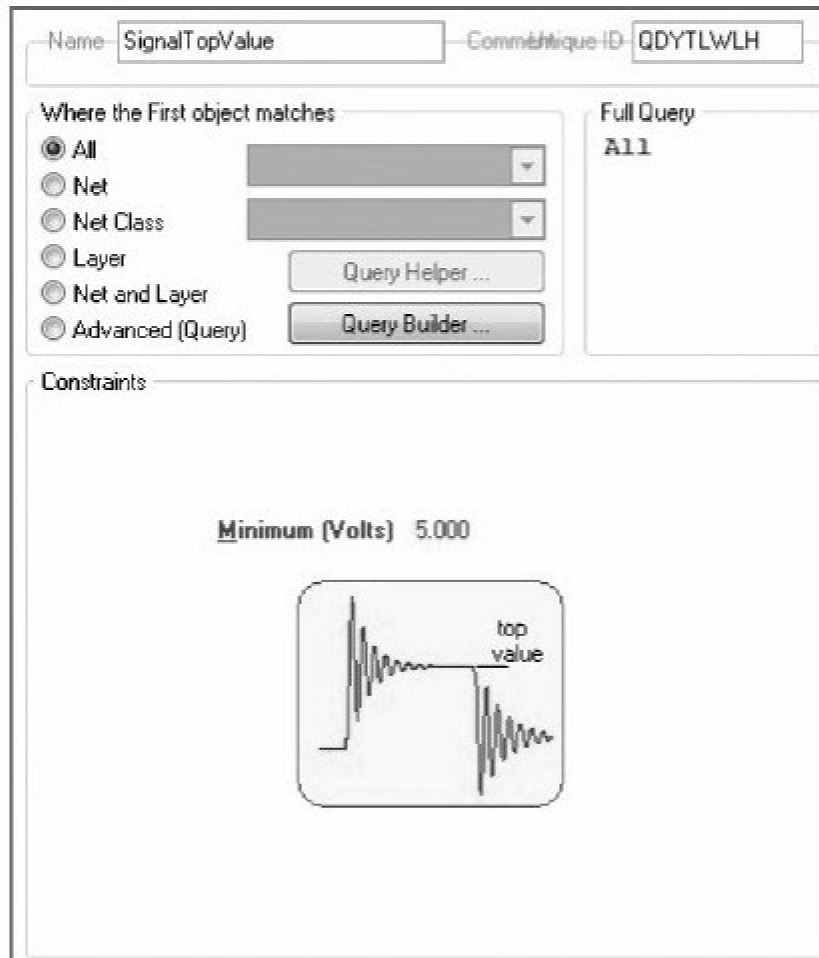


图 2-52 信号峰值设置

（8）【Signal Base Value】

【Signal Base Value】设定最高的低电平电压限制。单击【Signal Integrity】【Signal Base Value】选项，打开信号基值设置对话框，如图2-53所示。

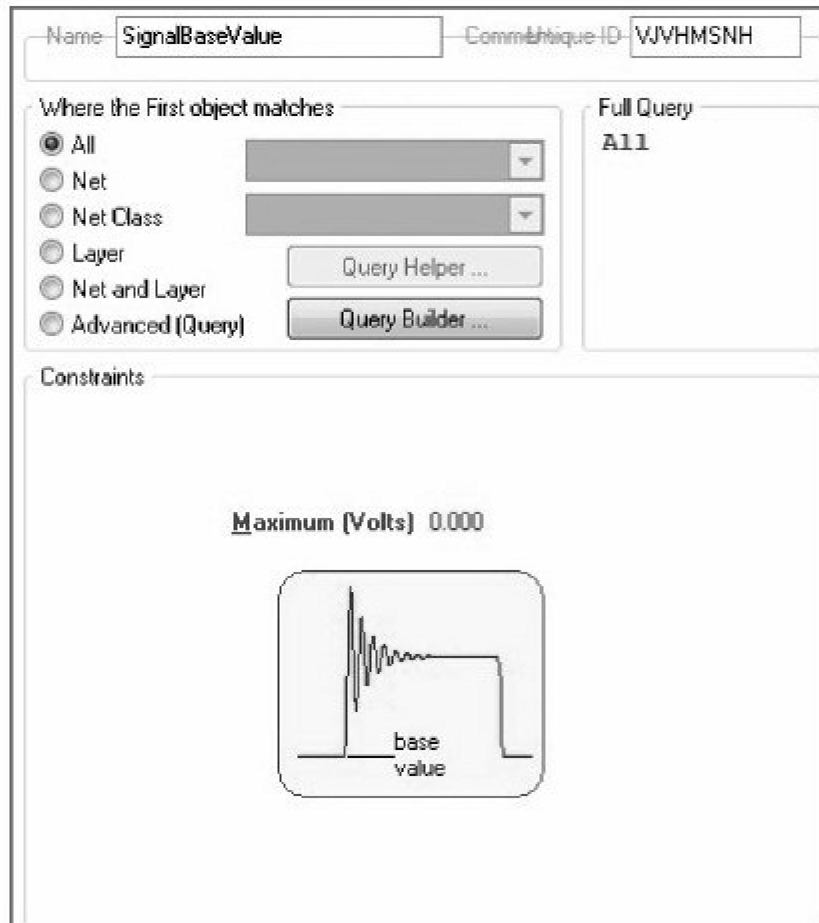


图 2-53 信号基值设置

（9）【Flight Time-Rising Edge】

【Flight Time-Rising Edge】设定上升沿边缘传输延迟时间的限制。单击【Signal Integrity】【Flight Time-Rising Edge】选项，打开延迟时间上升沿设置对话框，如图2-54所示。

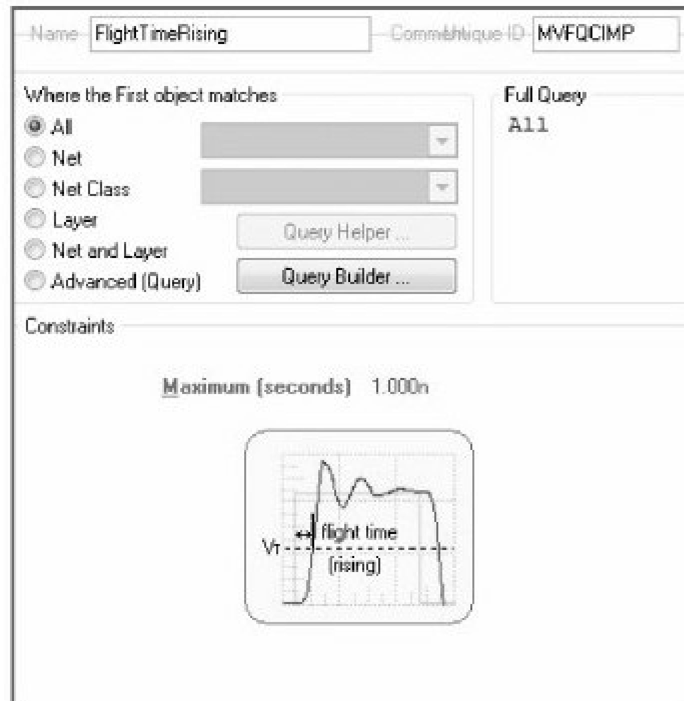


图　2-54　延迟时间上升沿设置

（10）【Flight Time-Falling Edge】

【Flight Time-Falling Edge】设定下降沿边缘传输延迟时间的限制。单击【Signal Integrity】【Flight Time-Falling Edge】选项，打开延迟时间下降沿设置对话框，如图2-55所示。

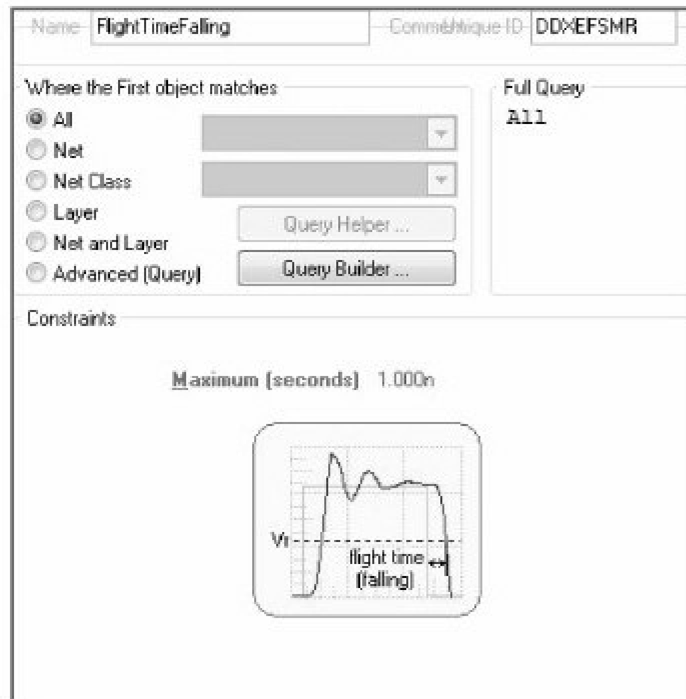


图 2-55 延迟时间下降沿设置

（11）【Slope-Rising Edge】

【Slope-Rising Edge】设定上升沿边缘反应时间的限制。单击【Signal Integrity】【Slope-Rising Edge】选项，打开斜率上升沿设置对话框，如图2-56所示。

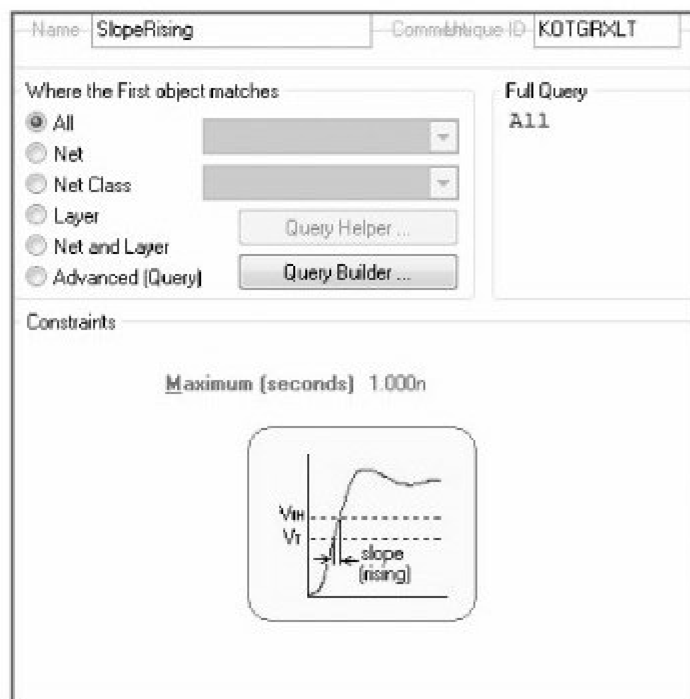


图 2-56 斜率上升沿设置

（12）【Slope-Falling Edge】

【Slope-Falling Edge】设定下降沿边缘反应时间的限制。单击【Signal Integrity】【Slope-Falling Edge】选项，打开斜率下降沿设置对话框，如图2-57所示。

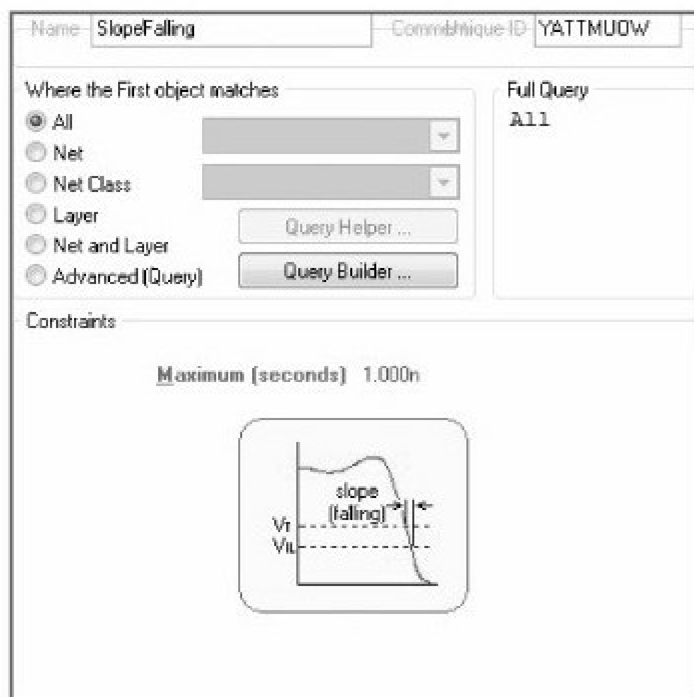


图 2-57 斜率下降沿设置

（13）【Supply Nets】

【Supply Nets】设定电源电压。单击【Signal Integrity】【Supply Nets】选项，打开电源网络设置对话框，如图2-58所示。

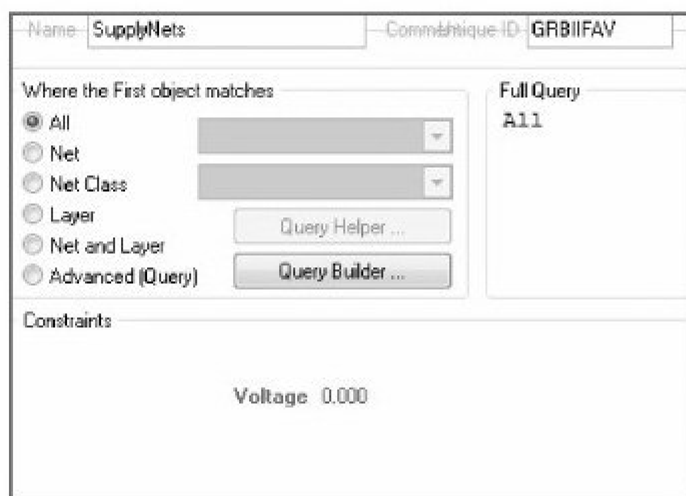


图　2-58　电源网络设置

2.1.3　布局

在电路板设计环境下，元件加载到电路板上，依次排列在电路板框旁边，如图2-59所示。

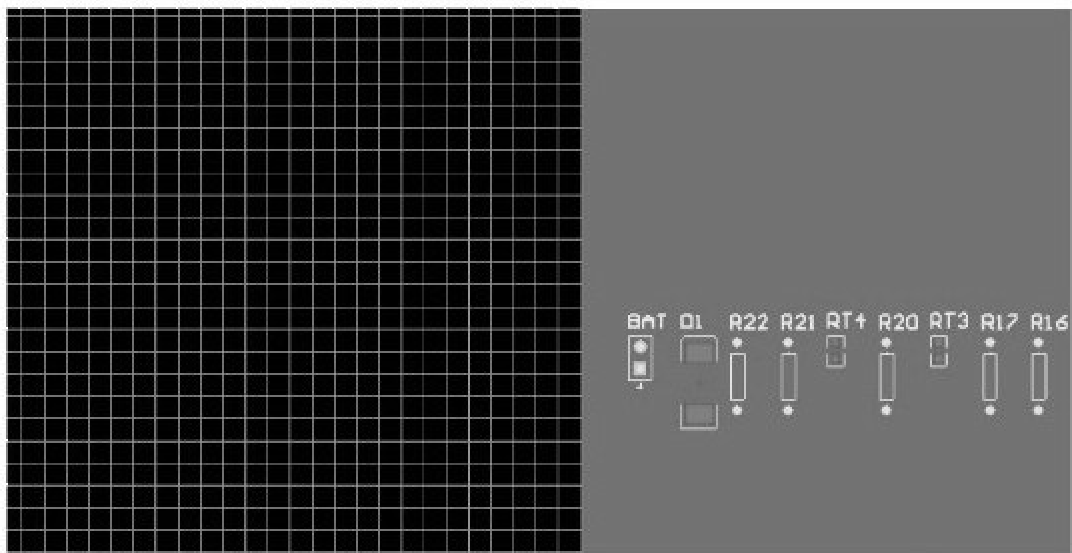


图　2-59　加载元件

布局有自动布局和手动布局两种。在自动布局下，启动菜单命令【Tools】【Component Placement】【Arrange Within Room】，程序将在布局空间内进行布局，如图2-60所示。

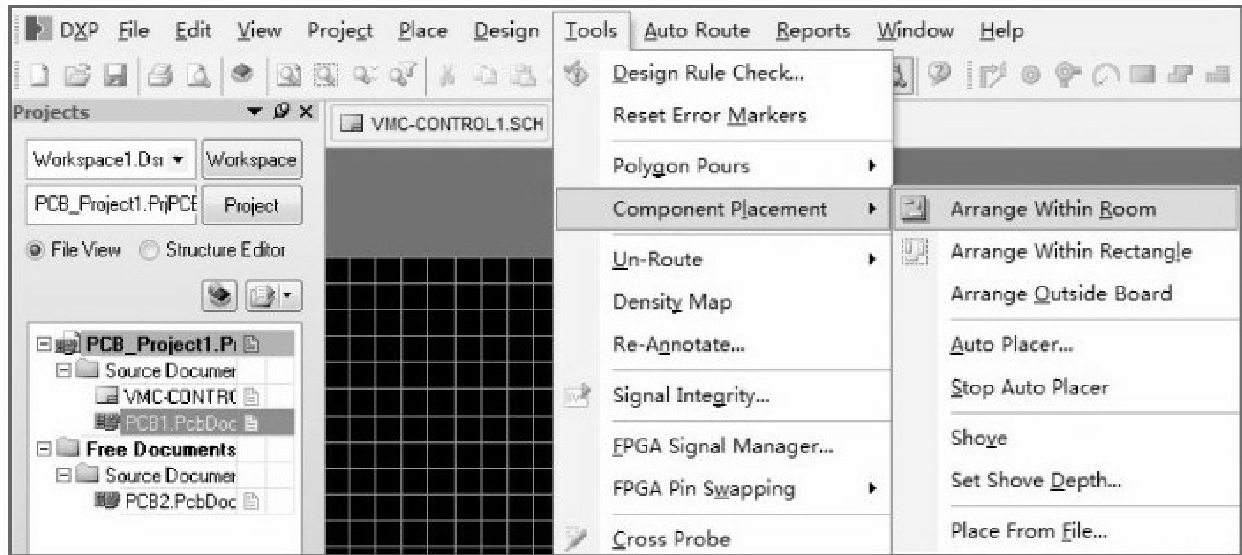

DXP File Edit View Project Place Design Tools Auto Route Reports Window Help
Projects
VMC-CONTROL1.SCH
Workspace1.Dsı
Workspace
PCB_Project1.PrjPCE
Project
File View
Structure Editor
PCB_Project1.P
Source Documer
VMC-CONTRC
PCB1.PcbDoc
Free Documents
Source Documer
PCB2.PcbDoc
Design Rule Check...
Reset Error Markers
Polygon Pours
Component Placement
Un-Route
Density Map
Re-Annotate...
Signal Integrity...
FPGA Signal Manager...
FPGA Pin Swapping
Cross Probe
Arrange Within Room
Arrange Within Rectangle
Arrange Outside Board
Auto Placer...
Stop Auto Placer
Shove
Set Shove Depth...
Place From File...

图　2-60　布局设置

2.1.4　布线

布线的方式有两种：手工布线和自动布线。PCB提供的布线功能十分强大，包括智能布线器、差分对布线器和总线走线的多重布线器。通常手工布线和自动布线配合使用，常用的步骤是手工—自动—手工。

在进行自动布线前，先进行布线规则的设置，执行菜单命令【Auto Route】（自动布线）【Setup】选项，打开自动布线设置对话框，如图2-61所示。

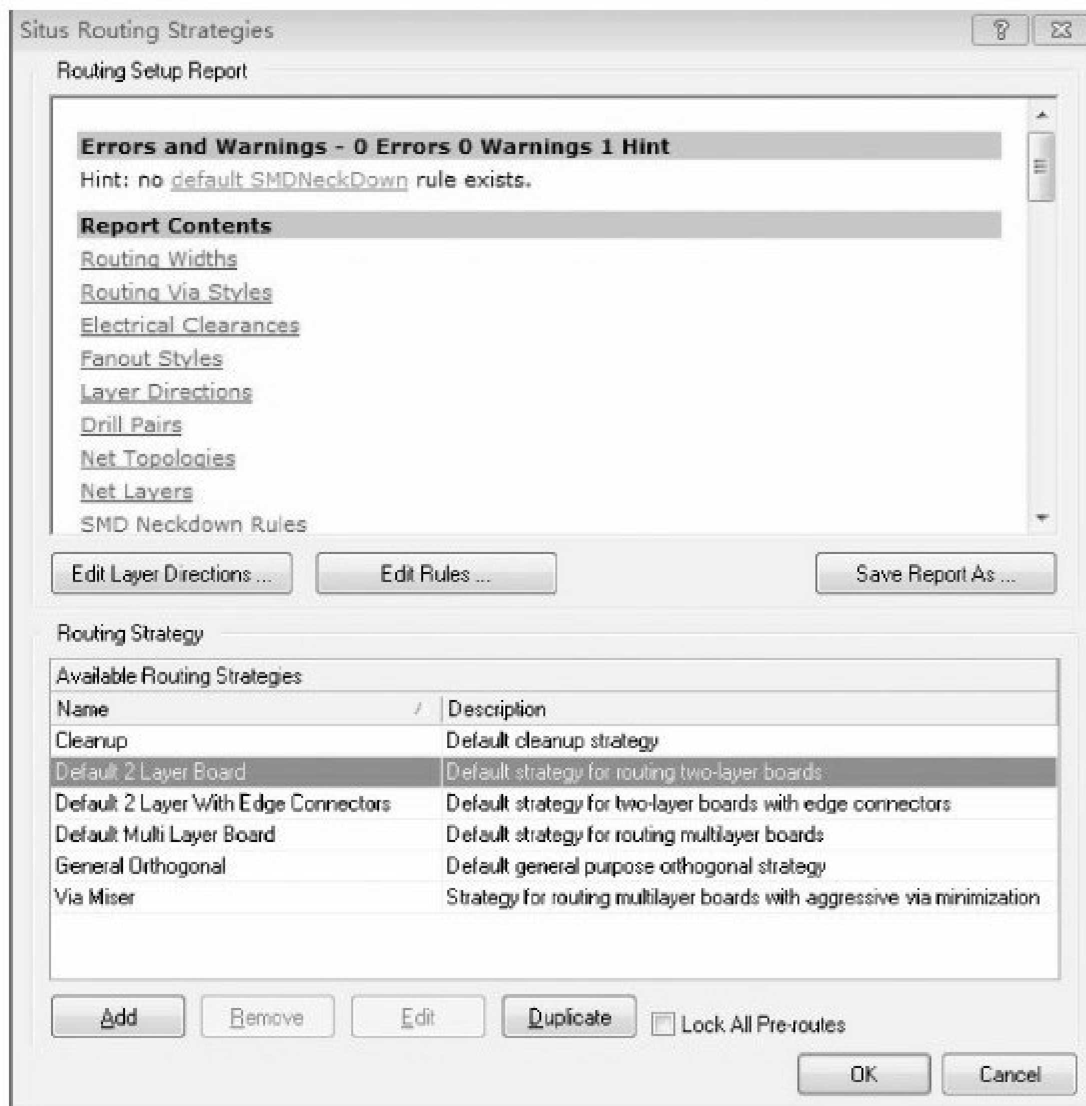


图　2-61　自动布线设置

布线设置包括两个区域，分别是【Routing Setup Report】（布线设置报告）和【Routing Strategy】（布线策略）。

1.【Routing Setup Report】

【Routing Setup Report】功能是展示及设计与自动布线有关的设计

规则。第一标题【Errors and Warnings】列出错误及警告的信息，若还没有进行布线，将不会出现此标题。第二标题【Report Contents】列出所有相关设计规则的内容。

2.【Routing Strategy】

【Routing Strategy】可进行布线策略的管理，其中【Available Routing Strategies】区域根据不同的布线需求，列出了六种程序提供的布线策略。

设置完毕后进行自动布线的应用，自动布线的命令在【Auto Route】菜单里，执行不同的命令便可以进行自动布线。如图2-62所示。

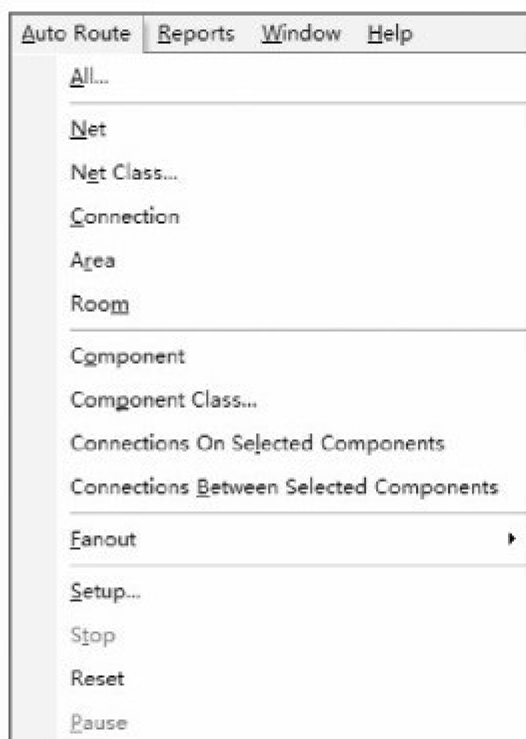


图 2-62 【Auto Route】菜单

2.1.5　检查

检查的项目有电气关系、布线、SMT、测试点、制造、高速规则和电源层（Plane）。如果设置了高速规则，必须检查，否则可以跳过这一项。若检查出错误，必须修改布局和布线。执行菜单命令【Tools】【Design Rule Check】，打开图2-63所示对话框。单击【Run Design Rule Check】按钮，执行规则的检查。

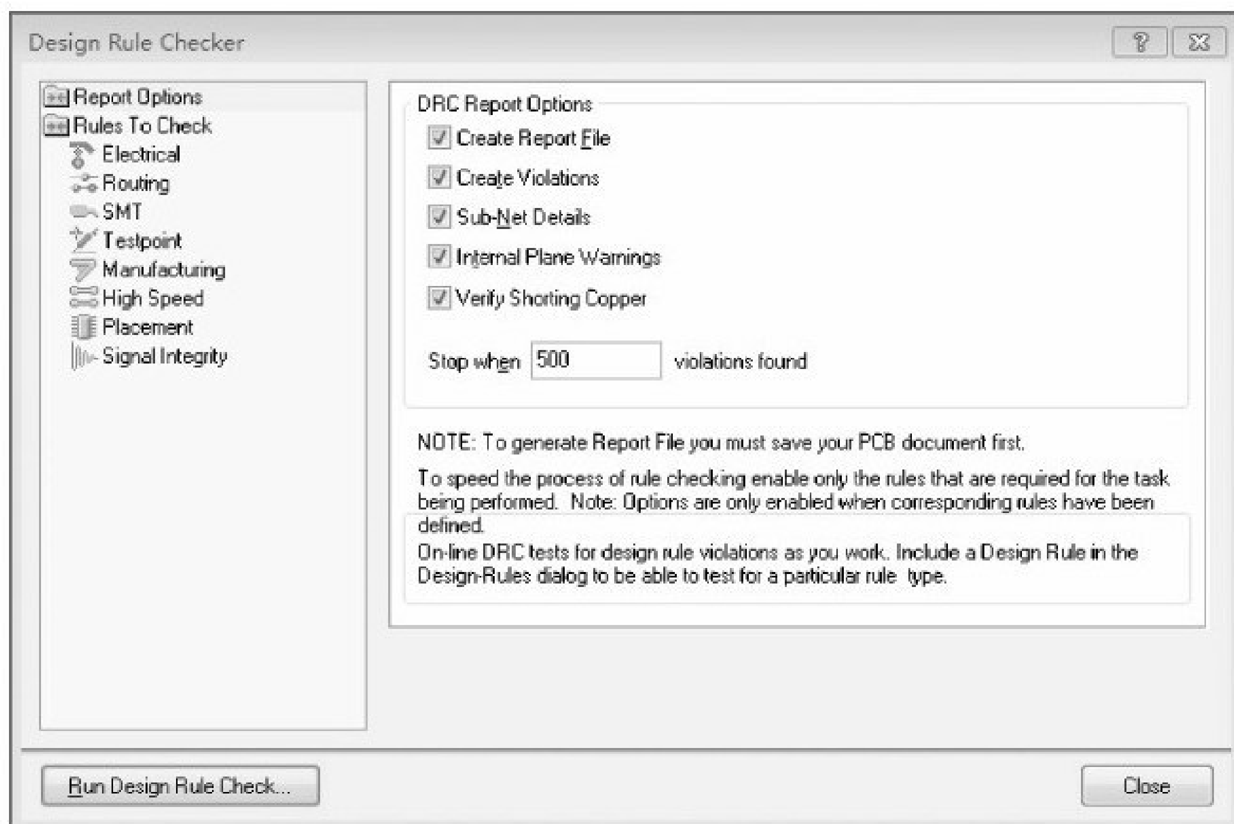


图　2-63　检查设置

2.1.6　报表输出

报表输出命令都在【Reports】命令下，如图2-64所示。

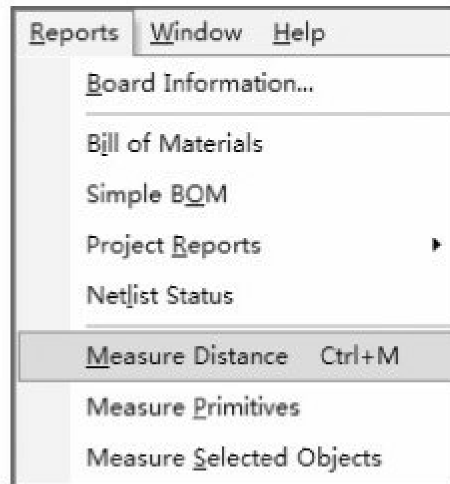


图　2-64　报表输出

2.2 PCB布局

首先，要考虑PCB的尺寸大小。PCB尺寸过大时，印制线条长，阻抗增加，抗噪声能力下降，成本也增加；PCB尺寸过小，则散热不好，且邻近线条易受干扰。在确定PCB尺寸后.再确定特殊元件的位置。最后，根据电路的功能单元，对电路的全部元器件进行布局。

2.2.1 特殊元件布局原则

特殊元件的布局主要遵循以下七个原则。

1.非安装孔和安装孔

定位孔、标准孔等非安装孔周围1.27mm内不得贴装元器件，螺钉。安装孔周围3.5mm（对于M2.5）、4mm（对于M3）内不得贴装元器件。

2.元件和过孔

卧装电阻、电感（插件）、电解电容等元件的下方避免布过孔，以免波峰焊后过孔与元件壳体短路。

3.元器件和电路板板框

元器件的外侧距板边的距离为5mm，贴装元件焊盘的外侧与相邻插装元件的外侧距离大于2mm。定位孔、紧固件安装孔、椭圆孔及板中其他方孔外侧距板边的尺寸大于3mm。

4.金属外壳元器件和发热器件

金属壳体元器件和金属件（屏蔽盒等）不能与其他元器件相碰，不能紧贴印制线、焊盘，其间距应大于2mm。发热元件不能紧邻导线和热敏元件；高热器件要均衡分布。

5.电源插座

电源插座要尽量布置在印制板的四周，电源插座与其相连的汇流条接线端应布置在同侧。特别应注意不要把电源插座及其他焊接连接器布置在连接器之间，以利于这些插座、连接器的焊接及电源线缆设计和扎线。电源插座及焊接连接器的布置间距应考虑方便电源插头的插拔。

6.IC元件

所有IC元件单边对齐，有极性元件极性标示明确，同一印制板上极性标示不得多于两个方向，出现两个方向时，两个方向要互相垂直。

7.走线

尽可能缩短高频元器件之间的连线，设法减少它们的分布参数和相

互间的电磁干扰。易受干扰的元器件不能相互靠得太近，输入和输出元件应尽量远离。

2.2.2 电路的功能单元布局原则

按照电路的功能模块来进行布局，主要遵循下列四个原则。

1.就近原则

按电路模块进行布局，实现同一功能的相关电路称为一个模块，电路模块中的元件应采用就近集中原则，同时数字电路和模拟电路应分开。

2.便于信号流通原则

按照电路的流程安排各个功能电路单元的位置，使布局便于信号流通，并使信号尽可能保持方向一致。

3.核心器件原则

以每个功能电路的核心器件为中心，围绕它来进行布局。元器件应均匀、整齐、紧凑地排列在PCB上。尽量减少和缩短各元器件之间的引线和连接。

4.平行排列原则

在高频下工作的电路，要考虑元器件之间的分布参数。一般电路应

尽可能使元器件平行排列。这样，不但美观，而且装焊容易，易于批量生产。

2.2.3　布局的检查

元器件布局完成后，对布局的效果要进行检查，主要考虑以下要求，见表2-1。

表 2-1　布局检查内容

序　号	内　　容
1	元器件布局是否疏密有序，排列整齐？是否全部布完？
2	元器件在二维、三维空间上有无冲突？
3	印制板尺寸是否与加工图纸尺寸相符？能否符合 PCB 制造工艺要求？有无定位标记？
4	热敏元器件与发热元器件之间是否有适当的距离？是否在需要散热的地方装了散热器？空气流通是否通畅？
5	需经常更换的元器件能否方便地更换？插件板插入设备是否方便？调整可调元器件是否方便？
6	信号流程是否顺畅且互连最短？
7	插头、插座等与机械设计是否矛盾？
8	线路的干扰问题是否有所考虑？

2.3 PCB走线

在整个PCB中，以布线的设计过程限定最严格，技巧最高，工作量最大。PCB布线有单面布线、双面布线及多层布线。布线的方式也有两种：自动布线及交互式布线，在自动布线之前，可以用交互式预先对要求比较严格的线进行布线，输入端与输出端的边线应避免相邻平行，以免产生反射干扰。必要时应加地线隔离，两相邻层的布线要互相垂直，因为平行容易产生寄生耦合。

自动布线的布通率依赖于良好的布局，布线规则可以预先设定，包括走线的弯曲次数、导通孔的数目、步进的数目等。一般先进行探索式布线，快速地把短线连通，然后进行迷宫式布线，先把要布的连线进行全局的布线路径优化，可以根据需要断开已布的线。并试着重新再布线，以改进总体效果。

对目前高密度的PCB设计贯通孔已不太适用了，它浪费了许多宝贵的布线通道，为解决这一问题，出现了盲孔和埋孔技术，它不仅完成了导通孔的作用，还省出许多布线通道使布线过程完成得更加方便，更加流畅，更为完善。PCB板的设计过程是一个复杂而又简单的过程，要想很好地掌握它，还需广大电子工程设计人员去自己体会，才能明白其中的真谛。

2.3.1 一般规则

在PCB设计中，布线是完成产品设计的重要步骤，可以说前面的准备工作都是为它而做的，布线的一般规则如下：

1.选用多层板

从减小辐射干扰的角度出发，应尽量选用多层板，内层分别作电源层、地线层，用以降低供电线路阻抗，抑制公共阻抗噪声，对信号线形成均匀的接地面，加大信号线和接地面间的分布电容，抑制其向空间辐射的能力。

2.走线要短而粗

电源线、地线、印制板走线对高频信号应保持低阻抗。在频率很高的情况下，电源线、地线或印制板走线都会成为接收与发射干扰的小天线。降低这种干扰的方法除了加滤波电容外，更值得重视的是减小电源线、地线及其他印制板走线本身的高频阻抗。因此，各种印制板走线要短而粗，线条要均匀。电源线、地线及印制导线在印制板上的排列要恰当，尽量做到短而直，以减小信号线与回线之间所形成的环路面积。

3.时钟走线

时钟发生器尽量靠近到用该时钟的器件，石英晶体振荡器外壳要接

地，石英晶体下面及对噪声敏感的器件下面不要走线；用地线将时钟区圈起来，时钟线要尽量短。时钟线垂直于I/O线比平行于I/O线干扰小，时钟元器件引脚需远离I/O电缆。

4.其他走线原则

其他走线原则，见表2-2。

表 2-2　其他走线原则

名　　称	要　　求
弱信号电路	低频电路周围不要形成电流环路。任何信号都不要形成环路，如不可避免，让环路区尽量小
走线角度	印制板尽量使用45°折线而不用90°折线布线以减小高频信号对外的发射与耦合
接地或电源方式	单面板和双面板用单点接电源和单点接地
驱动电路	信号的驱动电路尽量靠近印制板边的接插件，让信号尽快离开印制板
关键走线	关键的线要尽量粗，并在两边加上保护地线。高速线要短而直
元器件引脚	元器件引脚尽量短，去耦电容引脚尽量短，去耦电容最好使用无引线的贴片电容
统一地线	对 A/D 类器件，数字部分与模拟部分地线宁可统一也不要分割
模拟信号	模拟电压输入线、参考电压端要尽量远离数字电路信号线

2.3.2 电源、地线的处理

即使在整个PCB板中的布线完成得都很好，但由于电源、地线的考虑不周而引起的干扰，会使产品的性能下降，有时甚至影响到产品的成功率。所以对电源、地线的布线要认真对待，把电源、地线所产生的噪声干扰降到最低限度，以保证产品的质量。

1.去耦

在电源、地线之间加上去耦电容。经常可以见到电源线上并联一大（10～220μF）一小（0.1μF）两个电容或者并联两个一样大的大电容，这种电容用于直流电源去耦。大电容用于去除低频干扰，小电容用于去除高频干扰。

2.加宽导线

尽量加宽电源、地线宽度，最好是地线比电源线宽，它们的关系是：地线宽度＞电源线宽度＞信号线宽度，通常信号线宽为：0.2～0.3mm，最细宽度可达0.05～0.07mm，电源线为1.2～2.5mm，对数字电路的PCB可用宽的地导线组成一个回路，即构成一个地网来使用（模拟电路的地不能这样使用），如图2-65所示。

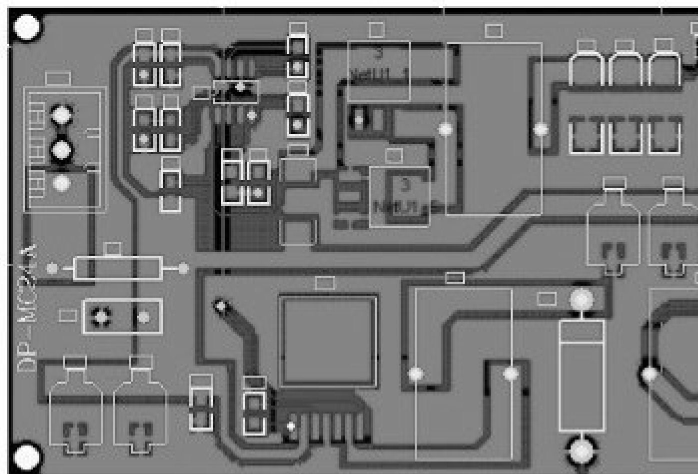


图 2-65 加宽导线

3.大面积地线

用大面积铜层作地线用，在印制板上把没被用上的地方都与地相连接作为地线用。或是做成多层板，电源和地线各占用一层，如图2-66所示。

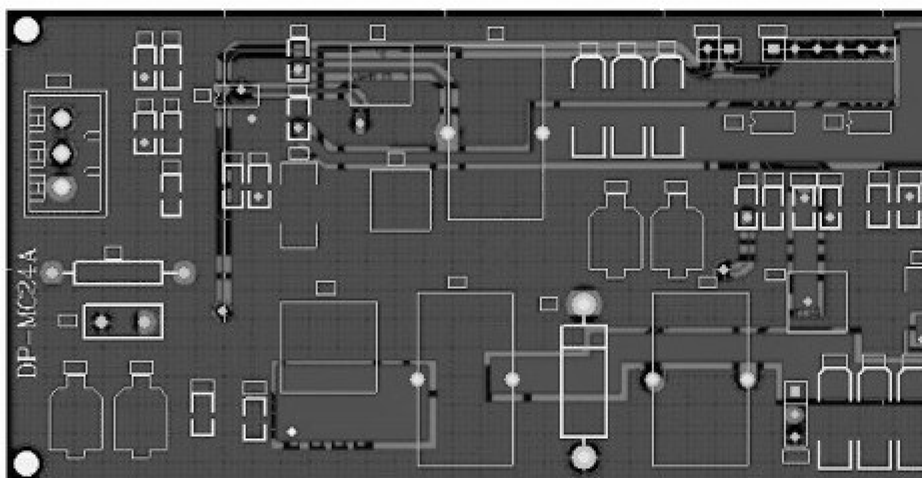


图 2-66 大面积覆铜

2.4 高速电路设计

通常认为如果数字逻辑电路的频率达到或者超过45～50MHz，而且工作在这个频率之上的电路已经占到了整个电子系统的一部分（比如说1/3），就称为高速电路。

实际上，信号边沿的谐波频率比信号本身的频率高，是信号快速变化的上升沿与下降沿（或称信号的跳变）引发了信号传输的非预期结果。因此，通常约定如果线传播延时大于1/2数字信号驱动端的上升时间，则认为此类信号是高速信号并产生传输线效应。

信号的传递发生在信号状态改变的瞬间，如上升或下降时间。信号从驱动端到接收端经过一段固定的时间，如果传输时间小于1/2的上升或下降时间，那么来自接收端的反射信号将在信号改变状态之前到达驱动端。反之，反射信号将在信号改变状态之后到达驱动端。如果反射信号很强，叠加的波形就有可能会改变逻辑状态。

2.4.1 高速信号的确定

一般地，信号上升时间的典型值可通过器件手册给出，而信号的传播时间在PCB设计中由实际布线长度决定。PCB板上每单位英寸的延时为0.167ns。但是，如果过孔多，器件管脚多，网线上设置的约束多，延

时将增大。通常高速逻辑器件的信号上升时间大约为0.2ns。如果板上有GaAs（砷化镓）芯片，则最大布线长度为7.62mm。

设T_r为信号上升时间，T_{pd}为信号线传播延时。如果$T_r \geq T_{pd}$，信号落在安全区域。如果$2T_{pd} \geq T_r \geq 4T_{pd}$，信号落在不确定区域。如果$T_r \leq 2T_{pd}$，信号落在问题区域。对于落在不确定区域及问题区域的信号，应该使用高速布线方法。

2.4.2　边沿速率问题

由于芯片工艺的飞速发展，信号的边沿速率也是越来越快，目前信号的上升沿都在1ns左右。这样就会导致系统和板级SI、EMC的问题更加突出。快速的信号切换时间（边沿速率）将导致回流、串扰、阻尼振荡（振铃）及反射等问题的增加。

信号的边沿速率与信号的工作频率是两个不同的概念，高的边沿速率不一定是高的频率。例如，在实际的应用中，可能系统的工作频率并不高。但如果信号的上升速率过快，将会产生较大振铃现象，同样会带来信号完整性的问题。当振铃信号达到器件所能容忍的极限值时会使器件内部的半导体特性发生变化（电子迁移）、会使器件发热及功耗加大等，造成系统的可靠性降低，并且较快的边沿速率其功耗也较大。

信号的边沿速率与器件的输出强度（输出驱动电流）有直接的关系，过强的输出驱动电流除了能够提高信号的边沿速率之外，还会对周围的器件及传输线造成干扰，主要表现在：

·边沿速率与信号路径传播时延之比决定了对模拟行为建模的复杂度。当边沿速度超过信号路径延时的4～6倍时，简单的集中参数模型不再适用。这就是说，当边沿速率小于4～6ns时，6 in（1 in=2.54cm）或更长的PC板铜线变成了传输线，即使在低时钟速率下，也容易产生大

量的信号质量问题。

·当兼有快速的边沿与快速的时钟速率（缩短的总线周期）时，即使边沿不产生其他问题，由于信号的稳定时间变短，也会引起附加的问题。

·较快的边沿速度通常反映了较大的输出电流，这会进一步增加接地反弹，尤其在宽总线上，较大的电流甚至会增加串扰。

2.4.3　传输线效应

PCB板上的走线可等效为串联和并联的电容、电阻和电感结构。串联电阻的典型值0.25～0.55Ω/foot，因为绝缘层的缘故，并联电阻阻值通常很高。将寄生电阻、电容和电感加到实际的PCB连线中之后，连线上的最终阻抗称为特征阻抗Z_o。线径越宽，距电源/地越近，或隔离层的介电常数越高，特征阻抗就越小。如果传输线和接收端的阻抗不匹配，那么输出的电流信号和信号最终的稳定状态将不同，这就引起信号在接收端产生反射，这个反射信号将传回信号发射端并再次反射回来。随着能量的减弱反射信号的幅度将减小，直到信号的电压和电流达到稳定。这种效应称为振荡，信号的振荡在信号的上升沿和下降沿经常可以看到。

传输线会对整个电路设计带来以下效应。

·反射信号（Reflected Signal）。

·延时和时序错误（Delay＆Timing Error）。

·多次跨越逻辑电平门限错误（False Switching）。

·过冲与下冲（Overshoot/Undershoot）。

·串扰（Induced Noise or Crosstalk）。

·电磁辐射（EMI Radiation）。

1.反射信号

如果一根走线没有被正确终结（终端匹配），那么来自于驱动端的信号脉冲在接收端被反射，从而引发不预期效应，使信号轮廓失真。当失真变形非常显著时可导致多种错误，引起设计失败。同时，失真变形的信号对噪声的敏感性增加了，也会引起设计失败。如果没有考虑上述情况，EMI将显著增加，这就不单单会影响自身设计结果，还会造成整个系统的失败，如图2-67所示。

反射信号产生的主要原因：过长的走线，未被匹配终结的传输线，过量电容或电感及阻抗失配。

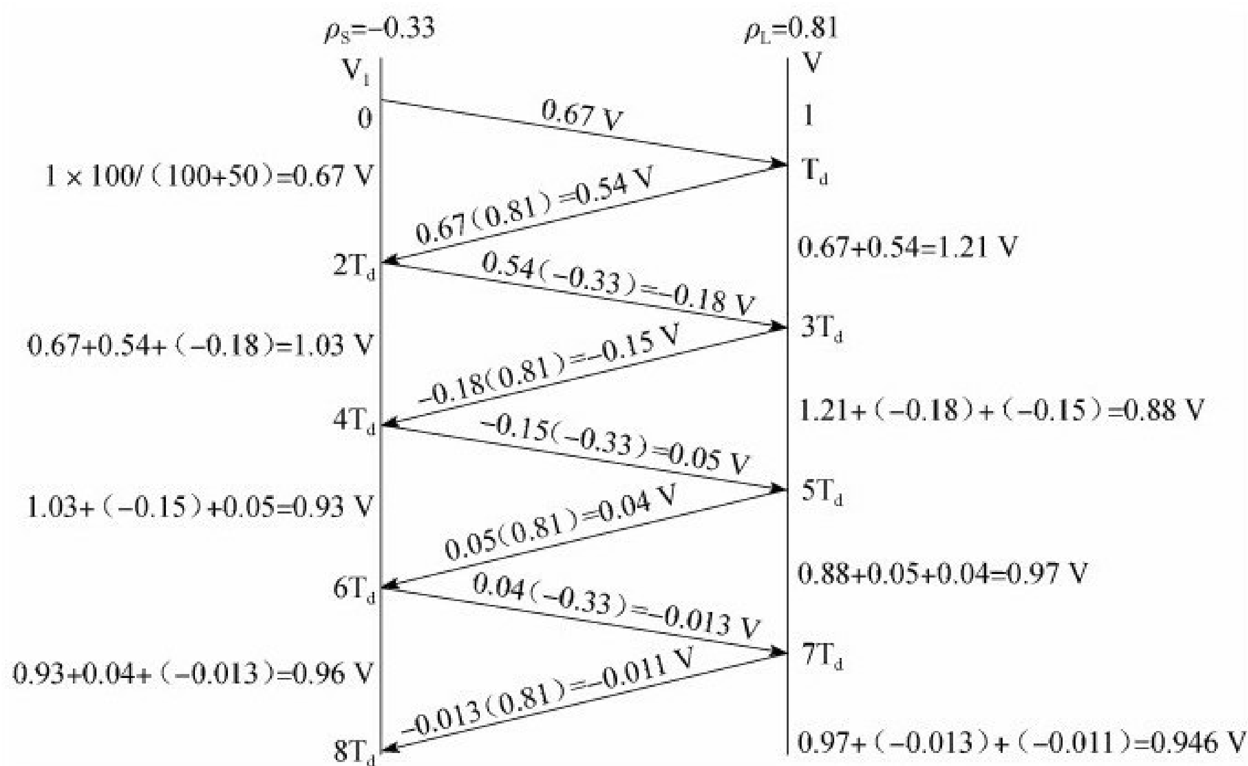


图　2-67　反射

2.延时和时序错误

信号延时和时序错误表现为：信号在逻辑电平的高与低门限之间变化时，保持一段时间信号不跳变。过多的信号延时，可能导致时序错误和器件功能的混乱。

通常在有多个接收端时会出现问题。电路设计师必须确定最坏情况下的时间延时，以确保设计的正确性。信号延时产生的原因：驱动过载，走线过长。

3.多次跨越逻辑电平门限错误

信号在跳变的过程中可能多次跨越逻辑电平门限从而导致这一类型的错误。多次跨越逻辑电平门限错误是信号振荡的一种特殊形式，即信号的振荡发生在逻辑电平门限附近，多次跨越逻辑电平门限会导致逻辑功能紊乱。反射信号产生的原因：过长的走线，未被终结的传输线，过量电容或电感及阻抗失配。

4.过冲与下冲

过冲与下冲来源于走线过长或者信号变化太快两方面的原因。虽然大多数元器件接收端有输入二极管保护，但有时这些过冲电平会远远超过元器件电源电压范围，损坏元器件，如图2-68所示。

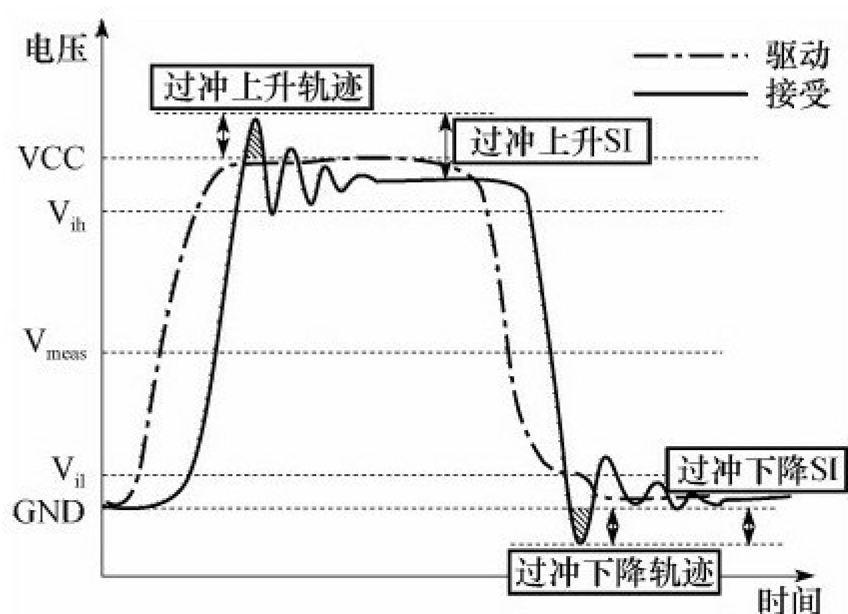


图 2-68 过冲

5.串扰

串扰表现为在一根信号线上有信号通过时，在PCB板与之相邻的信号线上就会感应出相关的信号，如图2-69所示。

信号线距离地线越近，线间距越大，产生的串扰信号越小。异步信号和时钟信号更容易产生串扰。因此解决串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。

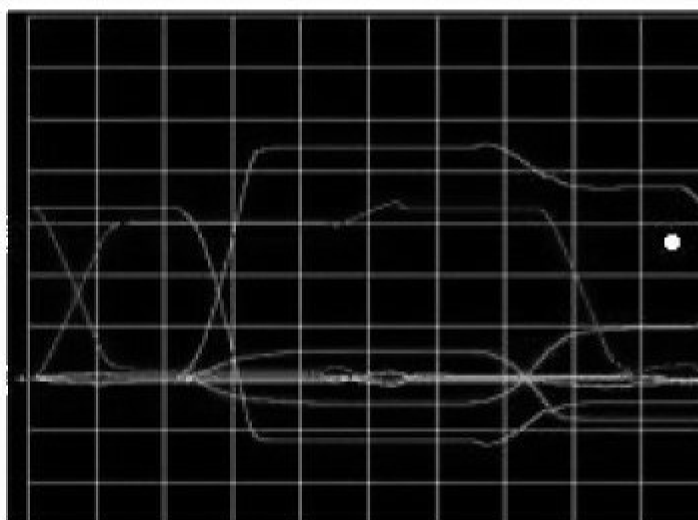


图 2-69 串扰

6.电磁辐射

EMI产生的问题，包含过量的电磁辐射及对电磁辐射的敏感性两方面。EMI表现为当数字系统加电运行时，会对周围环境辐射电磁波，从而干扰周围环境中电子设备的正常工作。它产生的主要原因是，电路工作频率太高及布局布线不合理。目前已有进行EMI仿真的软件工具，但EMI仿真器都很昂贵，仿真参数和边界条件设置又很困难，这将直接影

响仿真结果的准确性和实用性。最通常的做法是将控制EMI的各项设计规则应用在设计的每一环节，实现在设计各环节上的规则驱动和控制。

2.4.4 传输线效应解决方法

传输线效应的解决方法有如下四种。

1.严格控制关键网线的走线长度

如果设计中有高速跳变的边沿，就必须考虑到在PCB板上存在传输线效应的问题。现在普遍使用的具有很高时钟频率的快速集成电路芯片更是存在这样的问题。解决这个问题有一些基本原则：如果采用CMOS或TTL电路进行设计，工作频率小于10MHz，布线长度应不大于7 in（1 in=2.54cm）。工作频率在50MHz，布线长度应不大于1.5 in。如果工作频率达到或超过75MHz，布线长度应在1 in。对于GaAs芯片最大的布线长度应为0.3 in。如果超过这个标准，就存在传输线的问题。

2.合理规划走线的拓扑结构

解决传输线效应的另一个方法是选择正确的布线路径和终端拓扑结构。走线的拓扑结构是指一根网线的布线顺序及布线结构。当使用高速逻辑器件时，除非走线分支长度保持很短，否则边沿快速变化的信号将被信号主干走线上的分支走线所扭曲。通常情形下，PCB走线采用两种基本拓扑结构，即菊花链（Daisy Chain）布线和星形（Star）布线。

对于菊花链布线，布线从驱动端开始，依次到达各接收端，如图2-

70所示。如果使用串联电阻来改变信号特性，串联电阻的位置应该紧靠驱动端。在控制走线的高次谐波干扰方面，菊花链走线效果最好。但这种走线方式布通率最低，不容易100%布通。实际设计中，使菊花链布线中分支长度尽可能短，安全的长度值应该是：Stub Delay $\leq T_{rt} \times 0.1$。

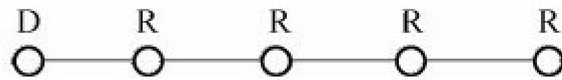


图　2-70　菊花链布线

例如，高速TTL电路中的分支端长度应小于1.5 in。这种拓扑结构占用的布线空间较小并可用单一电阻匹配终结。但是这种走线结构使得在不同的信号接收端信号的接收不同步。

星形拓扑结构可以有效避免时钟信号的不同步问题，但在密度很高的PCB板上手工完成布线十分困难，如图2-71所示。采用自动布线器是完成星形布线的最好的方法。每条分支上都需要终端电阻。终端电阻的阻值应和连线的特征阻抗相匹配。这可通过手工计算，也可通过CAD工具计算出特征阻抗值和终端匹配电阻值。

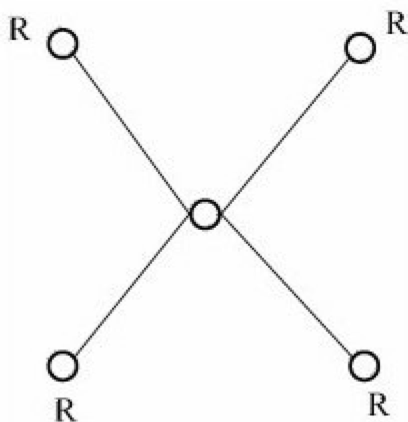


图 2-71 星形布线

在上面的两个例子中使用了简单的终端电阻，实际可选择更复杂的匹配终端。第一种是RC匹配终端。RC匹配终端可以减少功率消耗，但只能用于信号工作比较稳定的情况。这种方式最适合对时钟线信号进行匹配处理，但缺点是RC匹配终端中的电容可能影响信号的形状和传播速度。

第二种是串联电阻匹配终端，它不会产生额外的功率消耗，但会减慢信号的传输。这种方式用于时间延迟影响不大的总线驱动电路。串联电阻匹配终端的优势还在于可以减少板上器件的使用数量和连线密度。

最后一种是分离匹配终端，这种方式匹配元件需要放置在接收端附近。其优点是不会拉低信号，并且可以很好地避免噪声。

此外，对于终端匹配电阻的封装方式和安装方式也必须考虑。通常SMD表面贴装电阻比通孔元件具有较低的电感，所以SMD封装元件成

为首选。如果选择普通直插电阻也有两种安装方式可选：垂直方式和水平方式。

垂直安装方式中电阻的一条安装管脚很短，可以减少电阻和电路板间的热阻，使电阻的热量更加容易散发到空气中。但较长的垂直安装会增加电阻的电感。水平安装方式因安装较低有更低的电感。但过热的电阻会出现漂移，在最坏的情况下电阻成为开路，造成PCB走线终端匹配失效，成为潜在的失败因素。

3.抑制电磁干扰的方法

很好地解决信号完整性问题，将改善PCB板的电磁兼容性。其中保证PCB板有很好的接地是非常重要的。对复杂的设计采用一个信号层配一个地线层是十分有效的方法。此外，使电路板的最外层信号的密度最小也是减少电磁辐射的有效方法，这种方法可通过采用“表面积层”技术"Build-up"设计制作PCB来实现。表面积层通过在普通工艺PCB上，增加薄绝缘层和用于贯穿这些层的微孔的组合来实现，电阻和电容可埋在表层下，单位面积上的走线密度会增加近一倍，因而可降低PCB的体积。PCB面积的缩小对走线的拓扑结构有巨大的影响，这意味着缩小的电流回路，缩小的分支走线长度，而电磁辐射近似正比于电流回路的面积；同时小体积特征意味着高密度引脚封装器件可以被使用，这又使得连线长度下降，从而电流回路减小，提高了电磁兼容性能。总结如下：

·扩大线间距。

·尽可能少走平行线。

·减少线长。

·不走环形线。

4.其他采用的技术

为减小集成电路芯片电源上的电压瞬时过冲，应添加去耦电容。这可以有效去除电源上毛刺的影响，并减少在印制板上的电源环路的辐射。

当去耦电容直接连接在集成电路的电源管脚上，而不是连接在电源层上时，其平滑毛刺的效果最好。这就是为什么有一些器件插座上带有去耦电容，而有的器件要求去耦电容与器件的距离要足够小。

任何高速和高功耗的器件应尽量放置在一起，以减少电源电压瞬时过冲。如果没有电源层，那么长的电源连线会在信号和回路间形成环路，成为辐射源和易感应电路。

走线构成一个不穿过同一网线或其他走线的环路的情况称为开环。如果环路穿过同一网线或其他走线则构成闭环。两种情况都会形成天线效应（线天线和环形天线）。天线对外产生EMI辐射，同时自身也是敏

感电路。闭环是一个必须考虑的问题，因为它产生的辐射与闭环面积近似成正比。

第3章　电路设计

电路（电子线路）是由电气设备和元器件按一定方式连接起来，为电流流通提供了路径的总体，也称电子网路。电路的大小可以相差很大，小到硅片上的集成电路，大到输电网。根据所处理信号的不同，电路可以分为模拟电路和数字电路。电路设计是指通过一定规则和方法设计出的电路。

3.1 电源电路设计

各种电气设备中，电源电路是整个系统的能源供应者，电源性能的好坏直接关系到电气设备的工作质量。电源是重要的系统内部噪声源，同时也是外部噪声容易侵入的部件。系统内部噪声或系统外部噪声可以通过电源传导，干扰内部其他设备；一个系统产生的噪声也可以通过电源传导干扰外部其他系统。抑制传导干扰的方法主要是滤波。电源输入首先要进行抗电磁干扰滤波。电磁兼容滤波均设计为双向滤波，这样不仅可防止电网干扰进入系统内部，也可防止系统本身产生的干扰进入电网。对于多级电源，可以采用浮地将中间各级加以隔离，以提高抗耦合干扰能力。

3.1.1 设计方法

电源是电子系统必备的部分，负责给整个系统提供能源。电源电路设计的好坏直接关系到系统工作的稳定性与可靠性。因此，必须做好电源的设计，电源电路种类繁多，基本归于三类。

1.晶体管串联式直流稳压

晶体管串联式直流稳压电路框图如图3-1所示。该电路中，输出电压U_0经取样电路取样后得到取样电压，取样电压与基准电压进行比较得

到误差电压，该误差电压对调整管的工作状态进行调整，从而使输出电压发生变化，该变化与由于供电电压U_1发生变化引起的输出电压的变化正好相反，从而保证输出电压U_0为恒定值（稳压值）。

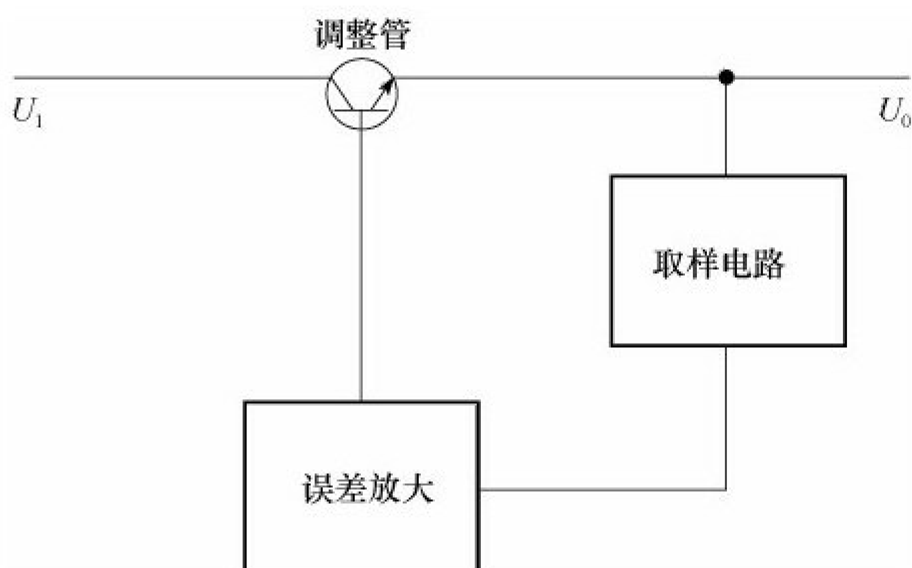


图　3-1　串联式直流稳压电源框图

串联式稳压电源，如图3-2所示。最大可以输出+40V的电压，图中二极管D_2的输出电压被设定成输出电压的一半左右，再用R_7、VR_1、R_8将输出电压分压，使该电压能与V_{Z2}的电压一致。这样才能决定定数。必须注意的是，如果R_7、R_8太大，会输出电压噪声上升与波动等问题；反之，会发热耗损电力。

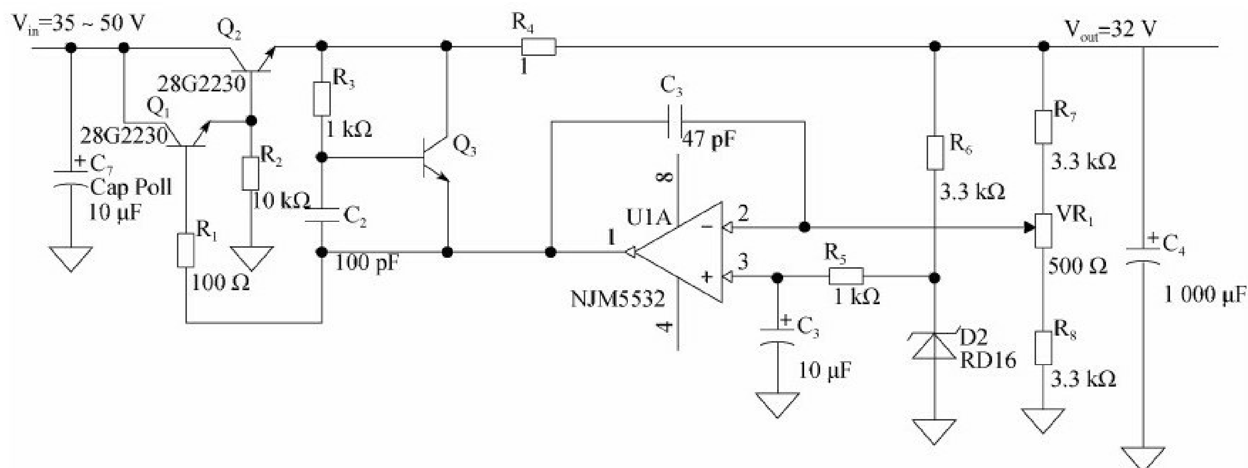


图　3-2　串联式稳压电源

2.集成稳压电源

集成稳压电源框图如图3-3所示。采用输出电压可调且内部有过载保护的三端集成稳压器，输入电压调整范围较宽，输出稳定，具有过流过压保护。该电路所用器件较少，成本低且组装方便、可靠性高。



图　3-3　集成稳压电源框图

集成稳压电源电路如图3-4所示。若使用与三端子调节器同级的T0-220封装控制IC，就能获得输入电压为+8～+24V，输出为+5V，电流为3.5 A的降压转换。这种转换的最大特征是结构简单且输出稳定，使用

组件的数量非常少，因此不需刻意变更印制电路板的格局，或是担心封装面积变大等，虽然价格稍为偏高，但调节器系列几乎网罗了所有的规格。

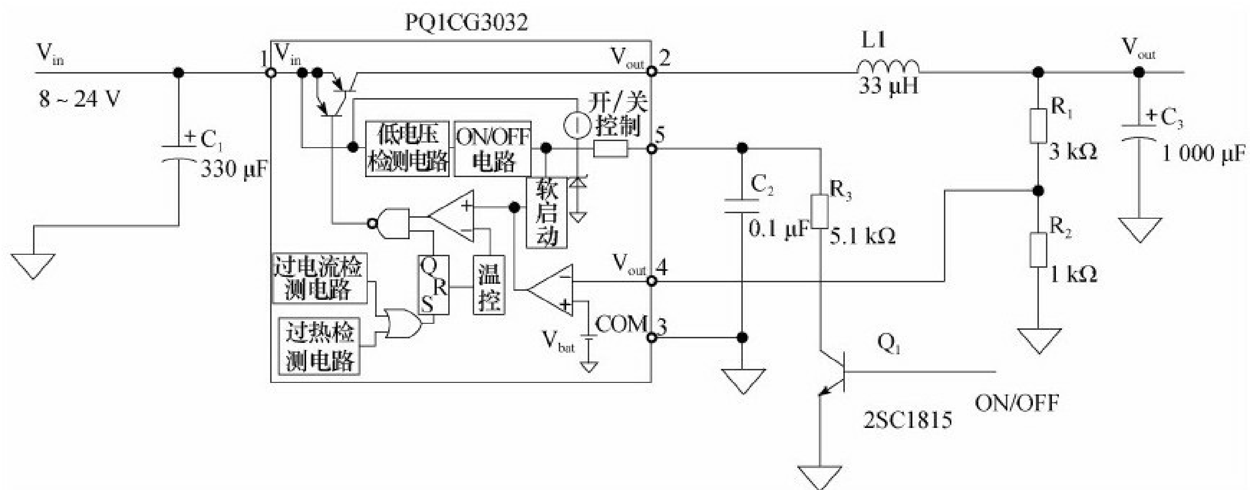


图 3-4 集成稳压电源电路

图3-4是由外置的二极管、电容、线圈，以及设定电压的电阻所构成的，只有电容比较特殊必需使用开关电源专用低阻抗（impedance）类型。PQ1CG系列的产品几乎涵盖了所有电压、电流规格，从2.5V低输出电压到5 A以下机型一应俱全而且都已经商品化。表3-1是T0-220封装非绝缘型降压转换IC的规格一览表，表中的PQ1CG3032FZ第五根管脚兼具软启动与ON/OFF功能，因此使用上非常方便。

表 3-1　TO-220 IC 规格

型　　号	输出电流/A	频率/kHz	Pin1	Pin2 V_{out}	Pin3 GND	Pin4 Adj	Pin5 ON/OFF
PQ1CG2032F	3.5	75	V_{in}	V_{out}	GND	Adj	ON/OFF
PQ1CG3032F	3.5	150	V_{in}	V_{out}	GND	Adj	ON/OFF
LM2575	1	52	V_{in}	V_{out}	GND	Feed back	ON/OFF
LM2575	3	52	V_{in}	V_{out}	GND	Feed back	ON/OFF
LM2596	3	150	V_{in}	V_{out}	GND	Feed back	ON/OFF
LT1074	5	100	Feed back	V_c	GND	ON/OFF	V_{in}
LT1076	2	100	Feed back	V_c	GND	ON/OFF	V_{in}

注：Adj：输出电压调整端子；feedback：输出归返（return）端子；V_c：位相补偿用端子；ON/OFF：standby 端子；V_{in}：输入端子；V_{out}：输出端子。

3.电源芯片控制的稳压电源

用专用稳压芯片制作的可调直流稳压电源电路采用稳压芯片控制调整管，来获得稳定、大电流的输出电源，如图3-5所示。其硬件电路主要包括变压器、整流滤波电路、压差控制电路、稳压及输出电压控制电路、电压电流采样电路、芯片等几部分。

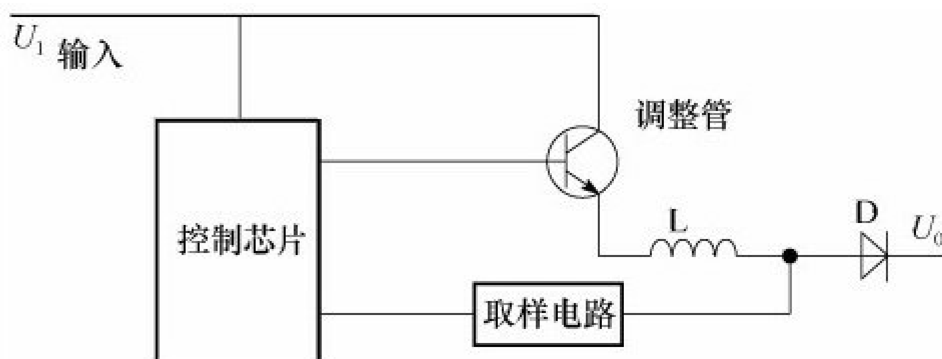
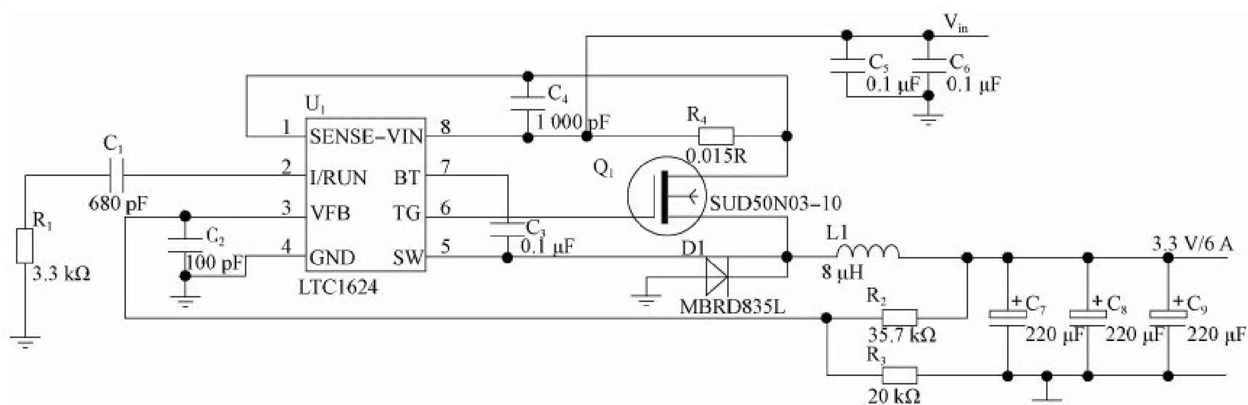


图　3-5　电源模块电源框图

如图3-6所示的稳压电源，电源芯片LTC1624输出PWM调制波，控制功率器件50N03-10的开通与关断，通过电感L1输出稳压电源。



V_in
C5
0.1 μF
C6
0.1 μF
U1
C4
1 000 pF
R4
0.015R
C1
680 pF
1
SENSE-VIN
8
2
I/RUN
BT
7
3
VFB
TG
6
4
GND
SW
5
LTC1624
Q1
SUD50N03-10
R1
3.3 kΩ
C2
100 pF
C3
0.1 μF
D1
MBRD835L
L1
8 μH
3.3 V/6 A
R2
35.7 kΩ
R3
20 kΩ
C7
220 μF
C8
220 μF
C9
220 μF

图　3-6　电源模块电源

3.1.2 设计原则

电源的电磁兼容涉及对供电线上的传导发射（主电源谐波、差模或共模瞬变、无线电发射机的窄带信号）的敏感度和传导到供电线上的发射。在设备内，电源广泛地同其他功能电路相连，一方面电源中产生的无用信号，可以很容易地耦合到各功能单元中去；另一方面，一个功能单元中的无用信号，可能通过电源（公共阻抗）耦合到其他单元中去。因此，从电磁兼容的观点出发首先要注意电源的设计，见表3-2。

表 3-2　电源电路设计原则

序　号	设　计　原　则
1	在可能的条件下，单独为各功能单元供电
2	使用公共电源的所有电路尽可能彼此靠近
3	使用公共电源的所有电路必须互相兼容
4	应在交直流干线上使用电源滤波器，以防外部干扰通过电源进入设备，防止开关瞬变和设备内部产生的其他信号进入初级电源
5	有效隔离电源的输入和输出线及滤波器的输入和输出线
6	对电源进行有效的电磁场屏蔽，特别是开关电源
7	开关电源会引起高频辐射和传导干扰，但它又有排斥电力线瞬变的优点（典型调压器则不能）
8	整流二极管应工作在最低的电流密度上（与最大额定电流成正比）
9	对所有电路功能状态，电源都应保持低输出阻抗，即使在射频范围，输出电容也应呈现低阻抗
10	保证稳压器有足够快的响应时间，以便抑制高频纹波和瞬变加载作用
11	为稳压二极管提供足够的射频旁路
12	合理屏蔽和小心地把高压电源同敏感电路隔离开
13	电源变压器应该是对称平衡的
14	对于变压器所用铁心材料应取其饱和磁感应强度 B_m 的下限值，无论什么情况下，都必须保证不使铁心驱动到饱和状态
15	变压器铁芯结构应优选 D 型或 C 型，E 型次之
16	用静电屏蔽的电源变压器抑制电源线上的共模干扰，多重屏蔽隔离变压器（超隔）则有更好的性能

3.2 模拟电路设计

模拟电路的设计是最不好掌握的，也是最关键的设计部分，尽管目前数字电路、大规模集成电路的发展非常迅猛，但是模拟电路的设计仍是不可避免的，有时也是数字电路无法取代的。大多数模拟设备的抗扰度问题是由射频解调引起的。运放的每个管脚都对射频干扰十分敏感，这与所使用的反馈线路无关。所有半导体对射频都有解调作用，但在模拟电路上的问题更严重。即使低速运放也能解调移动电话频率及其以上频率的信号。

为了防止解调，模拟电路处于干扰环境中时需保持线性和稳定，尤其是反馈回路，更需在宽频带范围内处于线性及稳定状态。这就常常需要对容性负载进行缓冲，同时用一个小串联电阻（约为50Ω）和一个大约5pF的积分反馈电容串联。获得一个稳定且线性的电路后，其所有连线可能还需滤波，同一产品中的数字电路部分总会把噪声感应到内部连线上，外部连线则承受外界的电磁环境的干扰。绝对不要试图采用有源电路来滤波和抑制射频带宽以达到电磁兼容要求，只能使用无源滤波器（最好是RC型）。

3.2.1 设计方法

设计模拟电路时存有许多无法描述的设计要素，会以导线形式、浮游容量等形态造成电路特性变动，为了确保电路的可靠性，因此必须将这些设计要素充分纳入电路设计、封装设计与电路板设计，如图3-7所示。

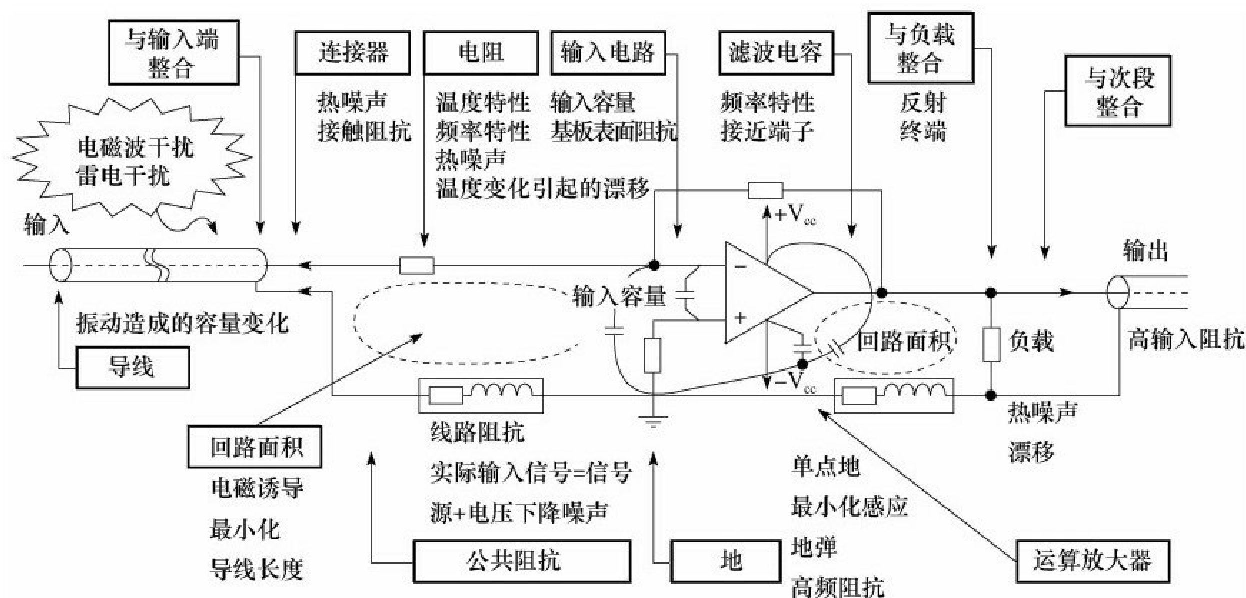


图 3-7 设计模拟电路时的主要项目

对模拟电路进行设计时，主要有以下几种方法。

1.单级放大电路

对于单级放大电路设计，其接地点一般选择为放大器输出端，而使信号源与地隔离。这样可使负载免受地电位差的影响，从而抑制了噪声干扰。此外，对于单级放大电路，应单点接地。而一般电子设备低电平级电路是易受干扰电路，多级电路应采用串联式单点接地，其接地点选

择在低电平级电路的输入端，以便电路受地电位差的干扰最小。

2.A/D、D/A器件

由于A/D、D/A器件易受干扰，所以须单独布置元器件。由于器件本身同时存在模拟电路和数字电路，故电源与地应做到模拟与数字相分离。而且这类器件电源与其他供电电路，应采用滤波器隔离技术以减少其他电路的干扰。同时可以选用光电耦合器提高器件抗干扰能力，减少传输损耗及干扰。这样，可以将转换器直接安装到传感器上，以减少线路干扰。

3.积分反馈电路

积分反馈电路通常需要一个小电阻（约560Ω）与每个大于10pF的积分电容串联。在反馈环外面不使用主动电路进行滤波或控制EMC的RF带宽，而只能使用被动元件（最好为RC电路）。仅仅在运放的开环增益比闭环增益大的频率下，积分反馈方法才有效。在更高的频率下，积分电路不能控制频率响应。

4.去耦

模拟IC的电源和地参考引脚，需要高质量的RF去耦，这一点与数字IC一样。但是模拟IC通常需要低频的电源去耦，因为模拟元件的电源噪声抑制比（PSRR）在高于1kHz后增加很少。在每个运放、比较器和

数据转换器的模拟电源走线上都应该使用RC或LC滤波。电源滤波器的拐角频率应该对器件的PSRR拐角频率和斜率进行补偿，从而在整个工作频率范围内获得所期望的PSRR。对于高速模拟信号，根据其连接长度和通信的最高频率，传输线技术是必需的。即使是低频信号，使用传输线技术也可以改善其抗干扰性，但是没有正确匹配的传输线将会产生天线效应。

5.差模方式

由于大部分的辐射是由共模电压和电流产生的，并且因为大部分环境的电磁干扰都是由共模问题产生的，因此在模拟电路中使用平衡的发送和接收（差分模式）技术将具有很好的EMC效果，而且可以减少串扰。平衡电路（差分电路）驱动不会使用0V参考系统作为返回电流回路，因此可以避免大的电流环路，从而减少RF辐射。

6.其他方法

模拟电路设计的其他方法，见表3-3。

表 3-3　模拟电路设计方法

序　　号	方　　法
1	为了获得一个稳定的线性电路，所有连接必须使用被动滤波器或其他抑制方法（如光电隔离）进行保护。使用 EMC 滤波器，并且与 IC 相关的滤波器都应该和本地的 0 V 参考平面连接
2	在外部电缆的连接处应该放置输入/输出滤波器，任何在没有屏蔽系统内部的导线连接处都需要滤波，因为存在天线效应。另外，在具有数字信号处理或开关模式的变换器的屏蔽系统内部的导线连接处也需要滤波
3	为了获得具有良好稳定性的反馈电路，通常要求在反馈环外面使用一个小电阻或扼流圈给容性负载提供一个缓冲
4	避免使用高阻抗的输入或输出，它们对于电场是非常敏感的
5	比较器必须具有滞后（正反馈）功能，以防止因为噪声和干扰而产生错误的输出变换，也可以防止在断路点产生振荡。不要使用比需要速度更快的比较器（将 dv/dt 保持在满足要求的范围内尽可能低）
6	有些模拟 IC 本身对射频场特别敏感，因此常常需要使用一个安装在 PCB 上并且与 PCB 的地平面相连接的小金属屏蔽盒，对这样的模拟元件进行屏蔽时要注意保证其散热条件

3.2.2　设计原则

模拟电路的设计一般遵从以下原则。

1.地并非0Ω

虽然一般的电路图的接地阻抗都标示0Ω，事实上电路板不可能没有阻抗，也就是说当电流流入电路时必然会产生压降，而该压降却是各种问题的根源。例如，双面电路板的源端与接收端以两点连接时，接地间的阻抗与大电流或是开关时所产生的过渡电流，会造成两点间发生电位差，如果该电压成为噪声电压与信号的重叠，就会导致误差甚至使组件损坏。

2.公共阻抗

为了杜绝接地间产生电位差，单点接地设计成为数字模拟混载电路常用的方法，如图3-8所示。不过这种设计能够处理的频率有一定的限度，即使采用粗短导线的方式，但是当频率超过数兆赫兹时，就有可能进入发生问题的范围，因此如何确实掌控接地线的电流与阻抗造成的压降关系，成为设计上非常重要的课题。图3-9所示是典型的电路接地对策实例，虽然该对策具有充分的公共阻抗概念，不过还是存有许多困难点。由于好的接触地可大幅减少烦琐的设计，因此高频电路几乎都是采

用多层电路板的。

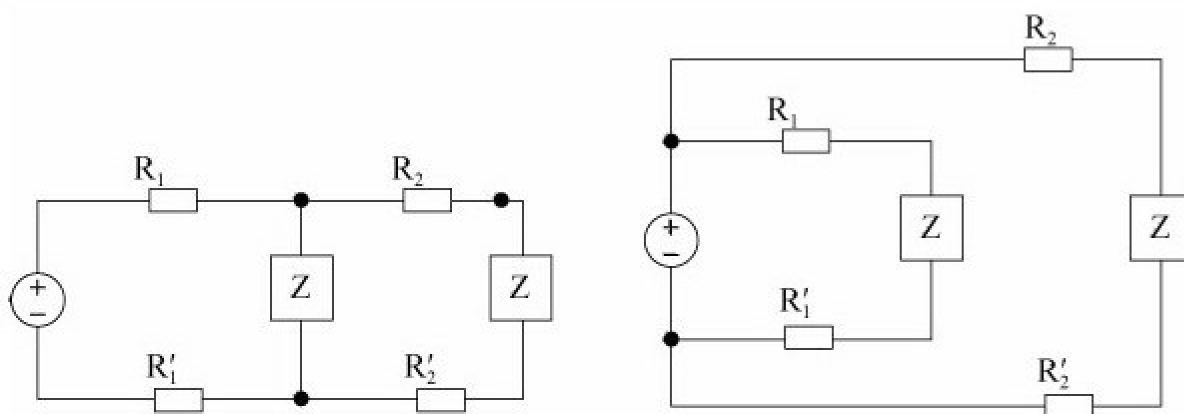


图 3-8 单点接地电路

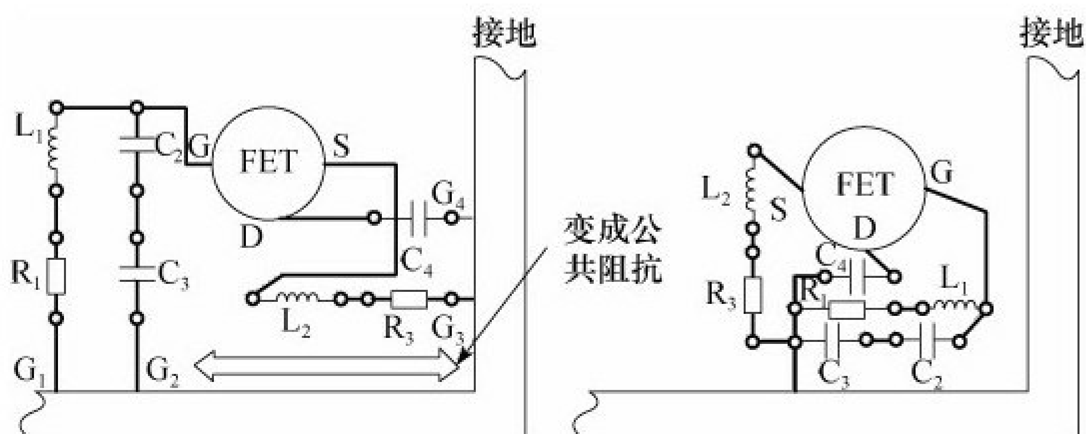


图 3-9 典型的电路接地对策实例

设计模拟数字混载电路时，必须注意的是数字电路开关时会产生过渡电流，为了防止过渡电流会流入该模拟电路的接地端，因此模拟电路与数字电路的接地端，通常会在入口处作单点接地设计，如果这样的防护设计还对模拟与数字电路造成影响，就必须在模拟电路的接地端插入高频用磁珠，主要原因是提高模拟电路的阻抗（从数字电路观之）具有很好的效果。如果高速数字电路各信号发生延迟现象，就需同时对镀锡

进行同步化，利用极大过渡电流的流动获得如图3-10所示的de-coupling（滤波）电容效应，但是前提是必须谨慎选用合适的容量值，否则就无法获得预期的效果。此外驱动模拟数字混载电路的电源若是单电源设计时，必须将模拟与数字电源作电气绝缘。图3-11是典型的模拟与数字电路电源部分作电气绝缘的电路设计。

图3-10为最基本的电容使用方法，此处用作“滤波电容”（de-coupling capacitance）。顾名思义，滤波电容就是滤除电源中的高频杂波（又称高频噪声）。对于常用的一些开关电源（也就是一边是220V输入，另一边是12V、5V等输出的那种方块的电源），在其输出的直流部分都是经过了一定的平波后才输出的，但是其中仍然有一些比较小的杂波存在其中。这些杂波会对一些电源质量要求较高的芯片产生一定的影响（如CPU的datasheet可以看到V_{in}电源电压输入脚有一定的电压范围，一般都是V_{in}+/-5%），所以要把这些杂波滤除掉。最有效的方法就是在芯片的V_{in}脚加个小电容，这个电容就是所谓的滤波电容。这个电容大小一般为104（$10\times10^4=10^5$pF=0.1μF）。

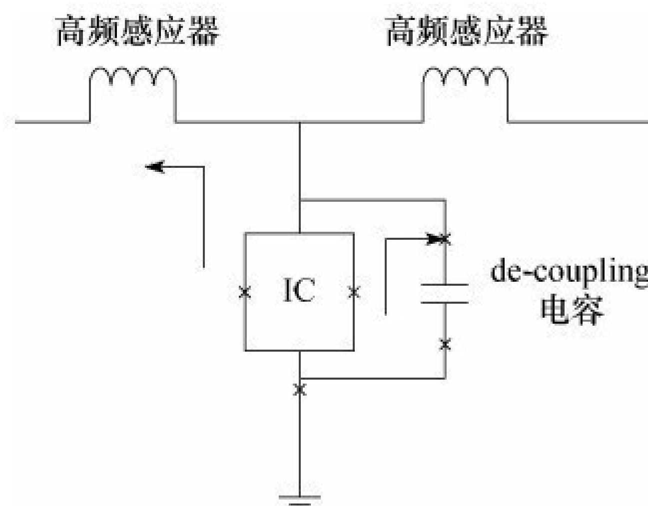


图　3-10　de-coupling电容效应

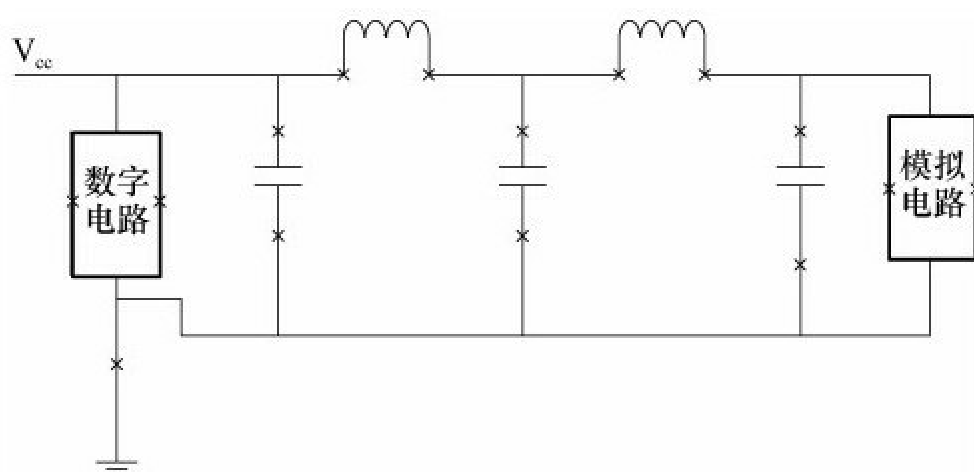


图　3-11　典型的模拟与数字电路单电源滤波

3.高输入阻抗电路

直流增幅是近似直流的低频微小电流，电压增幅时，如果使用FET（场效应管）等高输入运算放大器，必须注意以下几种漏电现象：

（1）电流增幅时必须注意输入偏压电流

如图3-12所示信号电流$i=0.1\times10^{-6}$作电压转换获得1V输出电压，由于误差为1%，因此输入偏压电流必须小于0.1×10^{-8}。

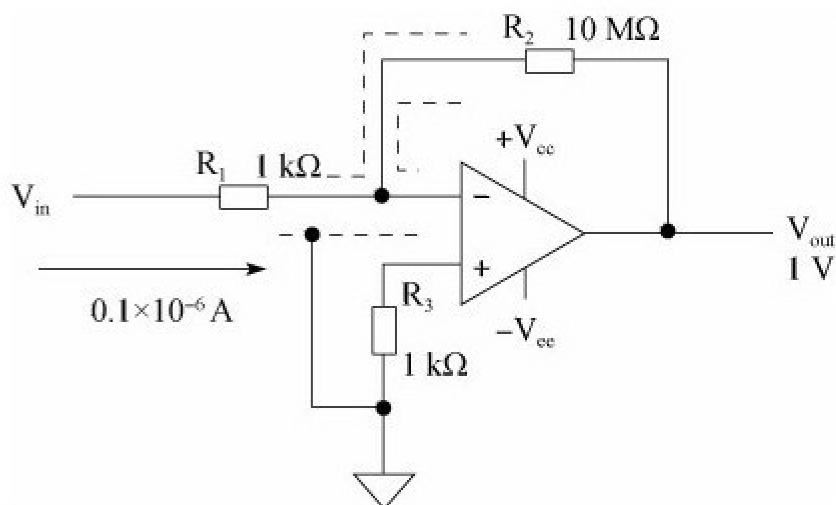


图 3-12 典型的电流增幅电路

（2）电压增幅时必须注意输入阻抗

如图3-13所示信号电流$i=0.1\times10^{-6}$以输入电阻作电压转换获得1V输出电压，由于误差为1%，因此放大的输入阻抗必须大于100MΩ。

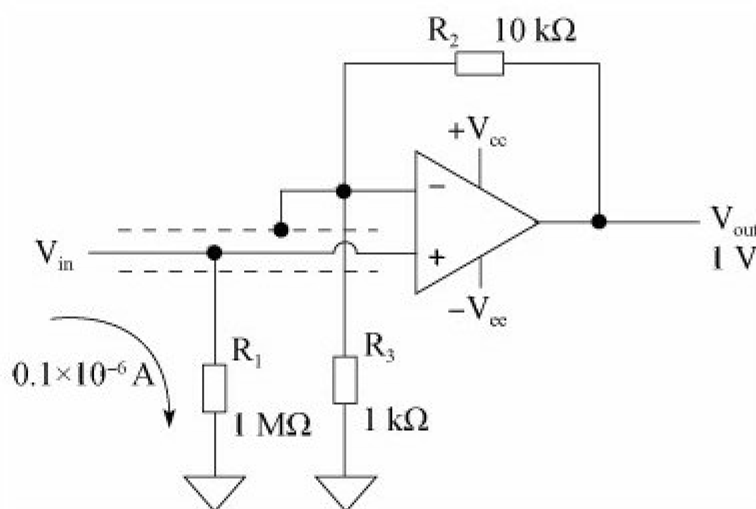


图　3-13　典型的电压增幅电路

4.PCB的漏电流对信号电流的影响

在微电流测量中，提高PCB的绝缘强度和减少漏电流是非常重要的。通常意义上等效于绝缘的纳安级漏电流就会对测量结果造成严重影响，所以要采取措施严格控制PCB板的漏电流。选用漏电流远小于皮安级的高绝缘电路板，如环氧玻璃板；输入信号采用绝缘好、不产生静电、吸湿性小的聚四氟乙烯接线柱；在电路板上用接地屏蔽环将运算放大器的同相、反相输入端包围起来并接地，使其等电位，保证它们之间漏电流为零；电路安装好后，清除残留杂质，对元件和电路板进行清洁、干燥、防潮处理。

5.磁场影响

在多层PCB设计中，参考平面离信号层很近，耦合了绝大部分的电磁场，99%以上的信号能量将集中在最近的参考平面回流，由于信号和地回流之间的环路面积很小，所以产生的EMI也很低。但如果由于相邻的参考平面上存在缝隙等非理想因素，这就导致了回流面积的增大，低电感的耦合作用减弱，将会有更多的回流通过其他途径或者直接释放到空中，这就会导致EMI大大增加，如图3-14所示。

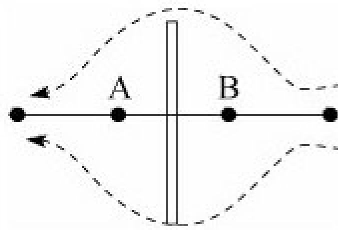


图　3-14　开槽导致回流面积的增大

在共模的情况下，会导致磁场强度的增加和电场强度减小，这样就相当于增加了传输线的电感和减小传输线的电容值。因此，如果传输线的阻抗变大，电磁场能量外泄增加，电磁干扰也变大。

电源线上电流从驱动端流到接收端时和它回流之间耦合产生的干扰，就称为差模干扰。电流流向负载时，会产生等值的回流即两个方向相反的电流，当回流电流完全居于传输电流下方的时候，就形成了标准的差模信号。由于它们相互之间产生的磁场方向相反，因而可以抵消大部分的磁场，抑制了磁场的外泄比率，而其中残留的电磁场就形成了差模EMI。

6.电路板与电子组件的导线

对于PCB板来说，PCB上的每一条走线都可以用三个基本的分布参数来描述，即电阻、电容和电感。在EMI和阻抗的控制中，电感和电容的作用很大。

电容是电路系统存储系统电能的元件。任何相邻的两条传输线之

间，两层PCB导电层之间及电压层和周围的地平面之间都可以组成电容。在这些所有的电容中，传输线和它的回流电流之间组成的电容数值最大，数量也最多，因为任何的传输线都会在它的周围通过某种导电物质形成回流。根据电容的公式：$C=\varepsilon_s/(4k\pi d)$，它们之间形成的电容的大小和传输线到参考平面的距离成反比，与传输线的直径（横截面积）成正比。如果电容的数值越大，那么它们之间存储的电场能量也越多，换句话说，它往外部泄漏系统能量的比率将更少，那么就会抑制这个系统产生的EMI。

电感是电路系统中存储周围磁场能量的元件。磁场是由流过导体的电流产生的感生场。电感的数值表示它存储导体周围磁场的能力，如果磁场减弱，感抗就会变小，感抗变大的时候，磁场就会增大，那么对外的磁能量辐射也会变大，即EMI值越大。所以，如果系统的电感越小，那么就能对EMI进行抑制。在低频情况下，如果导体变短，厚度增加和变宽时，导体的电感就会变小；而在高频情况下，磁场的大小则是导线及其回流构成的闭环面积的函数，如果把导线与其回路靠近，由于回流和本身电流大小相等（在最佳回流状态）、方向相反，两者产生的磁场就会相互抵消，降低了导体的感应电感，所以，保持导体上电流和其最佳回流路径，能够在一定程度上减小EMI。

7.外部噪声对接口导线与信号线、电源线的影响

外部的信号线与电源线极易受到外部电磁干扰、静电干扰的影响，

成为放射噪声的天线，进而对电子设备造成极大伤害。常用对策是使用过滤、接地及电路平衡传输等方法。由于噪声本身具有共模噪声成分，因此电源线装设滤波器或多段式滤波可获得很好的效果。电路板之间的连接，经常使用共模扼流圈，随着使用条件的不同，发送端与接收端同时装设扼流圈的情况也很常见。

接口导线则用同轴电缆或是附有接地的双缠绕线，具有很好的抗噪声效应，如图3-15所示。电路入口端设置滤波，虽然可以防止外部噪声流入，但是必须防止信号频率发生衰减现象。滤波与连接器的组合应用同样可获得很好的抗噪声效果。不同屏蔽层的传输阻抗如图3-16所示。

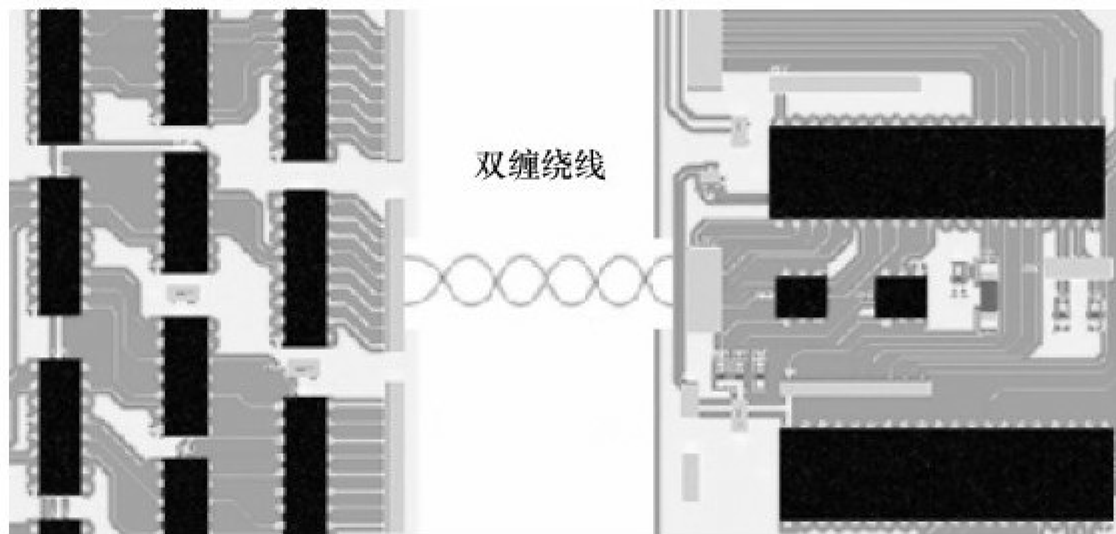


图　3-15　电路板之间的连接

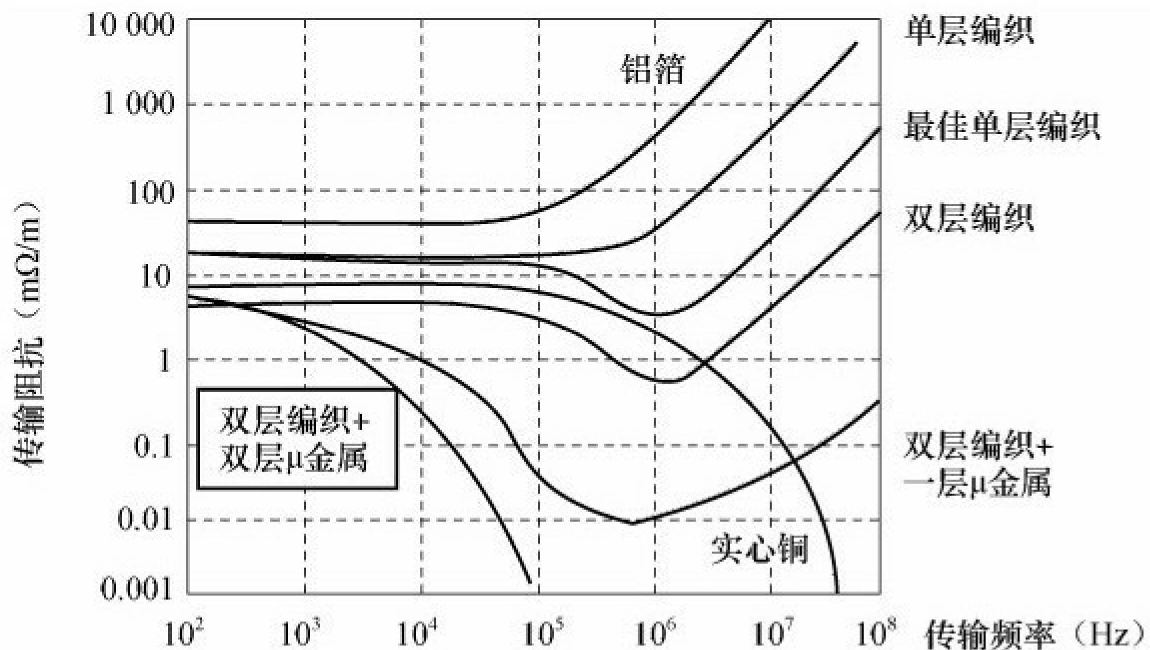


图　3-16　不同屏蔽层的传输阻抗

有关EMI对策目前为止不论采用哪种方式都无法完美无缺，换言之基本上必须根据噪声环境，采取复合对策反复定量和检验对策结果，尤其是经验的累积具有决定性的影响。

8.半导体组件的使用注意事项

使用半导体组件需要注意以下问题：

（1）动作条件

使用时遵守组件的规格最大范围乃是基本常识，为了获得高可靠性，因此建议电压与电流值不超过最大范围的50%，容许电力则不超过最大范围的40%。

（2）特性分布

半导体组件具有特性分布不均的现象，因此设计电路时必须充分预留裕度。

（3）温度

半导体组件与电解电容等电子组件的工作温度每上升10℃，寿命就会减少一半，因此设计电路时必须基于温度对寿命的影响，将容许损失、接点温度（junction temperature）等参数列入检查范围。

3.3　数字电路设计

对高频数字逻辑电路布局时，有关的逻辑器件应相互靠近，易产生干扰的器件（如时钟发生器）或发热器件应远离其他集成电路。由于高频数字信号正负电平转换时间短、转换电流大，往往会产生尖脉冲，通过电源线给系统带来致命的干扰。这样需要在每一个器件的电源输入端就近并上一个小电容来旁路尖峰干扰。

可以采用级间加缓冲存储器以减少级间干扰，这样还可以防止由于击穿造成的关键器件的损坏。将多余端口接地或通过电阻接电源可以防止端口感应造成的干扰。如图3-17所示，图中打叉的引脚接地。并联电容或涂静电防护漆可以防止端口的静电感应及静电电荷积累放电干扰。此外由于TTL电路在状态转换瞬间，两个输出晶体管同时导通时产生一个大的冲击电流，加上反馈作用可以成为一个干扰振荡器，对这种现象可以采用整型电路来消除。

图　3-17　引脚接地

3.3.1　设计方法

防止数字逻辑电路产生电磁兼容问题的主要措施见表3-4。

表 3-4　数字电路的设计方法

序　号	设 计 方 法
1	对输入和按键采用电平检测（而非边沿检测）
2	使用前沿速率尽可能慢且平滑的数字信号（不超过失真极限）
3	在 PCB 板上，允许对信号边沿速度或带宽进行控制（例如，在驱动端使用软铁氧体磁珠或串联电阻）
4	降低负载电容，以使靠近输出端的集电极开路驱动器便于上拉，电阻值尽量大
5	处理器散热片与芯片之间通过导热材料隔离，并在处理器周围多点射频接地
6	电源的高质量射频旁路（解耦）在每个电源管脚都是重要的
7	高质量电源监视电路需对电源中断、跌落、浪涌和瞬态干扰有抵抗能力
8	绝对不能在“看门狗”或电源监视电路上使用可编程器件，电源监视电路及“看门狗”也需适当的电路和软件技术，以使它们可以适应大多数的干扰
9	逻辑信号沿的上升/下降时间比信号在 PCB 走线中传输一个来回的时间短时，应采用传输线技术。有些数字 IC 产生高电平辐射，常将其配套的小金属盒焊接到 PCB 地线而取得屏蔽效果。PCB 上的屏蔽成本低，但在需要散热和通风良好的器件上并不适用
10	在逻辑电路中，数字信号的传输线的处理也相当重要。当电路在高速运行时，在源端和接收端间的阻抗匹配非常重要。因为错误的匹配将会引起信号反馈和阻尼振荡。过量的射频能量将会辐射或影响到电路的其他部分，引起电磁兼容性问题，信号的端接（匹配）有助于减少这些非预计的结果。信号端接（匹配）不但能减少在源端和接收端之间的信号反馈和振铃，而且也能减缓信号边沿的快速上升和下降
11	时钟电路通常是最主要的发射源，其 PCB 轨线是最关键的一点，所以应做好元器件的布局，从而使时钟走线最短，同时保证时钟线在 PCB 的一面上但不通过过孔。当一个时钟必须经过一段长长的路径到达许多负载时，可在负载旁边安装一时钟缓冲器，这样，长轨线（导线）中的电流就小很多了。如图 3-18 所示。这里，相对的失真并非重要。长轨线中的时钟沿应尽量圆滑，甚至可用正弦波，然后由负载旁的时钟缓冲器加以整形即可

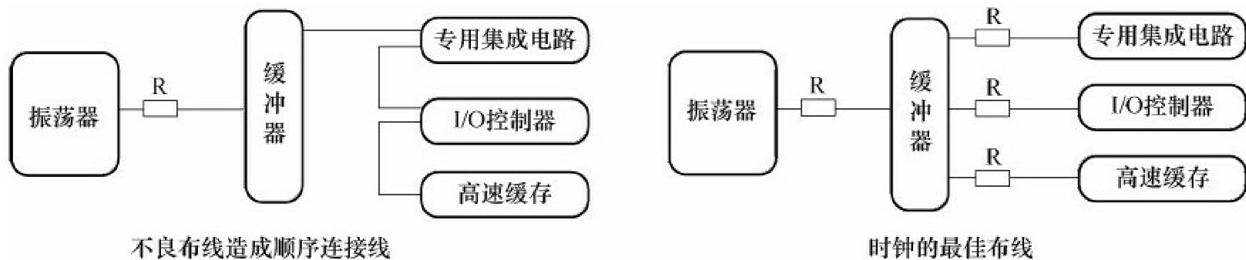


图　3-18　时钟匹配

3.3.2　设计原则

数字和模拟设备的发射和敏感特性是不同的，一般不能用对模拟电路滤波的方法来实现数字信号电磁兼容。例如，模拟电路通常产生窄带干扰，并常常对连续波干扰敏感；数字电路常常产生宽带干扰，并对尖峰脉冲干扰敏感。控制数字电路的发射和敏感所采用的屏蔽、滤波的范围和程度要根据数字电路单元的性能、电路元器件的速率来决定。

数字系统误动作的重要原因中，绝大多数起因于机壳地、信号地的电位波动。集成电路0V端电位发生变化时，它的工作状态便不稳定，从而影响下一级输入端状况，下一级也会不稳定。0V线电位的变化是接地线自有电感和直流电阻所致，见表3-5。

表 3-5　数字电路设计原则

序　　号	设　计　原　则
1	选择电路功能允许的最慢的上升时间和下降时间，以限制产生不必要的高频分量
2	避免产生和使用不必要的高逻辑电平。如能用 5 V 电平的就不要用 12 V 电平
3	时钟频率应在工作允许的条件下选用最低的
4	防止数据脉冲通过滤波和二次稳压电源耦合到直流电源总线上去
5	数字电路的输入、输出线不要紧靠时钟或振荡器线、电源线等电磁热线，也不要紧靠复位线、中断线、控制线等脆弱信号线
6	在低阻抗点上连接数字电路的输入和输出端，或用阻抗变换缓冲级
7	严格限制脉冲波形的尖峰、过冲和阻尼振荡
8	用脉冲变压器，应是有屏蔽的
9	对电源线、控制线去耦，以防止外部干扰进入
10	不要用长的、非屏蔽的信号线。印制线长度达每纳秒上升时间大约 5 cm 就要考虑匹配端接
11	光电隔离器对差模干扰有抑制效果，而对共模干扰却没有明显作用
12	印制导线的电感分量在产生公共阻抗耦合方面起着主导作用。电源线，尤其地线条要尽量粗、短
13	对有暂态陡峭电源电流器件和易受电源噪声影响器件，要在其近旁接入高频特性好的电容器去耦
14	在每个印制板电源入口处装 1 个 LCL 构成的 T 型滤波器防止来自电源的冲击输入
15	用屏蔽网（编织带）和铁氧体夹卡改善扁平电缆的抗干扰性能
16	从 2 层印制电路板改为多层印制电路板，很容易使发射和抗扰度性能提高 10 倍
17	时钟频率大于 5 MHz 或者脉冲上升时间小于 5 ns，宜于选择多层电路板
18	手工布关键线（时钟、高速重复控制信号、复位线、中继线、I/O 线等）。若用自动布线必须仔细检查和修改违背电磁兼容控制的地方

3.4 微处理器电路设计

微控制器（MCU），是一种重要的逻辑电路组成部分，是逻辑电路的核心，也是逻辑电路中产生电磁兼容问题的核心和关键。许多IC制造业者不断地减小微控制器的尺寸，以达到在单位硅片上增加更多部件的目的。通常减小尺寸会使晶体管开关速度更快。这样一来，虽然MCU时钟速率没有增加，但是上升和下降速度会加大，从而使时钟频率的谐波分量变大。

许多实时应用方面都需要高速MCU，一定要认真对待其电路设计和PCB布线，以减少潜在的EMC问题。MCU需要的电源功率，随着其处理功率的增加而增加，让供电电路（比如稳压电路）靠近微控制器，再用一个独立的高频电容对电源去耦，就可以减少干扰通过直流电源对其他电路的影响。

MCU通常有片上振荡电路，它外接单独的晶振或谐振器即可工作，从而避免使用其他时钟驱动电路的时钟。这个独立的时钟能更好地防止系统其他部分所产生的噪声辐射。在时钟频率方面，MCU通常是对功率要求最高的设备，这样让时钟靠近MCU就能保证对时钟频率仅有最小的驱动需求。

3.4.1 设计方法

提高单片机系统可靠性的方法与措施很多。一般地，应根据系统的具体可靠性问题，针对引起或影响系统不可靠的因素采取不同的处理措施。这些措施一般从以下两个目的出发：

第一，尽量减少引起系统不可靠或影响系统可靠的外界因素。

第二，尽量提高系统自身抗干扰能力及降低自身运行的不稳定性。

例如，为了抑制电源的噪声和环境干扰信号而采用的滤波技术、隔离技术、屏蔽技术等都是出于第一个目的；另外，针对系统自身而采用的看门狗电路、软件抗干扰技术、备份技术等均是出于第二个目的而采取的措施。

其中第一类的措施较常使用，简单而且效果也较好，但其对系统可靠性的提高是有限的，许多情况下不能满足系统的要求。第二类措施可以更进一步提高系统的可靠性，往往在高可靠性的系统设计中被广泛使用。

3.4.2　设计原则

一个单片机应用系统的硬件电路设计包含两部分内容：

一是系统扩展，即单片机内部的功能单元，如ROM、RAM、I/O、定时器/计数器、中断系统等不能满足应用系统的要求时，必须在片外进行扩展，选择适当的芯片，设计相应的电路。

二是系统的配置，即按照系统功能要求配置外围设备，如键盘、显示器、打印机、A/D、D/A转换器等，要设计合适的接口电路。

1.系统的扩展和配置应遵循的原则

（1）采用典型电路

尽可能选择典型电路，并符合单片机常规用法。为硬件系统的标准化、模块化打下良好的基础。系统扩展与外围设备的配置水平应充分满足应用系统的功能要求，并留有适当余地，以便进行二次开发。

（2）软硬结合

硬件结构应结合应用软件方案一并考虑。硬件结构与软件方案会产生相互影响，考虑的原则是：软件能实现的功能尽可能由软件实现，以简化硬件结构。但必须注意，由软件实现的硬件功能，一般响应时间比

硬件长，且占用CPU时间。系统中的相关器件要尽可能做到性能匹配。如选用CMOS芯片单片机构成低功耗系统时，系统中所有芯片都应尽可能选择低功耗产品。

（3）可靠性

可靠性及抗干扰设计是硬件设计必不可少的部分，它包括芯片、器件选择、去耦滤波、印制电路板布线、通道隔离等。单片机外围电路较多时，必须考虑其驱动能力。驱动能力不足时，系统工作不可靠，可通过增设线驱动器增强驱动能力或减少芯片功耗来降低总线负载。

（4）采用功能强大的单片机

尽量向“单片”方向设计硬件系统。系统器件越多，器件之间相互干扰也越强，功耗也越大，就不可避免地降低了系统的稳定性。随着单片机片内集成的功能越来越强，真正的片上系统SoC已经可以实现，如C8051F单片机是完全集成的混合信号系统级芯片（SoC），具有与8051兼容的高速CIP-51内核，与MCS-51指令集完全兼容，片内集成了数据采集和控制系统中常用的模拟、数字外设及其他功能部件；内置FLASH程序存储器、内部RAM，大部分器件内部还有位于外部数据存储器空间的RAM，即XRAM。C8051F单片机具有片内调试电路，通过4脚的JTAG接口可以进行非侵入式、全速的在线系统调试。如图3-19所示。

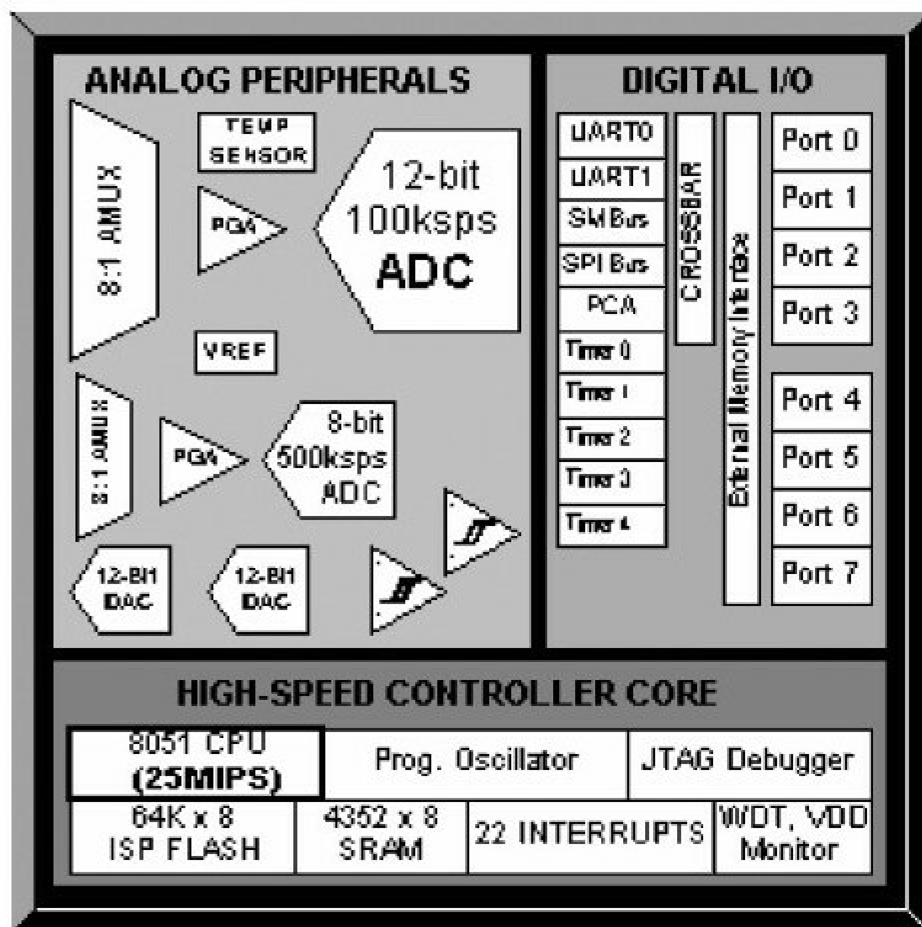


图　3-19　单片机功能组成

（5）消除干扰的措施

消除干扰途径的方法主要有以下措施，见表3-6。

表 3-6　消除干扰的措施

项　　目	消除干扰措施
电源	电源做得好，整个电路的抗干扰就解决了一大半。许多单片机对电源噪声很敏感，要给单片机电源加滤波电路或稳压器，以减小电源噪声对单片机的干扰。例如，可以利用磁珠和电容组成 π 形滤波电路，当然条件要求不高时也可用 100 Ω 电阻代替磁珠
单片机的 I/O 口	如果用 I/O 口来控制电机等噪声器件，在 I/O 口与噪声源之间应加隔离（增加 π 形滤波电路）
晶振布线	晶振与单片机引脚尽量靠近，用地线把时钟区隔离起来，晶振外壳接地并固定
分区	合理分区，如强、弱信号，数字、模拟信号。尽可能把干扰源（如电机、继电器）与敏感元件（如单片机）远离
地线	用地线把数字区与模拟区隔离。数字地与模拟地要分离，最后在一点接于电源地。A/D、D/A 芯片布线也以此为原则
接地	单片机和大功率器件的地线要单独接地，以减小相互干扰。大功率器件尽可能放在电路板边缘
抗干扰措施	在单片机 I/O 口、电源线、电路板连接线等关键地方使用抗干扰元器件如磁珠、磁环、电源滤波器、屏蔽罩，可显著提高电路的抗干扰性能

2.提高抗干扰性

提高敏感器件的抗干扰性能是指从敏感器件这边考虑尽量减少对干扰噪声的拾取，以及从不正常状态尽快恢复的方法。

提高敏感器件抗干扰性能的常用措施如下：

·布线时尽量减少回路环的面积，以降低感应噪声。

·布线时，电源线和地线要尽量粗。除减小压降外，更重要的是降低耦合噪声。

·对于单片机闲置的I/O口，不要悬空，要接地或接电源。其他IC的闲置端在不改变系统逻辑的情况下接地或接电源。

·对单片机使用电源监控及看门狗电路，如：IMP809，IMP706，

IMP813，X5043，X5045等，可大幅度提高整个电路的抗干扰性能。

·在速度能满足要求的前提下，尽量降低单片机的晶振和选用低速数字电路。

·IC器件尽量直接焊在电路板上，少用IC座。

·其他常用抗干扰措施见表3-7。

表 3-7　其他抗干扰措施

采用措施	抗干扰说明
交流接入	交流端用电感电容滤波，去掉高频低频干扰脉冲
变压器双隔离措施	变压器初级输入端串接电容，初、次级线圈间屏蔽层与初级间电容中心节点接大地，次级外屏蔽层接印制板地，次级加低通滤波器吸收变压器产生的浪涌电压
采用集成式直流稳压电源	有过流、过压、过热等保护
I/O 口	I/O 口采用光电、磁电、继电器隔离，同时去掉公共地
通信线用双绞线	排除平行互感
防雷电	用光纤隔离最为有效
A/D 转换	用隔离放大器或采用现场转换减少误差
外壳接大地	解决人身安全及防外界电磁场干扰
加复位电压检测电路	防止复位不充分 CPU 就工作，尤其有 EEPROM 的器件，复位不充分会改变 EEPROM 的内容

3.印制板工艺抗干扰

印制电路板抗干扰的方法主要有：

·电源线加粗，合理走线、接地，三总线分开以减少互感振荡。

·CPU、RAM、ROM等主芯片，VCC和GND之间接电解电容及瓷片电容，去掉高、低频干扰信号。

·独立系统结构，减少接插件与连线，提高可靠性，降低故障率。

·集成块与插座接触可靠，用双簧插座，最好集成块直接焊在印制板上，防止器件接触不良。

·有条件采用四层以上印制板，中间两层为电源及地。

第4章　PCB布局

合理的电路板层的设置、正确的元器件布局及有效的滤波，可减少各单元电路间的相互干扰。大功率低速电路、模拟电路和数字电路应分块布局。在各分块内，以该分块内核心元件为中心进行布局，尽量缩短各元器件间的引线连接。

4.1　电路板层的规划

在PCB的EMC设计中，首先涉及的是层的设置。电路板的层数由电源的层数、地的层数和信号层数组成。电源层、地层、信号层的相对位置及电源、地平面的分割对电路板的EMC指标至关重要。

4.1.1　层数

电路板的电源，接地的种类，信号的密度，电路的工作频率，有特殊布线要求的信号数量，以及综合电路板的性能指标要求与成本承受能力，确保电路板的层数。对于EMC指标要求苛刻而相对成本能承受的情况下，适当增加接地是PCB的EMC设计的有效方法之一。

1.电源和地的层数

电源的层数由其种类数量决定，对于单一电源供电的PCB，一个电源平面足够了。对于多种电源，若互不交错，可采取电源层分割（保证相邻层的关键信号布线不跨分割区）。对于电源相交错（多种电源供电，且互相交错）的电路板，则必须考虑采用两个或两个以上的电源平面，每个电源平面的设置需要满足以下条件：

·单一电源或多种互不相交错的电源。

·相邻层的关键信号不跨分割区。

地的层数除满足电源平面的要求外，还要考虑：

·元件面下面（第2层或倒数第2层）有相对完整的地平面。

·高频、高速、时钟等关键信号有相邻地平面。

·关键电源有对应地平面相邻。

2.信号层数

在Altium Designer软件中，在网表调入完毕后，EDA软件能提供布局、布线参数报告，由此参数可对信号所需的层数有大致的判断；经验丰富的EDA工程师能根据以上参数再结合电路的工作频率、有特殊布线要求的信号数量及电路板的性能指标要求与成本承受能力，最后确定信号层数。

信号的层数要取决于功能实现，从EMC的角度需要考虑关键信号网络（强辐射网络以及易受干扰的小、弱信号）的屏蔽或隔离措施。

4.1.2　电源层、地层、信号层设置

随着高速电路的出现，PCB板的复杂度也越来越高，为了避免电气因素的干扰，信号层和电源层必须分离，因此就牵扯到多层PCB的设计。在多层板的设计中，对于叠层的安排尤其重要。一个好的设计方案可以大大减少EMI及串扰的影响。

1.电源与地的设置

电源与接地的正确设计，对于抑制电磁干扰来说至关重要。电源线和地线尽量宽以减小电阻。数字电路与模拟电路要分开接地。数字电路的地可构成闭环以提高抗噪声性能。在电路板层数允许的条件下，可设置电源层和地层，或者通过分割电源、分割地以获得较大的电源或地面积。

电源、地存在的问题：

·电源、地平面存在自身的特殊性阻抗，电源平面的阻抗性比地平面的阻抗性高。

·为降低电源平面的阻抗，尽量将PCB的主电源平面与其对应的地平面相邻排布并要尽量靠近，利用两者的耦合电容，降低电源平面的阻抗。

·电源地平面构成的平面电容与PCB板上的退耦电容一起构成频响曲线和比较复杂的电源地电容，它的有效退耦频带比较宽（但存在谐振问题）。

2.VCC、GND作为参考平面

电源、地平面均能用作参考平面，且有一定的屏蔽作用。但相对而言，电源平面具有较高的特征阻抗，与参考电平存在较大的电位势差。从屏蔽的角度来看，地平面一般都做了接地处理，并作为基本电平参考点，其屏蔽效果远远优于电源平面。在选择参考平面时，应优选地平面。

3.电源层、地层、信号层之间的相对位置

当电源、地的层数及信号层数确定之后，它们之间的相对排布位置是每个EMC工程师都不能回避的问题。

单板层的排布一般原则：

·元件面下的第二层为地平面，提供器件屏蔽层及为顶层布线提供参考平面。

·所有信号层尽可能与地平面相邻。

·尽量避免两信号层直接相邻。

·主电源尽可能与其对应地相邻。

·兼顾层压结构对称。

对于母板的层排布，鉴于其母板很难控制平行长距离布线，对于板级工作频率在50MHz以上的，建议的排布原则：

·元件面、焊接面为完整的地平面（屏蔽）。

·无相邻平行布线层。

·所有信号尽可能与地平面相邻。

·关键信号与地层相邻，不跨分割区。

具体对PCB的层设置时，要灵活掌握以上原则，在领会以上原则的基础上根据实际单板的需求，灵活运用以确定层的排布，切记生搬硬套。

4.1.3　双面板设计

常见的设计是表层为电源+信号，底层为地+信号，电源和地可以采用交叉总线的结构，也可以采用大面积敷铜的形式，具体情况视实际走线空间而定。还有一种较好的设计思路是：每一层面都按照单面板的设计要求来实现，然后进一步调整优化，比如加粗电源/地线，空余地方大面积敷铜等。但要注意的是：双面板和单面板一样，都不符合EMC的要求，虽然信号走线下方（背面）可能存在参考平面，但是由于板子太厚（约62mil，1mil=0.0254mm），RF信号的回流很少通过低电感的参考平面，从而产生较强的电磁辐射。双面板结构如图4-1所示。

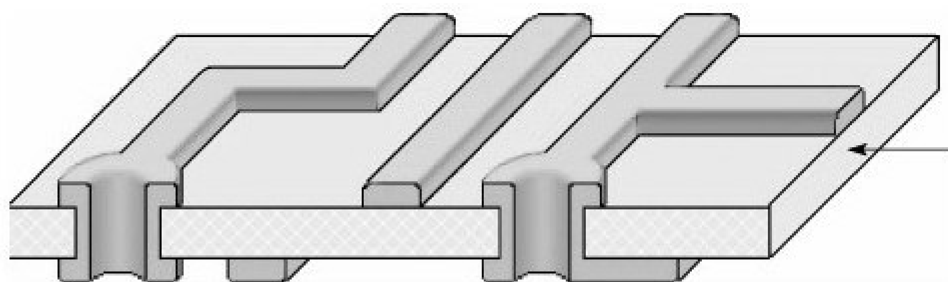


图　4-1　双面板结构

在手工布线时，为确保正确实现电路，需要遵循一些通用的设计准则：尽量采用地平面作为电流回路。将模拟地平面和数字地平面分开。如果地平面被信号走线隔断，为降低对地电流回路的干扰，应使信号走线与地平面垂直。模拟电路尽量靠近电路板边缘放置，数字电路尽量靠近电源连接端放置，这样做可以降低由数字开关引起的di/dt效应。对于

电流回路，需要注意如下基本事项：

1）如果使用走线，应尽量将其加粗。PCB上的接地连接如要考虑走线时，应尽量将走线加粗，这是一个好的经验法则，但要知道，接地线的最小宽度是由此点到末端的有效宽度，此处“末端”指距离电源连接端最远的点。

2）如果不能采用地平面，可以采用“星形”布线策略来处理电流回路。如图4-2所示。通过这种方法，地电流独立返回电源连接端。可以注意到图中并非所有器件都有回路，其中模拟数字转换和驱动器两个芯片是公用回路的。但是需要遵循以下第三条和第四条的规则。

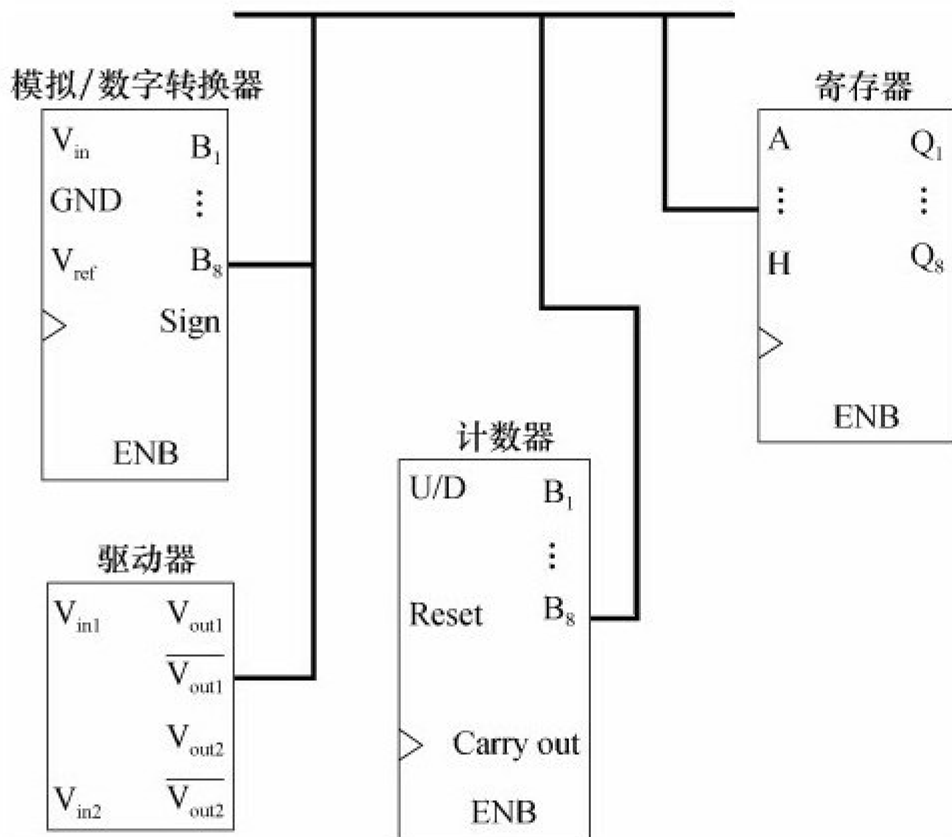


图 4-2 星形布线

3）数字电流不应流经模拟器件。数字器件开关时，回路中的数字电流相当大，但只是瞬时的，这种现象是由地线的有效感抗和阻抗引起的。对于地平面或接地走线的感抗部分，计算公式为$U=L\cdot di/dt$，其中U是产生的电压，L是地平面或接地走线的感抗，di是数字器件的电流变化，dt是持续时间。对地线阻抗部分的影响，其计算公式为$U=RI$，其中，U是产生的电压，R是地平面或接地走线的阻抗，I是由数字器件引起的电流变化。经过模拟器件的地平面或接地走线上的这些电压变化，将改变信号链中信号和地之间的关系（即信号的对地电压）。

4）高速电流不应流经低速器件。与上述类似，高速电路的地返回信号也会造成地平面的电压发生变化。此干扰的计算公式和上述相同，对于地平面或接地走线的感抗，$U=L\cdot di/dt$；对于地平面或接地走线的阻抗，$U=RI$。与数字电流一样，高速电路的地平面或接地走线经过模拟器件时，地线上的电压变化会改变信号链中信号和地之间的关系。

5）应避免地线回路。不管使用何种技术，接地回路必须设计为最小阻抗和容抗。不同逻辑电路要遵照所允许的环路面积，见表4-1。

表 4-1　不同逻辑电路所允许的环路面积

逻辑系列	上升时间/ns	电流/mA	允许的面积/cm^2			
			4 MHz	10 MHz	30 MHz	100 MHz
74HC	6	20	50	45	18	6
74LS	6	50	20	18	7.2	2.4
74AC	3.5	80	5.5	2.2	0.75	0.25
74F	3	80	5.5	2.2	0.75	0.25
74AS	1.4	120	2	0.8	3	0.15

6）如使用地平面，分隔开地平面可能改善或降低电路性能，因此要谨慎使用。分开模拟和数字地平面的有效方法如图4-3a所示。

分隔开的地平面有时比连续的地平面有效，图4-3b接地布线策略比图4-3a的接地策略理想。精密模拟电路更靠近接插件，但是与数字网络和电源电路的开关电流隔离开了。这是分隔开接地回路非常有效的方法。

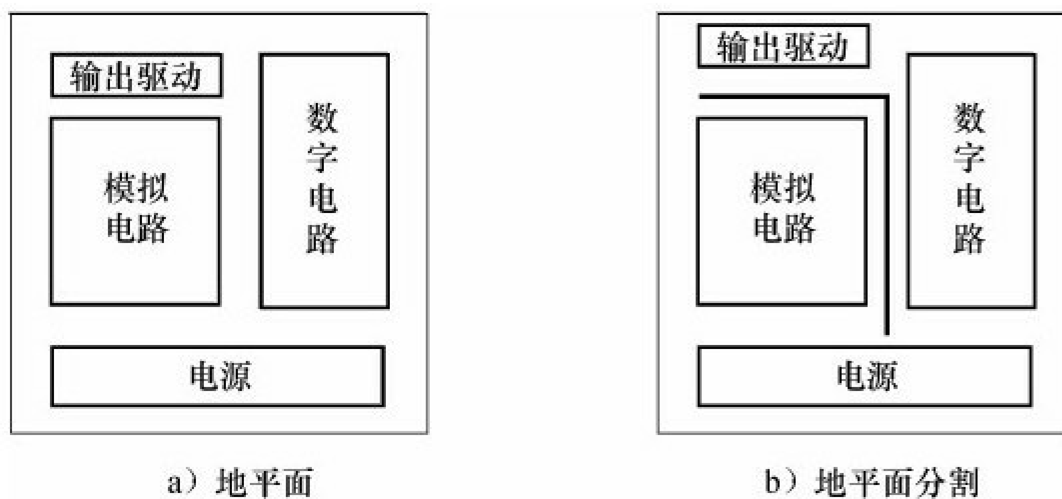


图　4-3　地平面设置

4.1.4　四层板设计

四层以上的PCB板，一般都能保证良好的EMC和其他电气性能，所以对于较高速的电路设计，一定要求采用多层板。四层板的设计大致有两种形式：一种是均匀间距，一种是非均匀间距。

对于均匀间距的设计来说，最大的优点在于电源和地之间的间距很小，可以大幅度降低电源的阻抗，提高电源的稳定性，但缺点在于两层信号层的阻抗较高，通常在105～130之间，而且由于信号层和参考平面之间的间距较大，增加了信号回流的面积，EMI较强。

而采用了后一种非均匀间距的设计，就可以较好地控制阻抗，信号靠近参考平面也有利于提高信号的质量，减少EMI。唯一的缺点就是电源和地之间的间距太大，可造成电源和地的耦合减弱，阻抗增加，但这一点可以通过增加旁路电容来改善。四层板结构如图4-4所示。

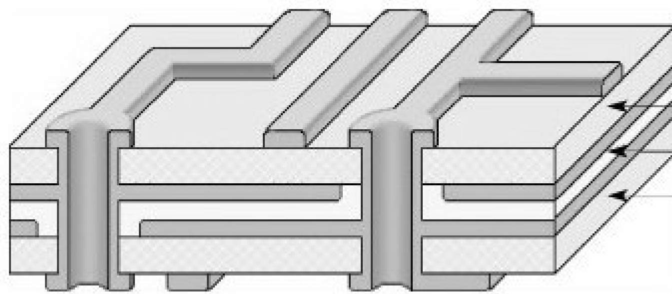


图　4-4　四层板结构

（1）方案1：电源层1，地层1，信号层2

一层为信号层，二层为地层，三层为电源层，四层为信号层，如图4-5所示。方案1的设置是进行四层板设置的主要方案，在元件的下面是地平面，关键信号布置在顶层。



图 4-5 方案1布局

（2）方案2：电源层1，地层1，信号层2

一层为地层，二层为信号层，三层为信号层，四层为电源层，如图4-6所示。方案2为了达到想要的屏蔽效果，有的设计者把电源和地放在顶层或者地层，这可以起到屏蔽作用，但也存在下列缺陷：

·电源和地平面由于元件焊盘的影响，极不完整。

·由于参考面的不完整导致信号的阻抗不连续。

·由于电源、地相距过远，导致电源平面阻抗较大。

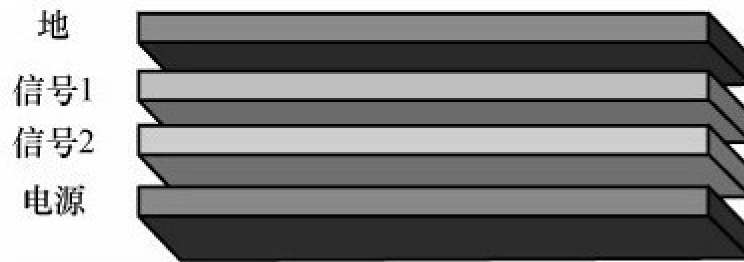


图　4-6　方案2布局

实际上，由于生产厂家大量采用表贴器件，在器件越来越密的情况下，此方案的电源、地几乎无法作为完整的参考平面，导致预期的屏蔽效果很难实现，所以方案2的使用范围有限。但在个别单板上其又不失为最佳层设置方案。

方案2适用于在整板无电源平面，只有GND平面。整板走线简单，但是作为接口滤波板布线的辐射区域必须关注。板的贴片元件比较少，多数是插件。分析可知：

·由于无电源平面，电源平面的阻抗问题就不存在了。

·作为接口滤波板，PCB布线的辐射区域必须关注，若在内层走线，表层为GND、PGND，其走线将会得到很好的屏蔽，而传输线的辐射得到了控制。

·由于贴片元件少（指单面布局），若表层做平面，内层走线，参考平面的完整性基本可以得到保证，而且第二层可以敷铜保证少量顶层走线的参考平面。

通过以上的分析，可以选择方案2作为布局的最佳选择。

（3）方案3：电源层1，地层1，信号层2

一层为信号层，二层为电源层，三层为地层，四层为信号层，如图4-7所示。方案3同方案1类似，适用于主要器件在BOTTOM布局或关键信号底层布线的情况，一般情况下不使用此方案。

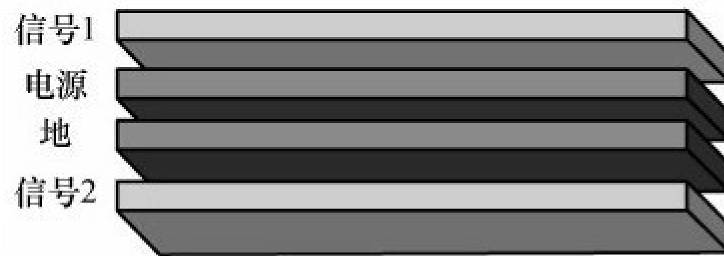


图 4-7 方案3布局

4.1.5　六层板设计

随着电路复杂度的增加，PCB板的设计也朝着高密度、高要求的方向发展。六层板的应用也越来越广泛，比如内存模块的PCB板，从PC100开始，就明确规定一定要使用至少六层板的结构。因为多层板无论在电气特性，对电磁辐射的抑制，还是在抵抗物理机械损伤的能力上都明显优于低层数的PCB板。

典型的六层板结构有两种：一种是表层和底层没有参考平面相邻，阻抗控制上有一定的困难，必须采用加粗线宽或通过增加沉铜的厚度来达到设计的阻抗要求；一种是每个信号层都有较近的参考平面相邻，阻抗容易控制，同时对抑制串扰和电磁辐射也比较有利，电源和地的耦合则可以通过有效的旁路电容设计得到改善。六层板结构如图4-8所示。

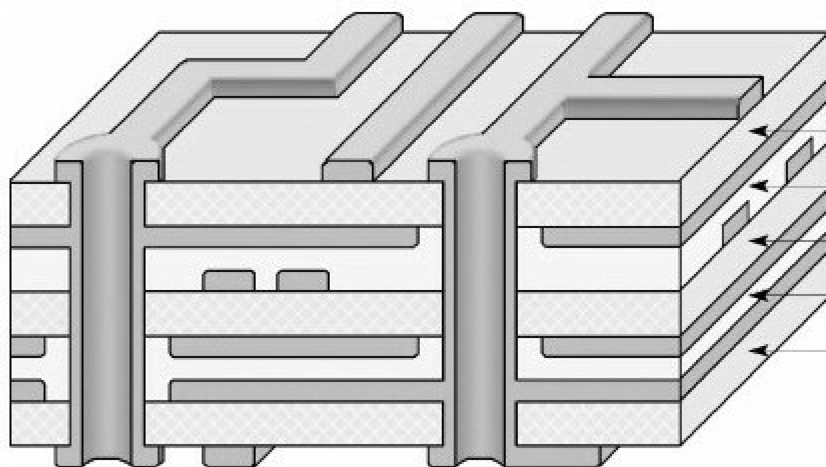


图　4-8　六层板结构

1）方案1：电源层数1，地层数1，信号层数4，如图4-9所示。

从阻抗控制的角度，这样的安排是合理的，但由于电源离地平面较远，对减小共模EMI的辐射效果不是很好。



图　4-9　方案1布局

2）方案2：电源层数1，地层数1，信号层数4，如图4-10所示。



图　4-10　方案2布局

3）方案3：电源层数1，地层数2，信号层数3，如图4-11所示。

无论从阻抗控制还是从降低EMI的角度来说，都能实现高速信号完

整性设计所需要的环境。不足之处是层的堆叠不平衡，第三层是信号走线层，对应的第四层却是大面积敷铜的电源层，这在工艺制造上可能会有问题。在设计时可以将第三层敷铜来达到近似平衡的效果。



图　4-11　方案3布局

4）方案4：电源层数1，地层数2，信号层数3，如图4-12所示。

对于六层板，优先考虑的是方案3，优选布线层S2（信号2），其次是S3（信号3）、S1（信号1）。主电源及其对应的地布线在第4、第5层，层厚设置时，增大S2（信号2）与P（电源）之间的距离，缩小P（电源）与G2（地2）之间的距离（相应缩小G1（地1）与S2（信号2）层之间的间距），以减小电源平面的阻抗性，减少电源对S2（信号2）的影响。在成本要求较高的时候，可采用方案1，优选布线层S1（信号1）、S2（信号2），其次才是S3（信号3）、S4（信号4），与方案1相比较，方案2保证了电源、地平面相邻，减少了电源的阻抗，但S1（信号1）、S2（信号2）、S3（信号3）、S4（信号4）全部裸露在外面，只有S2（信号2）才有较好的参考平面。对于局部和少量信号要

求较高的场合，方案4比方案3更适合，它能提供极佳的布线层S2（信号2）。



图　4-12　方案4布局

4.1.6　八层板设计

八层板的设计方案有很多种，这里介绍应用最广泛的5种叠层设计。八层板结构如图4-13所示。

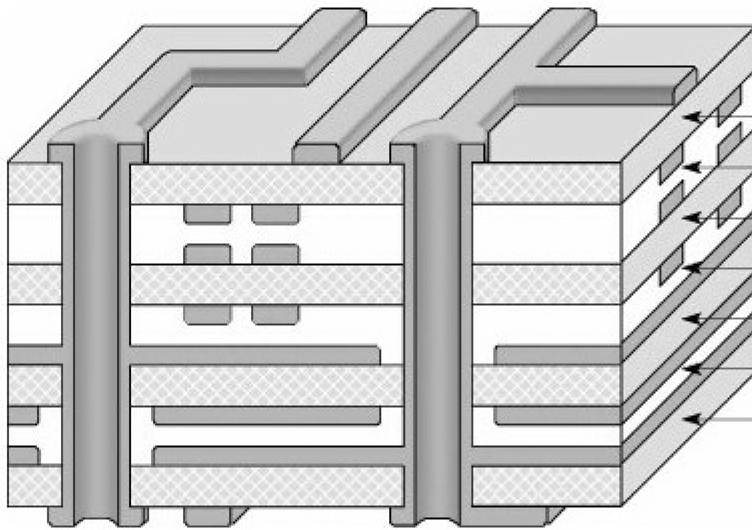


图　4-13　八层板结构

1）方案1：电源层数1，地层数2，信号层数5，如图4-14所示。

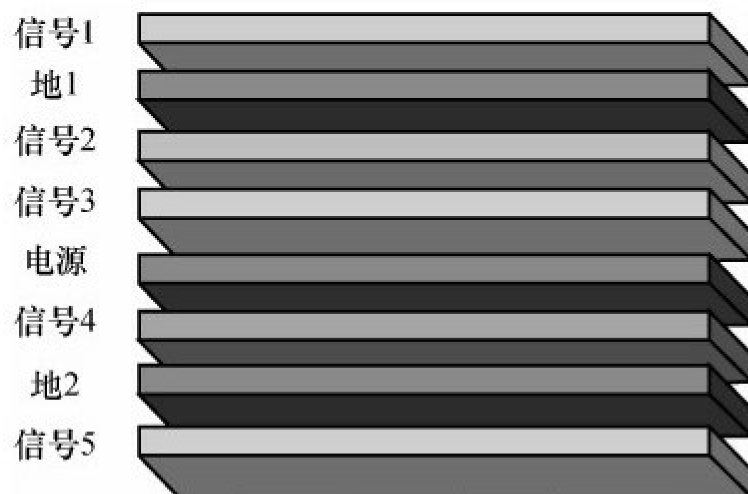


图　4-14　方案1布局

2）方案2：电源层数1，地层数3，信号层数4，如图4-15所示。

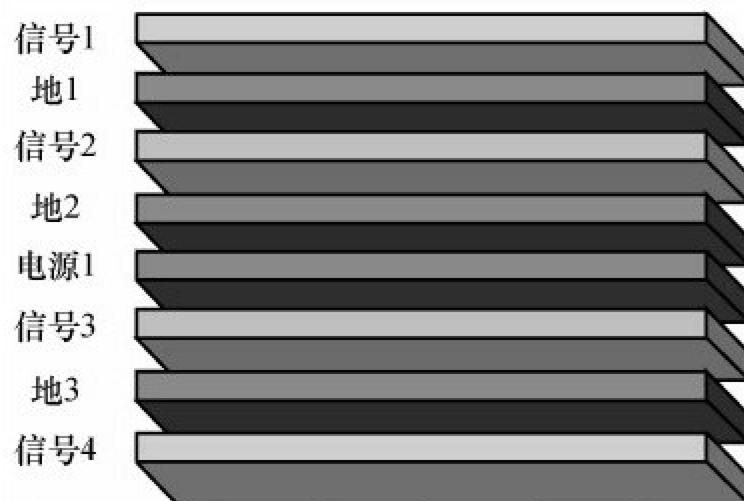


图　4-15　方案2布局

3）方案3：电源层数2，地层数2，信号层数4，如图4-16所示。

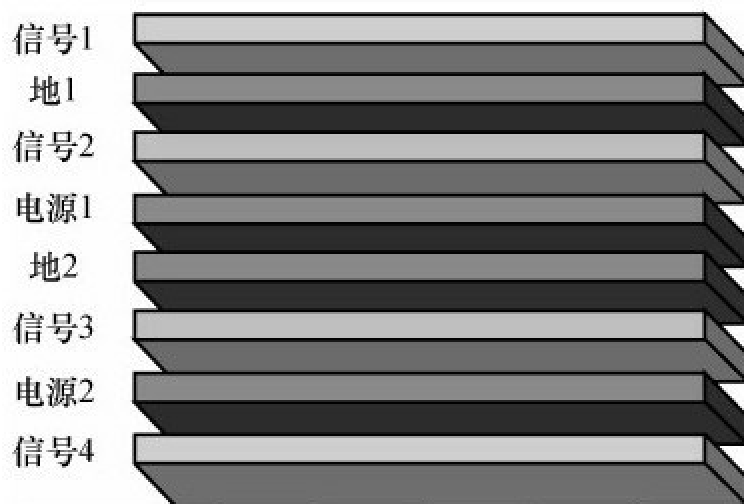


图　4-16　方案3布局

4）方案4：电源层数2，地层数2，信号层数4，如图4-17所示。

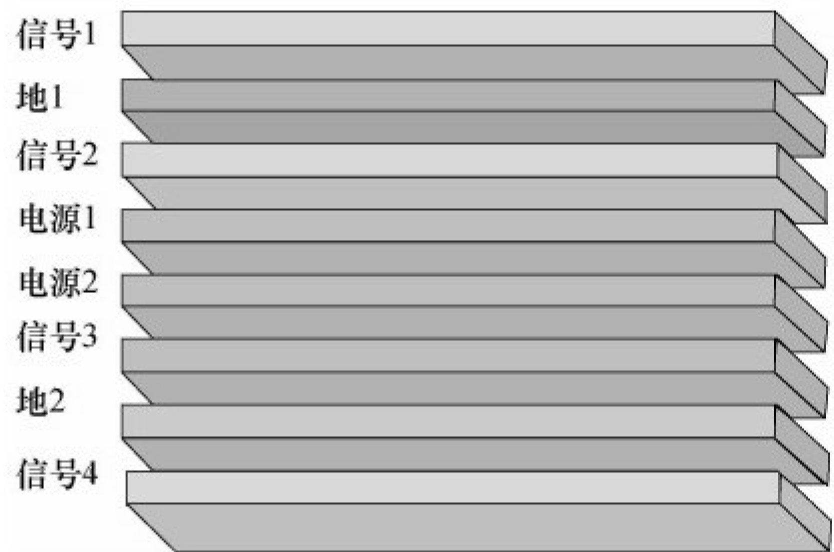


图 4-17 方案4布局

5）方案5：电源层数2，地层数2，信号层数4，如图4-18所示。

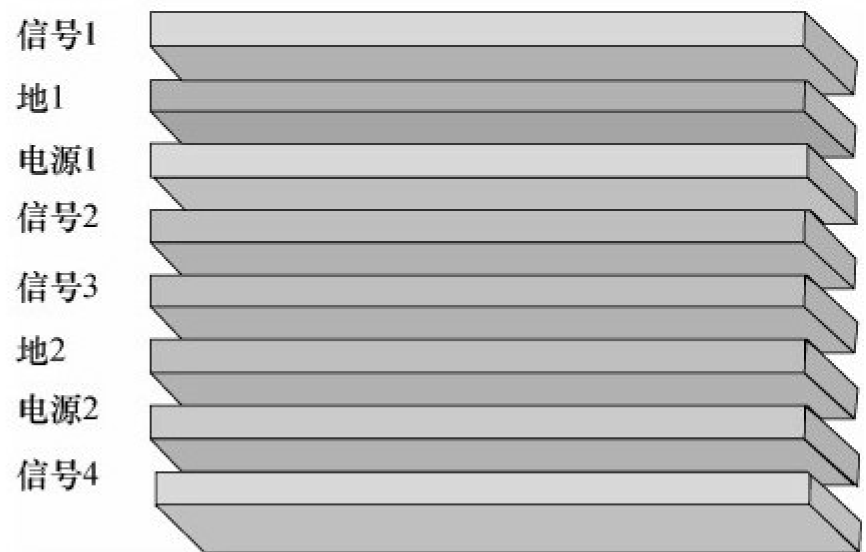


图 4-18 方案5布局

在单电源的情况下，方案2比方案1减少了相邻布线层，增加了主电

源和对应地相邻，以保证所有信号层与地平面相邻，代价就是牺牲布线层。

而在双电源的情况下推荐使用方案3，其兼顾了无相邻布线层，层压结构对称，主电源与地相邻的优点，不足之处是S4（信号4）应减少关键布线。

方案4无相邻布线层，层压结构对称，但电源平面阻抗较高，应适当加大3与4层、5与6层之间的间距，缩小2与3层、6与7层之间的间距。

方案5与方案4相比，保证了电源、地平面相邻，但S2（信号2）与S3（信号3）相邻，S4（信号4）以P2（电源2）作为参考平面。对于低层关键布线较少及S2（信号2）和S3（信号3）之间的线与线之间的串扰能控制的情况下可以考虑本方案。

4.1.7　十层板设计

十层板的设计方案众多，最常用的有以下4种。十层板结构如图4-19所示。

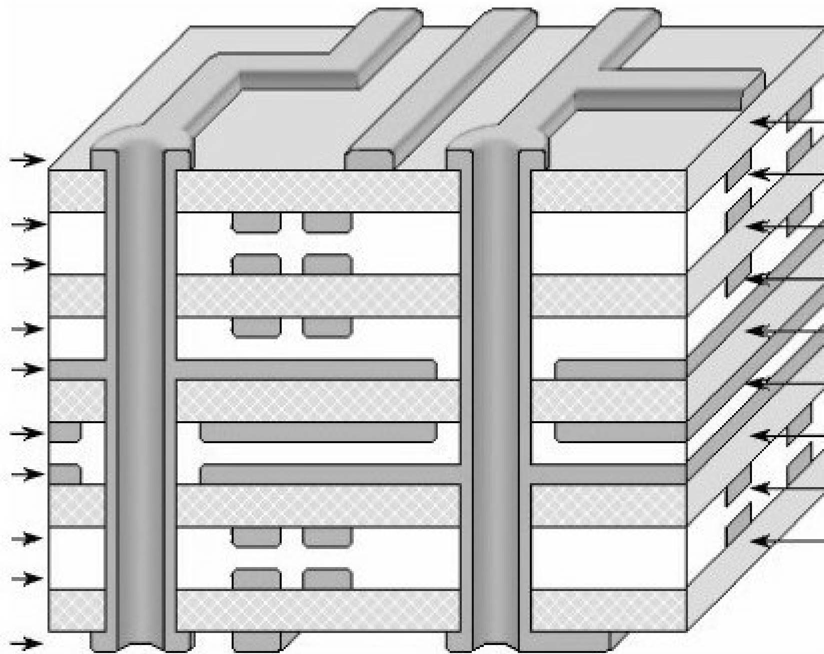


图　4-19　十层板结构

1）方案1：电源层数1，地层数3，信号层数6，如图4-20所示。

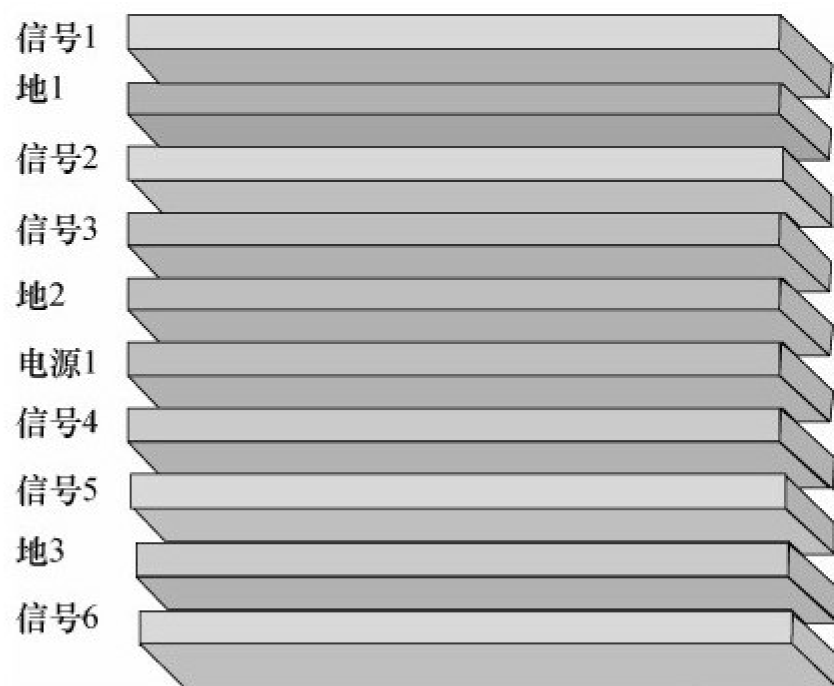


图 4-20 方案1布局

2）方案2：电源层数1，地层数4，信号层数5，如图4-21所示。

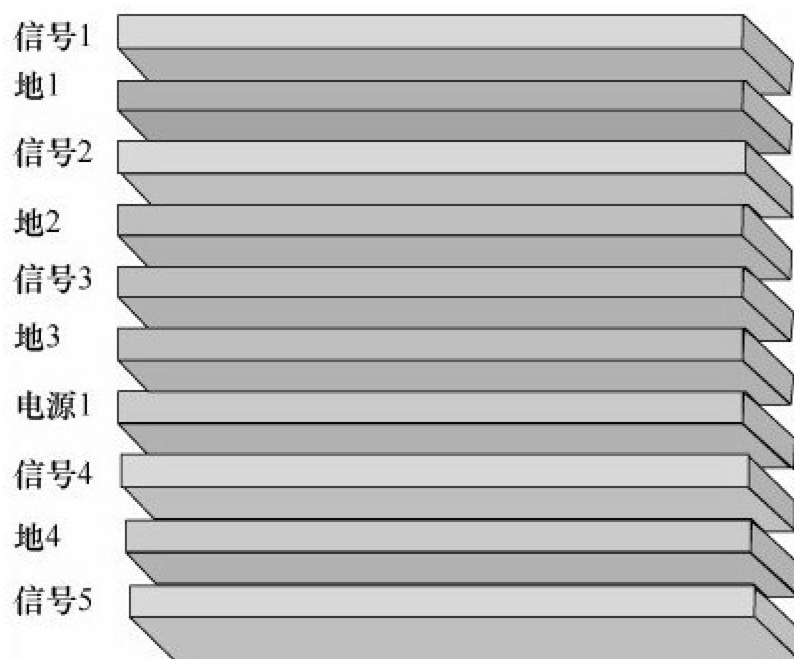


图 4-21 方案2布局

3）方案3：电源层数2，地层数3，信号层数5，如图4-22所示。

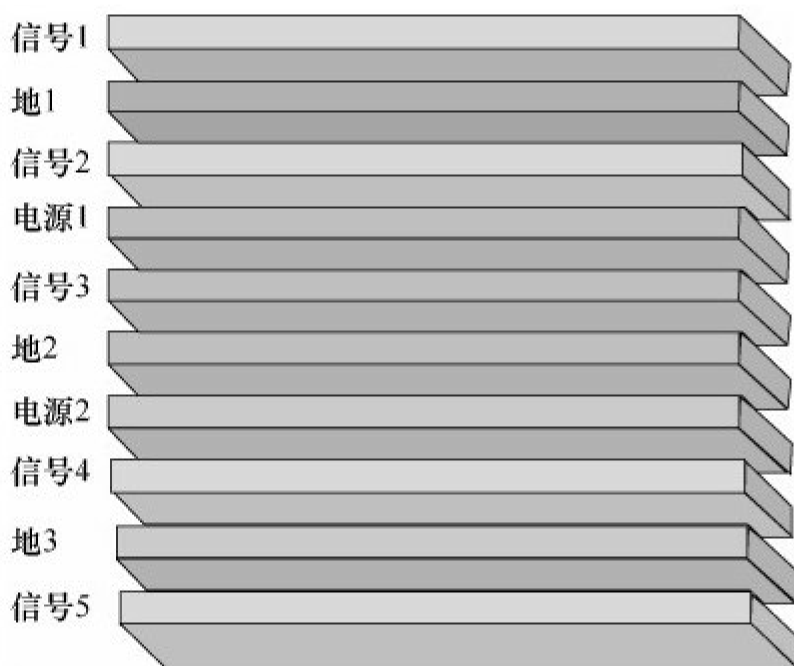


图　4-22　方案3布局

4）方案4：电源层数2，地层数4，信号层数4，如图4-23所示。

推荐方案2、3，可用方案1、4。

方案3：适当扩大3与4层、7与8层之间的间距，缩小了5与6层的间距，主电源及其对应地应置于6、7层。优选布线层应是S2（信号2）、S3（信号3）、S4（信号4），其次是S1（信号1）、S5（信号5）。本方案适合信号布线要求相差不大的场合，兼顾了性能及成本。但需要注意避免S2（信号2）与S3（信号3）之间的平行和长距离布线。

方案4：EMC的效果极佳，但与方案3相比，牺牲一布线层。在成本

要求不高但对于EMC指标要求较高且必须双电源层的关键单板，我们建议采用此方案，优选布线层S2（信号2）、S3（信号3）。

对于单电源层的情况，首先考虑的是方案2，其次是方案1。方案1具有明显的成本优势，但相邻的布线过多，平行长度难以控制。

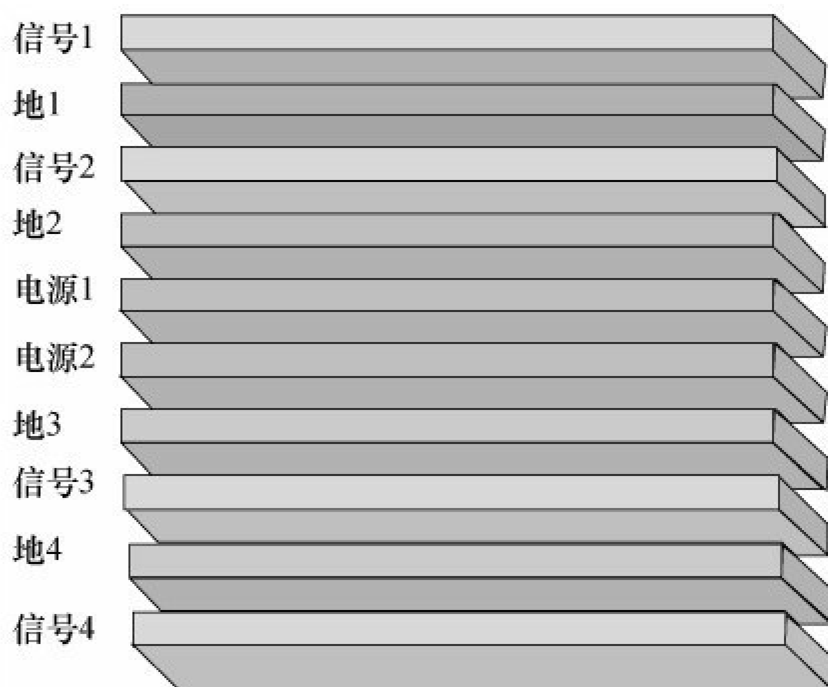


图　4-23　方案4布局

4.1.8　十二层板设计

十二层板结构如图4-24所示，布局方案见表4-2。

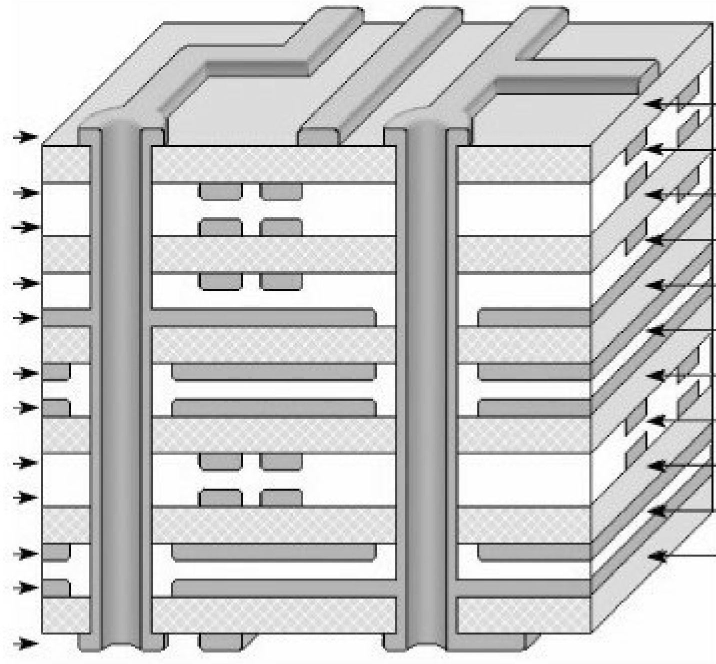


图　4-24　十二层板结构

表 4-2　十二层板布局方案

方　案	1	2	3	4	5
电源层数	1	1	2	2	2
地层数	4	5	4	5	3
信号层数	7	6	6	5	7
层 1	S1	S1	S1	S1	S1
层 2	G1	G1	G1	G1	G1
层 3	S2	S2	S2	S2	S2
层 4	G2	G2	G2	G2	S3
层 5	S3	S3	S3	S3	P1
层 6	P	G3	P1	G3	G2
层 7	S4	P	G3	P1	S4
层 8	G3	S4	S4	P2	S5
层 9	S5	G4	P2	G4	P2
层 10	S6	S5	S5	S4	S6
层 11	G4	G5	G4	G5	G3
层 12	S7	S6	S6	S5	S7

推荐方案2、3，可用方案1、4，备用方案5。

以上方案中，方案2、4具有极好的EMC性能，而方案1、4具有较好的性价比。

对于十四层以及以上的单板，可以按照以上布局原则，根据实际情况具体分析。在具体的设计过程中可根据需要的电源层数、布线层数、特殊布线要求信号的数量、比例及电源、地的分割情况，结合以上原则灵活掌握及运用。

4.2　功能模块电路

PCB的模块划分及关键器件的布局，某些频率发生器件、驱动器、电源模块、滤波器件等在PCB上的相应位置和方向，都会对电磁场的发射和接收产生巨大影响，而且布局的优劣将直接影响到布线的质量。

4.2.1　功能模块分类

一个完整的设计包含了多种功能的电路模块，在进行PCB设计时，可以根据信号流向，对整个电路进行模块划分，从而保证了整个布局的合理性，达到整体布线路径最短，各个模块互不交错以减少模块间相互干扰的可能性。

（1）按频率划分

按信号的工作频率和速度可以把电路模块划分为高、中、低电路。

（2）按信号的类型划分

按信号的种类，电路模块可以分为数字电路和模拟电路两部分。为了降低数字电路对模拟电路的干扰，让它们达到兼容状态，在PCB布局时需要给它们定义不同的区域，从空间上进行必要的隔离以减小相互之间的耦合。对于数、模转换电路，如A/D、D/A转换的电路，应该布放

在数字电路和模拟电路的交界处，器件布放的方向应以信号的流向为前提，使信号引线最短，并使模拟部分的管脚位于数字电路的上方。

（3）按功能划分

各种电路模块具有不同的功能，比如时钟电路、放大电路、驱动电路、A/D转换电路、D/A转换电路、I/O电路、开关电源、滤波电路等。

4.2.2　功能模块布局

电路布局的一个重要原则，就是应该按照信号的流向关系使关键的高速信号走线最短，其次考虑电路板的整齐、美观。时钟信号应尽可能短，如无法缩短，应在时钟信号线的两侧加屏蔽地线。对于比较敏感的信号线，也应考虑屏蔽措施。

时钟电路具有较大的对外辐射，会对一些较敏感的电路，特别是模拟电路产生较大的影响，因此在电路布局时应让时钟电路远离其他无关的线路。为了防止它的对外辐射，一般设计时就应让它远离I/O电路和电缆连接器，如图4-25所示。

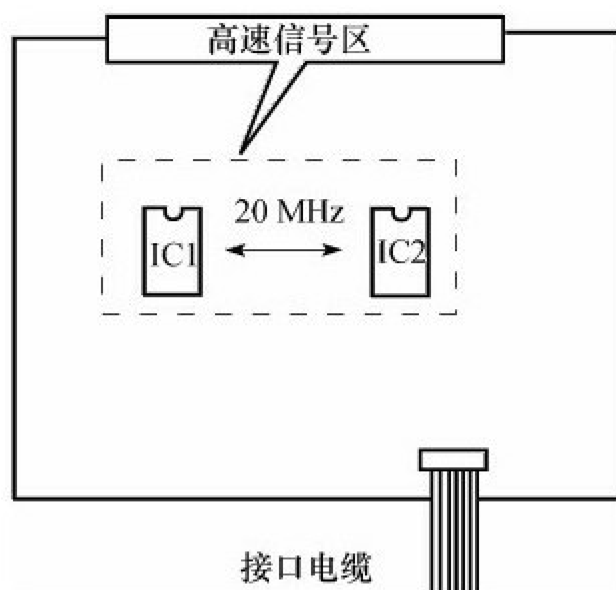


图　4-25　时钟信号远离电缆接口

低频数字I/O电路和模拟I/O电路应靠近连接器，时钟电路、高速电路和存储器等器件常布放在电路板最靠里（远离拉手条）的位置。中低速逻辑电路一般布放在电路板的中间位置。如果有A/D、D/A电路，则应放在电路板最中间的位置，如图4-26所示。

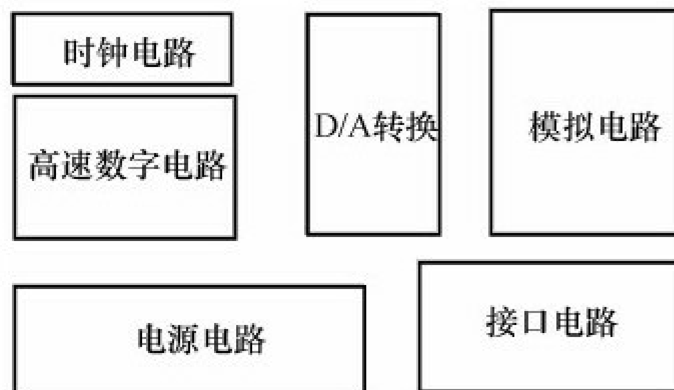


图　4-26　功能电路布局

下面是一些基本要点：

·电路元件和信号通路的布局，必须最大限度地减少无用信号的相互耦合。

·低电子信号通道不能靠近高电平信号通道和无滤波的电源线，包括能产生瞬态过程的电路。

·将低电平的模拟电路和数字电路分开，避免模拟电路、数字电路和电源公共回线产生公共阻抗耦合。

·高、中、低速逻辑电路在PCB上要用不同区域。

·安排电路时要使得信号线长度最小。

·保证相邻板之间、同一板相邻层面之间、同一层面相邻布线之间不能有过长的平行信号线。

·电磁干扰（EMI）滤波器要尽可能靠近EMI源，并放在同一块线路板上。

·DC/DC变换器、开关元件和整流器应尽可能靠近变压器放置，以使其导线长度最小。

·尽可能靠近整流二极管放置调压元件和滤波电容器。

·印制板按频率和电流开关特性分区，噪声元件与非噪声元件要距离再远一些。

·对噪声敏感的布线不要与大电流和高速开关线平行。

（1）电源部分

在分散供电的单板上都要一个或多个DC/DC电源模块，加上与之相关的电路，如滤波、防护等电路共同构成单板电源输入部分。

现代的开关电源多是EMI产生的重要源头，干扰频带可达300MHz以上，系统中多个单板都有自己独立的电源，但干扰却能通过背板或空间传播到其他单板上。而单板供电线路越长，其所产生的干扰越大，所

以电源部分必须安装在单板电源入口处，如果存在大面积的电源部分，也要求统一放在单板的一侧。电源部分放置方向主要是考虑输入输出线的顺畅，避免交叉。

因为单板的电源部分往往是相对比较独立的，又常常会产生EMI问题，所以推荐利用过孔带或分割线将电源部分与其他电路部分进行隔离，如图4-27所示。



图 4-27 电源布局

（2）电感线圈

电感线圈包括继电器，是最有效的接收和发射磁场的器件（在继电器选型时应尽量考虑采用固态继电器），建议电感线圈放置在离EMI源尽量远的地方，发射源可能就是开关电源、时钟输出、总线驱动等。

电感线圈下方PCB板上不能有高速走线或敏感的控制线，如果不能避免一定要考虑电感线圈的方向问题，要确保使场强方向和线圈的平面平行，保证穿过线圈的磁力线最少。

（3）时钟部分

时钟往往是单板的最大干扰源，也是进行PCB设计时最需要特殊处理的，布局时要使时钟源离单板板边（尤其是拉手条）尽量远，还要使时钟输出到负载的走线尽量短。在布线部分中讲过对时钟线要优先考虑排布在内层，并进行必要的匹配和屏蔽处理。

（4）总线驱动部分

随着系统的容量越来越大，总线的速频越来越高，总线的驱动能力要求也越来越高，总线的数量也在大量增加，很难使总线匹配做到完美，所以一般总线驱动器附近的辐射场很强很高。在部分单板的测量过程中，总线驱动部分是时钟之外的另一主要EMI源。

在布局上要求总线驱动部分离单板拉手条的距离要尽量远，以减少对系统外的辐射，同时要求驱动信号到被驱动器件的距离要尽量近。必要时可以考虑在大量的总驱动部分加局部屏蔽体，如图4-28所示。

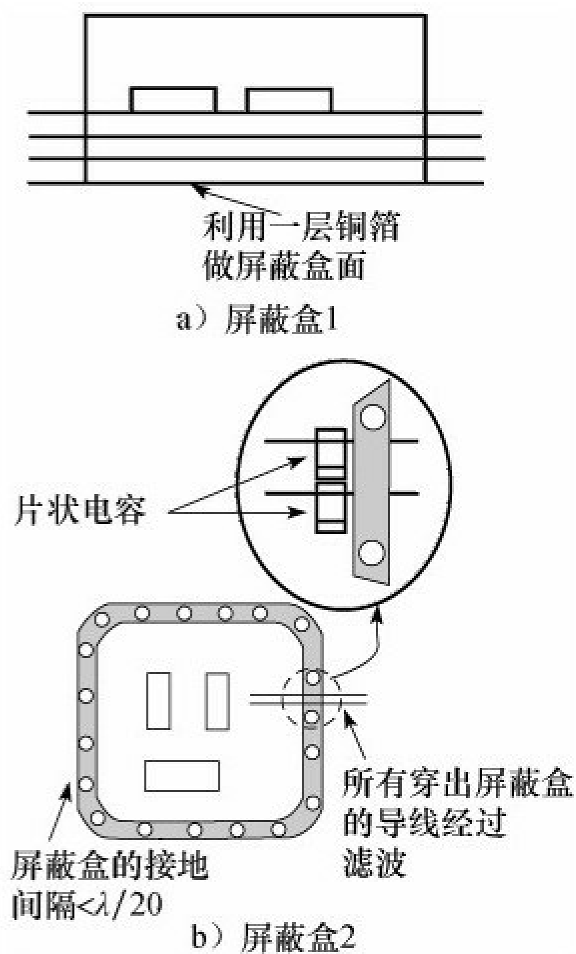


图 4-28 屏蔽

（5）滤波部分

滤波电路常用于滤去整流输出电压中的纹波，一般由电抗元件组成，如在负载电阻两端并联电容器C，或与负载串联电感器L，以及由电容、电感组成的各种复式滤波电路。

由于电抗元件在电路中有储能作用，并联的电容器C在电源电压升高时，能把部分能量储存起来，而当电源电压降低时，就把能量释放出

来，使负载电压比较平滑，即电容C具有平波的作用；与负载串联的电感L，当电源电流增加（由电源电压增加引起）时，它把能量储存起来，而当电流减小时，又把能量释放出来，使负载电流比较平滑，即电感L也有平波作用。滤波措施是必不可少的也是最常用的手段，在原理设计中要经常注意去三端电容、磁珠、耦电容、接口滤波、电源滤波等滤波事项，但在进行PCB设计时，如果滤波器件的位置不对，那么滤波的效果也会降低，甚至起不到滤波的作用。

其安装一般考虑就近的原则，例如：

·电源滤波要尽量靠近电源输入或输出。

·去耦电容要尽量靠近IC的电源管脚。

·局部功能模块的滤波要靠近模块的入口。

·对外接口的滤波要尽量靠近接插件等。

4.3 滤波

滤波器的功能就是允许某一部分频率的信号顺利通过，而另外一部分频率的信号则要受到较大的抑制，它实质上是一个选频电路。滤波器中，把信号能够通过的频率范围，称为通频带或通带，信号受到很大衰减或完全被抑制的频率范围称为阻带。通带和阻带之间的分界频率称为截止频率。理想滤波器在通带内的电压增益为常数，在阻带内的电压增益为零，实际滤波器的通带和阻带之间存在一定的过渡带。

4.3.1 滤波器的分类

滤波器是由电感器和电容器构成的网路，可使混合的交直流电流分开。电源整流器中，即借助此网路滤净脉动直流中的谐波，而获得比较纯净的直流输出。最基本的滤波器，是由一个电容器和一个电感器构成，称为L型滤波。所有各类型的滤波器，都是集合L型单节滤波器而成。基本单节式滤波器由一个串联臂和一个并联臂所组成，串联臂为电感器，并联臂为电容器。在电源及声频电路中的滤波器，最通用者为L型及π型两种。滤波器按照不同的类别分为不同的种类，主要有：

·按所处理的信号分为模拟滤波器和数字滤波器两种。

·按所通过信号的频段分为低通、高通、带通和带阻滤波器四种。

·按所采用的元器件分为无源和有源滤波器两种。

1）无源滤波器：仅由无源元件（L和C）组成的滤波器，它是利用电容和电感元件的电抗，随频率的变化而变化的原理构成的。优点是：电路比较简单，不需要直流电源供电，可靠性高；缺点是：通带内的信号有能量损耗，负载效应比较明显，使用电感元件时容易引起电磁感应，在低频域使用时电感的体积和质量较大。

2）有源滤波器：由无源元件（一般用R和C）和有源器件（如集成运算放大器）组成。优点是：通带内的信号不仅没有能量损耗，而且还可以放大，负载效应不明显，多级级联时相互影响很小，利用简单的级联方法很容易构成高阶滤波器，并且滤波器的体积质量小、不需要磁屏蔽（由于不使用电感元件）；缺点是：通带范围受有源器件（如集成运算放大器）的带宽限制，而且需要直流电源供电，可靠性不如无源滤波器高，在高压、高频、大功率的场合不适用。

在PCB的设计中，滤波既包括专门信号滤波器设计，也包括大量电源滤波电容的使用。滤波的作用：其一，集成芯片的输出状态的变化或者其他原因，会使芯片供电电源上产生一定的噪声，影响芯片自身或其他芯片的正常工作。其二，通过其他方式不能完全抑制进出设备的传导噪声，必须进行有效的滤波。如图4-29a所示，当U7的输出由0变成1时，需要电源V_{cc}对电容C进行充电，电源供电回路上对脉冲充电电流也存在着等效电感L，当电流变化时就会在等效电感上产生电压ΔU。ΔU

一方面可以引起电路功能失效，另一方面也是主要的辐射源，引起单板辐射的增大，因此为了消除上述影响，采用滤波电容可以解决。改进后的电路图如图4-29b所示。

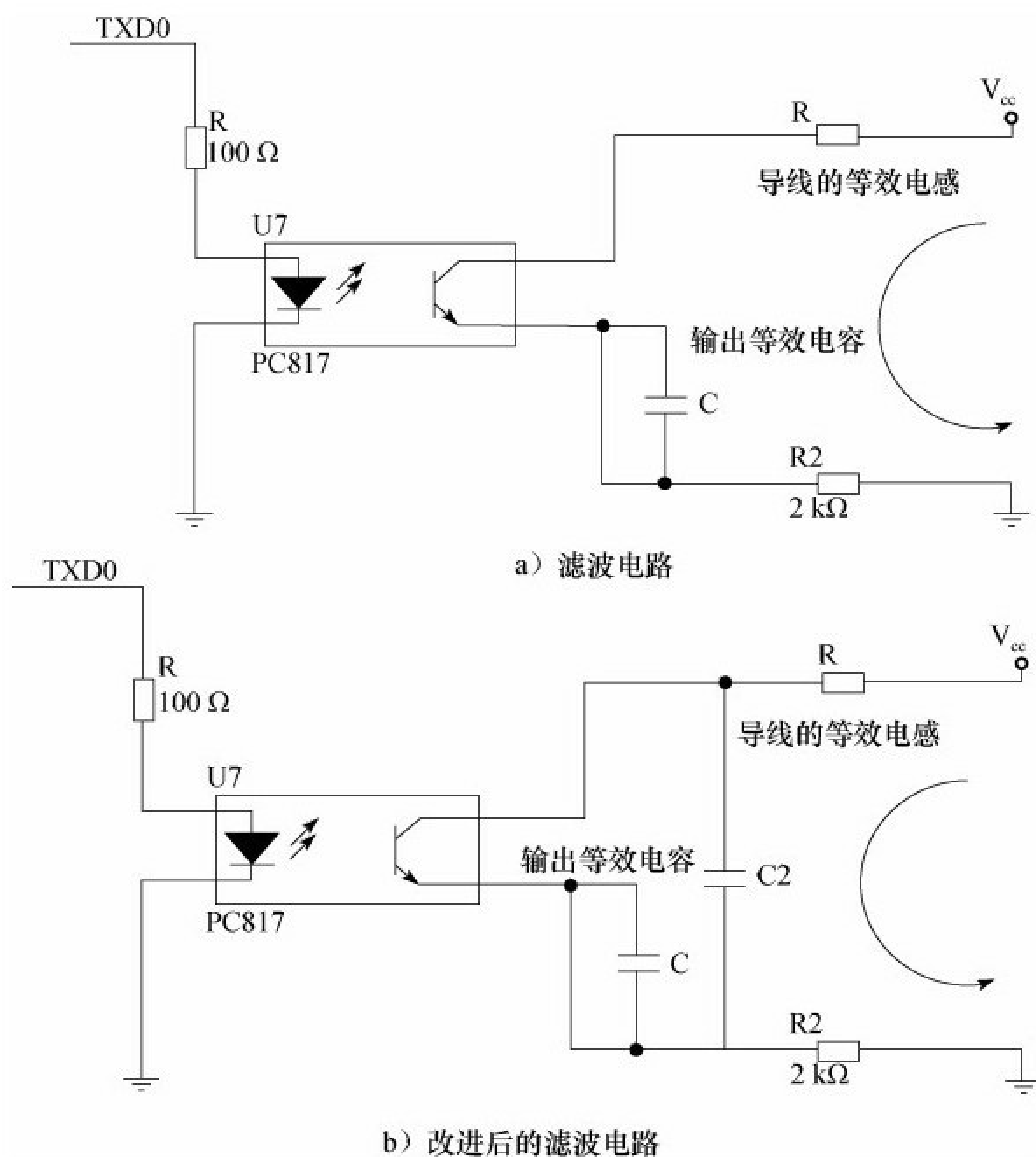


图 4-29 电源滤波电容的应用

如图4-29b所示，当U7的输出由0到1变化时，不再通过V_{cc}提供充电电流，而是通过滤波电容C2的放电来提供所需要的瞬时电流，来完成电路的逻辑转换，这样就可以避免电源线上等效电感L而引起的电源噪声。

4.3.2　滤波器件

常用的滤波器件有很多种，包括电阻、电容、电感、铁氧体磁珠等。器件的高频特性如图4-30所示。

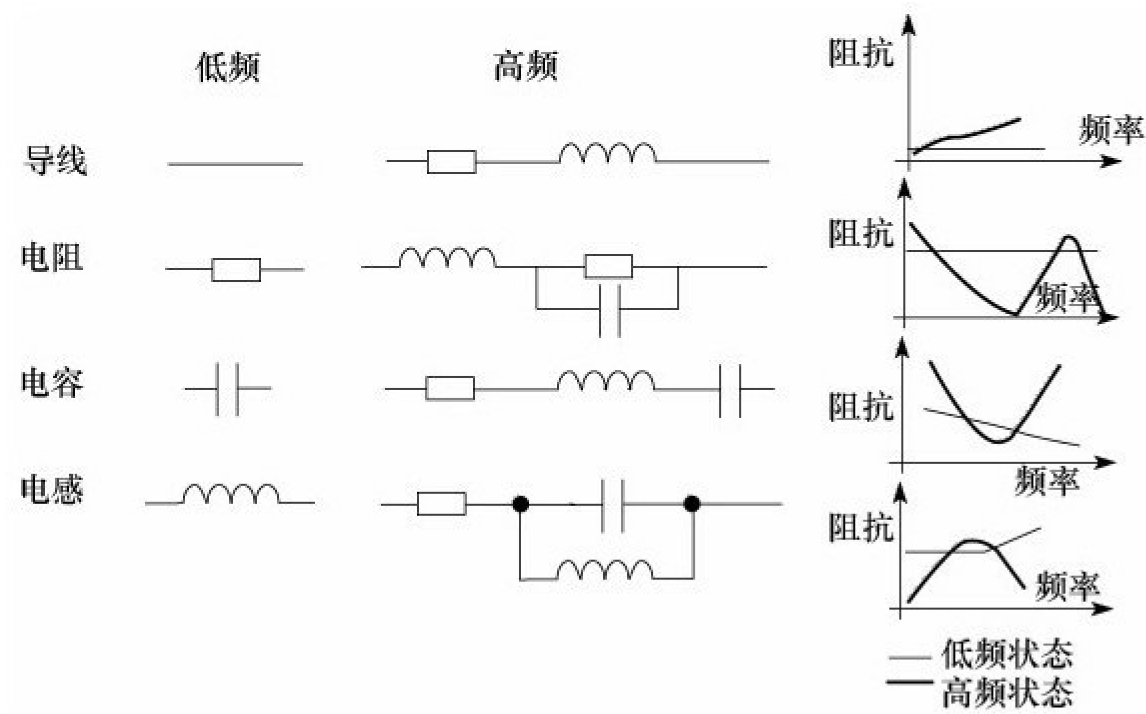


图　4-30　导线、电阻、电感与电容的高频特性和低频特性

1.电阻

电阻不能单独用做滤波，它一般与电容组成RC滤波网络使用。在RC滤波网络中，线绕电阻的寄生电感很容易引起本机振荡，所以必须考虑由电阻引起的电感效应。

2.电容

电容是滤波电路中最常用的器件，一般情况下，电解电容的作用是过滤掉电流中的低频信号，但即使是低频信号，其频率也分为好几个数量级。因此为了适合在不同频率下使用，电解电容也分为高频电容和低频电容（这里的高频是相对而言）。

低频滤波电容主要用于市电滤波或变压器整流后的滤波，其工作频率与市电一致为50Hz；而高频滤波电容主要工作在开关电源整流后的滤波，其工作频率为几千赫兹到几万赫兹。当低频滤波电容用于高频电路时，由于低频滤波电容高频特性不好，它在高频充放电时内阻较大，等效电感较高。因此在使用中会因电解液的频繁极化而产生较大的热量。而较高的温度将使电容内部的电解液汽化，电容内压力升高，最终导致电容的鼓包和爆裂。

电容内绝缘介质材料的特性是电容器综合性能的主要制约因素。实际的电容器不是纯电容，它是由等效电感、电容和等效电阻构成的串联网络。选择电容器类型时，工作频率是一个重要的因素。电容器的最高使用频率，通常受电容器的电感和引线长度限制。在某些频率上电容器会因电感产生自谐振荡。电容的谐振频率由等效电感和电容共同决定，电容的电感值越大，则谐振频率越低，也就是电容的高频滤波效果越差。等效电感与电容器的引线长度有很大的关系，引线越长，则电感越大，电容的谐振频率越低。因此，在实际应用中，应尽量使电容器的引

线短一些。另外，电容器中的介质参数受温度和电压的影响会产生一定的变化，电容值也随之变化。

3.电感

由于电阻和寄生电容的存在，使电感存在一个自谐振频率fe，电感在此低频范围内表现为电感的特性，但高于此频率范围则表现为电容的特性，这是在计算滤波器的插入耗损时特别需要注意的地方。

常见的滤波电感主要有：共模滤波电感、差模滤波电感和整流滤波电感。前两种电感主要用于各种线路滤波器，工作在交流条件。而第三种亦称为平滑扼流圈的滤波电感，用来滤除整流后的交流纹波，使整流后的直流部分更加平稳。由于它工作在直流条件，不得不考虑直流磁化对电感的影响。

整流滤波电感工作在大直流电流条件，工作电流变化，引起电感值的变化越小越好。就是说要求磁芯的直流磁化影响较小，即具有某种恒磁导特性。由于直流磁化的影响，电感趋于饱和，电感量会随着工作电流增加而减小。所谓恒磁导特性，亦可称为恒电感特性，是指电感在一定的直流磁化力范围内其电感量不低于初始电感量的一半。掌握了这个特性，就可以通过挑选不同的磁芯，不同的规格，以达到不同的百分比要求。

4.铁氧体磁珠

磁珠有很高的电阻率和磁导率，等效于电阻和电感串联，但电阻值和电感值都随频率变化，如图4-31所示。它比普通的电感有更好的高频滤波特性，在高频时呈现阻性，所以能在相当宽的频率范围内保持较高的阻抗，从而提高调频滤波效果。

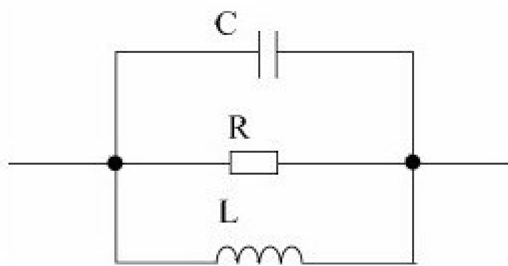


图　4-31　磁珠等效电路

作为电源滤波，可以使用电感。磁珠的电路符号就是电感，但是型号上可以看出使用的是磁珠。在电路功能上，磁珠和电感的原理相同，只是频率特性不同。磁珠由氧磁体组成，电感由磁心和线圈组成，磁珠把交流信号转化为热能，电感把交流信号存储起来，缓慢地释放出去。磁珠对高频信号才有较大阻碍作用，一般规格有100Ω/100MHz，它在低频时电阻比电感小得多，如图4-32所示。铁氧体磁珠（Ferrite Bead）是目前应用发展很快的一种抗干扰组件，廉价、易用，滤除高频噪声效果显著。

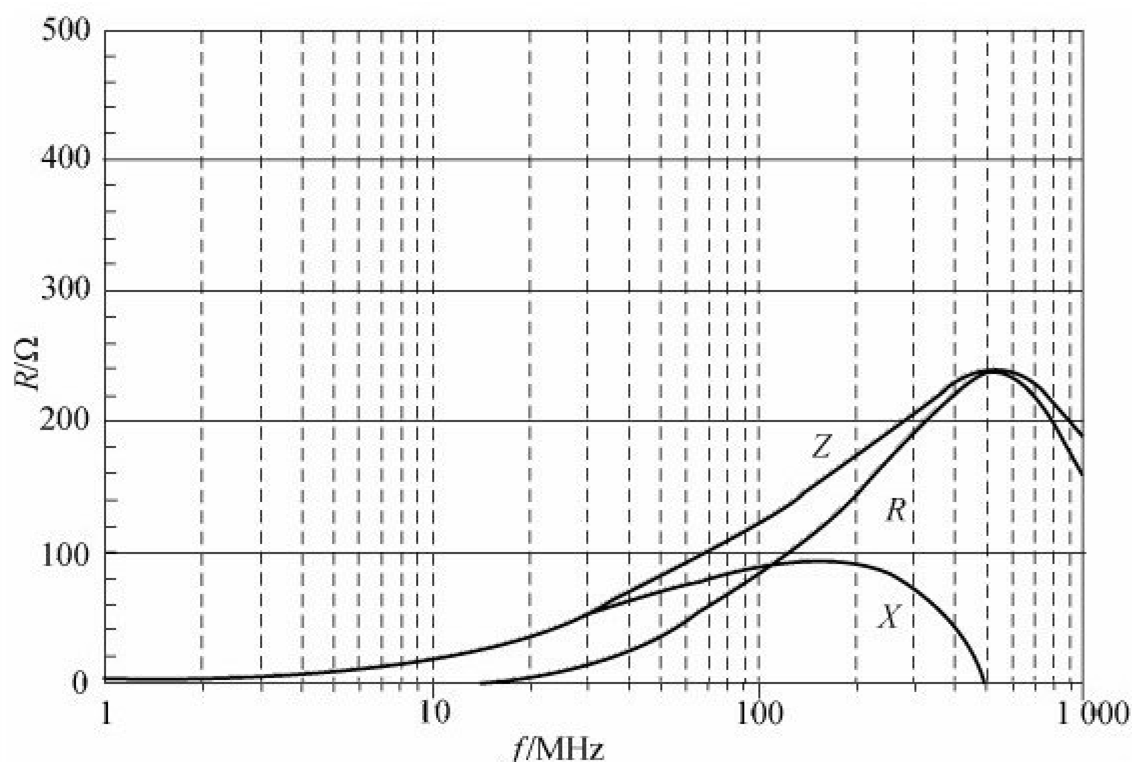


图　4-32　典型的铁氧体磁珠的频率特性

电感是储能元件，而磁珠是能量转换（消耗）器件。电感多用于电源滤波回路，侧重于抑制传导性干扰；磁珠多用于信号回路，主要用于EMI方面。磁珠用来吸收超高频信号，如一些RF电路、PLL、振荡电路，以及含超高频存储器电路（DDR、SDRAM、RAMBUS等）都需要在电源输入部分加磁珠，而电感是一种储能元件，用在LC振荡电路、中低频的滤波电路等，其应用频率范围很少超过50MHz。

5.共模电感

共模电感插入传输导线对中，可以同时抑制每根导线对地的共模高频噪声。通常的做法是把两个相同的线圈绕在同一个铁氧体环上，铁氧

体磁损较小，绕制的方法使得两线圈在流过共模电流时，磁环中的磁通相互叠加，从而具有相当大的电感量，对共模电流起到抑制作用。而当两线圈流过差模电流时，磁环中的磁通相互抵消，几乎没有电感量，所以差模电流可以无衰减通过，如图4-33所示。共模电感实质上是一个双向滤波器：一方面要滤除信号线上共模电磁干扰，另一方面又要抑制本身不向外发出电磁干扰，避免影响同一电磁环境下其他电子设备的正常工作。

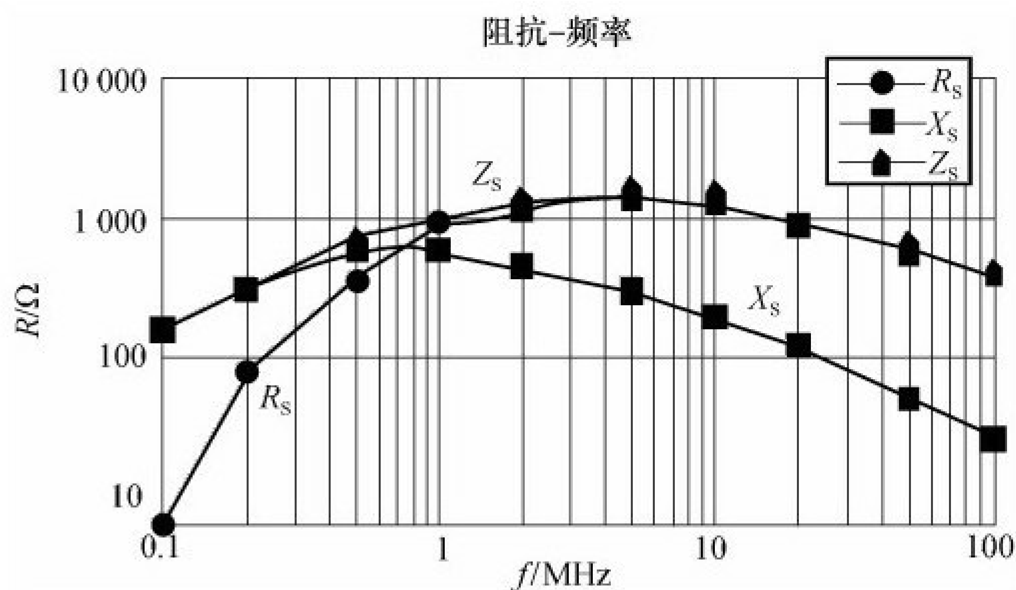


图　4-33　典型的共模电感的频率特性

4.3.3 滤波电路

在EMC的设计中，由于滤波的作用基本上是衰减高频噪声，所以滤波器通常都设计为低通滤波器。

1.电阻滤波电路

RC-π型滤波电路，实质上是在电容滤波的基础上再加一级RC滤波电路组成的，如图4-34所示。若用S表示C_1两端电压的脉系数，则输出电压两端的脉动系数S=（1/ωC_2R）S。由分析可知，电阻R的作用是残余的纹波电压降落在电阻两端，最后由C_2再旁路掉。在ω值一定的情况下，R愈大C_2愈大，则脉动系数愈小，也就是滤波效就越好。而R值增大时，电阻上的直流压会增大，这样就增大了直流电源的内部损耗；若增大C_2的电容量，又会增大电容器的体积和重量，实现起来也不现实。这种电路一般用于负载电流比较小的场合。

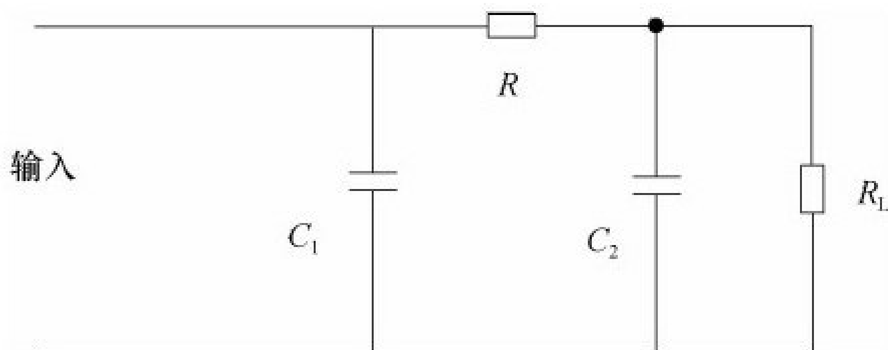


图 4-34 电阻滤波电路

2.电感滤波电路

根据电抗性元件对交、直流阻抗的不同，由电容C及电感L所组成的滤波电路的基本形式如图4-35所示。因为电容器C对直流开路，对交流阻抗小，所以C并联在负载两端。电感器L对直流阻抗小，对交流阻抗大，因此L应与负载串联。

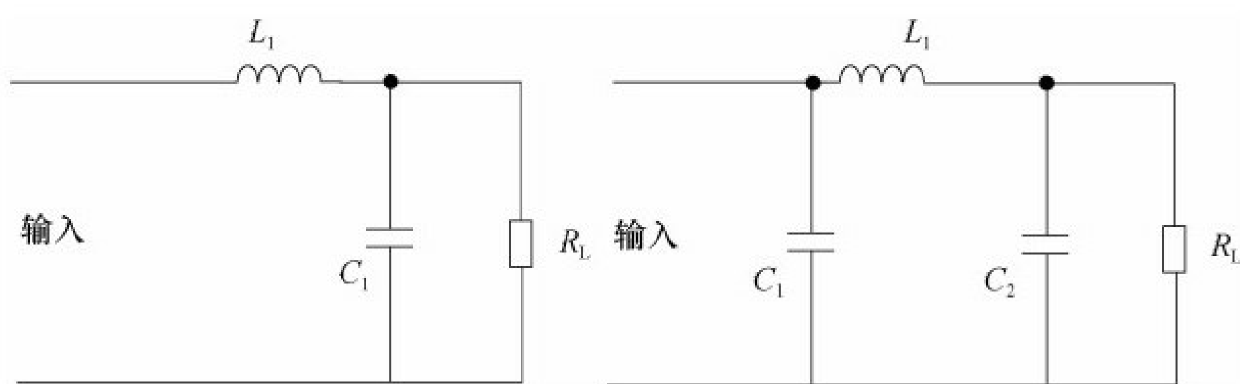


图 4-35 电感滤波电路

3.电容滤波电路

图4-36所示为电容滤波器，适用于高频时源阻抗和负载阻抗较大的场合。

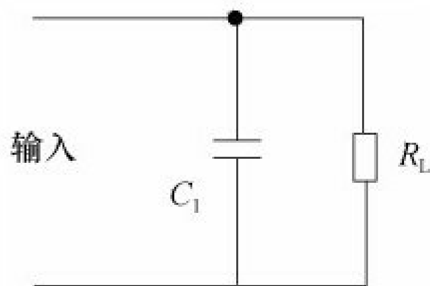


图 4-36 电容滤波电路

4.EMI滤波器

还有一种经常使用的滤波器是电源用EMI滤波器，其结构形式如图4-37所示。

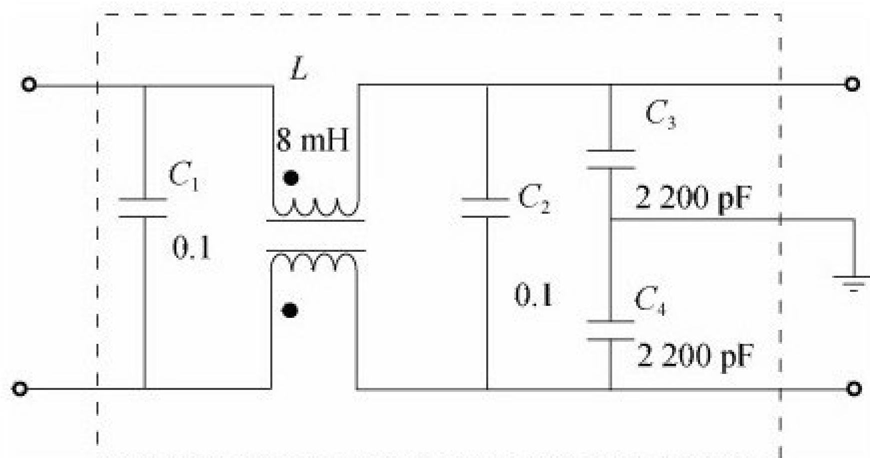


图 4-37 电源EMI滤波器

电源滤波器有两个输入端、两个输出端和一个接地端，使用时外壳应接通大地。电路中包括共模扼流圈（亦称共模电感）L、滤波电容C_1～C_4。L对串模干扰不起作用，但当出现共模干扰时，由于两个线圈的磁通方向相同，经过耦合后总电感量迅速增大，因此对共模信号呈现很大的感抗，使之不易通过，故称做共模扼流圈。它的两个线圈分别绕在低损耗、高导磁率的铁氧体磁环上，当有电流通过时，两个线圈上的磁场就会互相加强。L的电感量与EMI滤波器的额定电流I有关。

需要指出，当额定电流较大时，共模扼流圈的线径也要相应增大，以便能承受较大的电流。此外，适当增加电感量，可改善低频衰减特

性。C_1和C_2采用薄膜电容器，容量范围为0.01～0.47μF，主要用来滤除串模干扰。C 3和C 4跨接在输出端，并将电容器的中点接地，能有效地抑制共模干扰。C_3和C_4亦可并联在输入端，仍选用陶瓷电容，容量范围为2200pF～0.1μF。为减小漏电流，电容量不得超过0.1μF，并且电容器中点应与大地接通。C_1～C_4的耐压值均为630V（DC）或250V（AC）。

4.3.4　滤波器的布局与布线

滤波器电路在布局布线时必须严格注意以下4点：①滤波电路的地应该是一个低阻的地，同时不同的功能电路之间不存在共同阻抗；②滤波电路的输入输出不能相互交叉走线，需要隔离；③在设计中应该注意使信号路径尽量短，尽量简洁，尽量减小滤波电容的等效串联电感和等效串联电阻；④接口滤波电路应该尽量靠近接插件。

4.4　接地

在电力系统中，将设备和用电装置的中性点、外壳或支架与接地装置用导体作良好的电气连接叫做接地。接地就是指在系统与某个电位基准面之间建立低阻的导电通路。“接大地”就是以地球的电位为基准，并以大地作为零电位，把电子设备的金属外壳、电路基准点与大地相连接。工作接地是为了使系统以及与之相连的仪表均能可靠运行并保证测量和控制精度而设的接地。它分为机器逻辑地、信号回路接地、屏蔽接地。机器逻辑地也叫主机电源地，是计算机内部的逻辑电平负端公共地，也是+5V等电源的输出地。信号回路接地，为降低干扰对信号传输的影响，减少附加误差进行的接地。有两种情况：一是仪表自身结构需要的事实上的接地，二是为抑制干扰而需要设置的接地。如各变送器的负端接地，开关量信号的负端接地等。屏蔽接地是输入信号的屏蔽层的接地。

接地的作用总的来说有两个：保护人员和设备不受损害，即保护接地；保障设备的正常运行，即工作接地。保护接地主要是实现静电泄放，以提高设备的工作稳定性，保护人身安全。接地是抑制电磁干扰、提高电子设备EMC性能的重要手段之一，正确的接地既能提高产品抑制电磁干扰的能力，又能减少产品对外的EMI发射。

4.4.1 基本接地方法

计算机系统的直流地是数字电路的基准电位，不一定是大地电位，如该地线经一低阻通路接至大地，则该地线的电位可被认为是大地电位，称为接大地。在计算机术语中人们常常把计算机设备直流地的接地形式称为计算机的接地。

1.直流地悬浮和直流地接大地

从目前的接法及形式看，与大地的接法不外乎两种：一是直流地悬浮；二是直流地接大地。

（1）直流地悬浮

直流地悬浮就是直流地不接大地，与地严格绝缘，要求对地电阻的大小一般在1MΩ以上。那么直流地为什么要悬空？因为如果数字电路的直流地与交流地接在一起，有可能引入交流电力网电压的干扰，为了防止这种干扰需要把交流地和直流地严格分开。

直流地悬浮的缺点是：由于交流电电网的中线一般接地（接大地）就等于把数字电路的直流地也接大地，因此这样容易形成漏电，使交流与直流两者之间形成电流回流；还可能因直流地悬浮使这些设备带有瞬态电压，通过相互间连线的电容耦合而干扰邻近设备，万一发生交流火

线与机柜相碰现象，就会使机柜带有很高的交流电压，如果机柜无安全地，大量的静电荷无处可去，积聚到机柜外壳上，使静电荷越积越多，影响机器的稳定运行，遇雷雨季节而避雷设备又不完善时，会遭雷击的危害。

（2）直流地接大地

直流地接大地就是将计算机机房中数字电路的等位地与大地相接。为了取得一定的公共电位，以减少电路的耦合，降低干扰影响，减少电气元件的电腐蚀和因线路对地绝缘不良而产生的串音等现象，一般接地电阻应小于4Ω。

直流地接大地方式克服了直流地悬空所带来的问题，在计算机局域网机房系统中采用直流地接大地。由于直流地与机柜外壳是分开的，因此机柜外壳接大地为高频干扰提供了低阻通路，可防止高频干扰和静电。

2.串联接地、并联接地和网状接地

直流地的接法可以分为三类：串联接地、并联接地和网状接地。

（1）串联接地

机房中设备的直流地线以串联的方式接在直流地的铜皮上，此种接法虽然会造成个别处电位有差异，但由于电阻非常小，所以在简单的接

地系统中应用较多。其缺点是在要求较高配置时，从防止噪声的角度来看，因串联接地，各串联的电阻使得各点电位产生偏差，容易产生噪声。

（2）并联接地

此方法中各电路的地电位只与本电路的地电流和地线阻抗有关，各点间的电位差较平衡，可获得较好的低频接地，因此应用得较多。由于计算机的直流电压较低，因此各机架之间的地电流不容易形成耦合，但这种连接方式需要很多根地线，布线较繁杂。

（3）网状接地

在大型机房中，对地要求相对严格，目前广泛使用网状地线作为直流地，称为网状接地。直流网状地是用一定截面积的铜带在活动地板下面交叉排列成600mm×600mm的方格，其交叉点与活动地板支撑点的位置交错排列，交点处用锡焊焊接或压接在一起。为了使直流网状地和大地绝缘，在铜带下面应垫2～3mm厚的绝缘胶皮或聚氯乙烯板等绝缘材料，要求对地电阻在10MΩ以上。

直流网状地系统不仅有助于更好地保证逻辑电路电位参考点的一致，而且大大提高了机器内部和外部抗干扰能力。但是网状地系统比较庞大，施工复杂，且费用较高，因而只适合在大型计算机机房中应用。

3.基本接地

在电子设备电路设计中有三种基本接地方式：单点接地、多点接地和浮地。

（1）单点接地

单点接地是整个系统中只有一个物理点被定义为接地参考点，其他各个需要接地的点都连接到这一接地点，适用于频率较低的电路中（1MHz以下）。如图4-38所示。若系统的工作频率很高，以至工作波长与系统接地引线的长度可比拟时，单点接地方式就有问题了。当地线长度接近于1/4波长时，它就像一根终端短路的传输线，地线的电流、电压呈驻波分布，地线变成了辐射天线，而起不到“地”的作用。为了减少接地阻抗，避免辐射，地线的长度应小于1/20波长。在电源电路的处理上一般可以考虑单点接地的方式，而对于大量采用的数字电路，由于其含有丰富的高次谐波，一般不建议采用单点接地的方式。

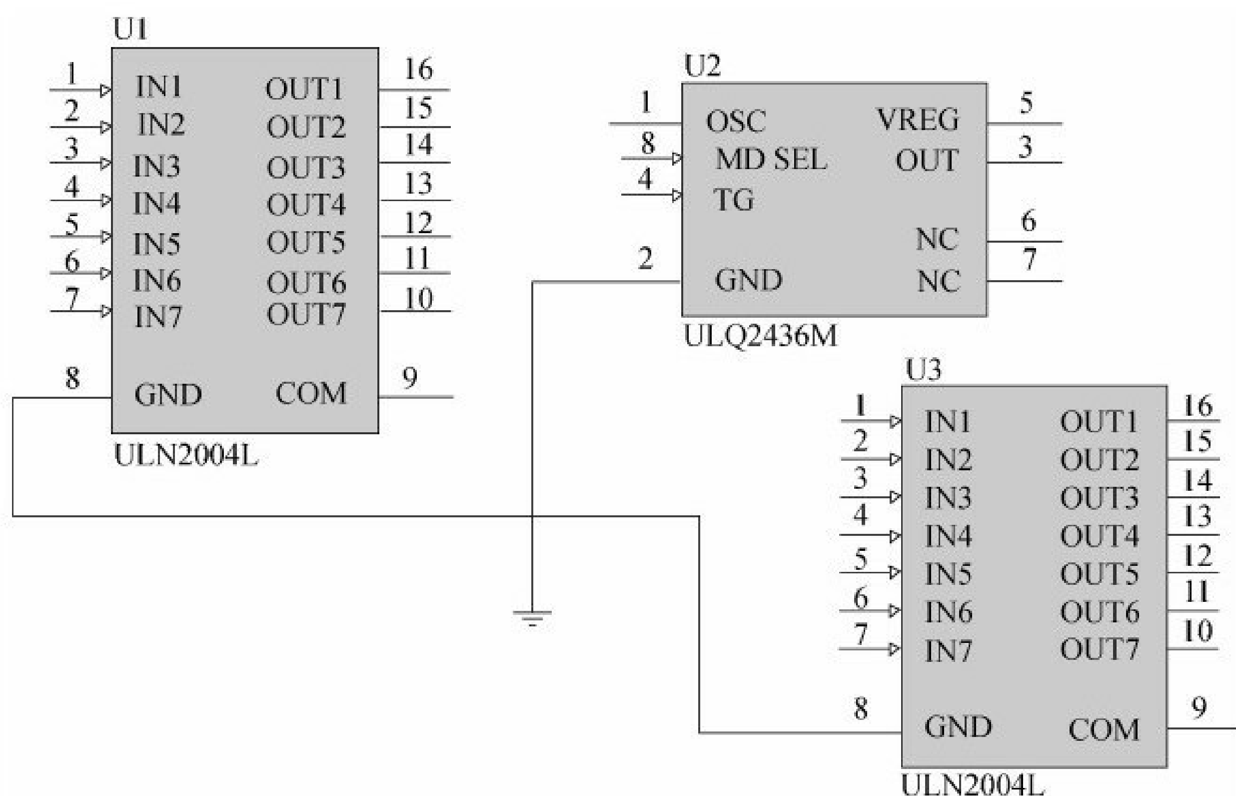


图　4-38　单点接地

（2）多点接地

多点接地是指设备中各个接地点都直接接到距它最近的接地平面上，使得其接地引线的长度最短。多点接地电路的结构简单，接地线上出现高频驻波的现象减少，适用于工作频率较高的（大于10MHz）场合，但多点接地可能会导致设备内部形成许多接地回路，从而降低设备对外界电磁场的抵御能力。在这种情况下要注意地线回路的问题，尤其是在不同的模块、设备之间组网时地线回路导致的电磁干扰。

理想的地线应是一个零电位、零阻抗的物理实体。但实际的地线本

身既有电阻分量又有电抗分量，当有电流通过该地线时就会产生电压降。地线会与其他连线（信号、电源线等）构成回路，当交变电磁场耦合到该回路时，就会在地线回路中产生感应电动势，并由地线回路耦合到负载，构成潜在的EMI威胁，如图4-39所示。

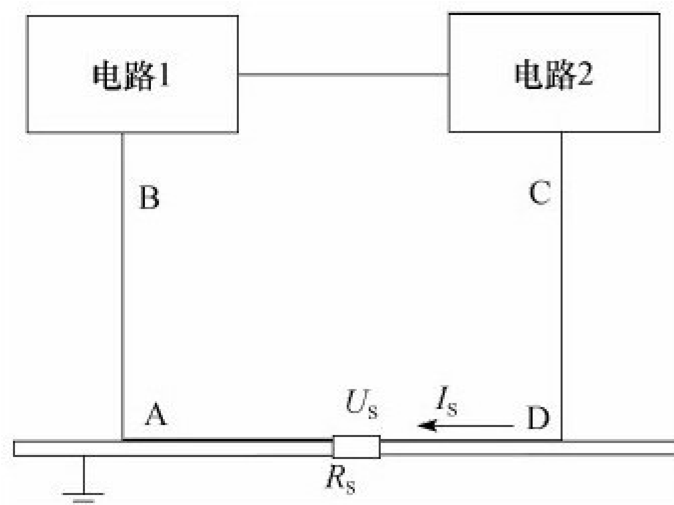


图　4-39　公共地阻抗耦合

由于分布电容的作用，在传输线与地之间存在回路A—B—C—D。由于地阻抗的存在，当地电流I_S流过地平面时，会在R_S上产生电压降U_S，即该电路的B、C两点之间会出现电压降，从而引起电流在导线中流动。由于其流过的路径的阻抗不同，致使阻抗不平衡在负载两端引起差模电压，此即为地线回路EMI的来源之一。

（3）浮地

浮地是一种将电路或设备与公共接地平面或可能引起环路电流的公

共导线进行电隔离的方法。浮地的效果取决于是否做到完全浮地。实际上，要做到完全隔离，在很多情况下是很困难的，而且完全隔离有时还存在一定的危险。因为设备不与大地相连，容易出现静电积累，当积累的电荷达到一定程度后，若人员触及设备外壳就会产生静电放电，或者在设备和大地之间会自然产生具有强大放电电流的静电击穿现象，这种放电现象是破坏性很大的强干扰源。为此，对浮地提出了一种折中方法，就是必要时在采用浮地的设备与大地之间接入一个电阻值很大（约几兆欧）的泄放电阻，以消除静电积累的危险。

由于浮地自身的一些弱点，不太适合用在一般的大系统上，其接地方式很少采用，因此不作详细说明。

4.接地方式选取原则

对于给定的设备或系统，在所关心的最高频率（对应波长为λ）上，当传输线的长度L＞λ时，则视为高频电路，反之，则视为低频电路。根据经验法则，对于低于1MHz的电路，采用单点接地较好；对于高于10MHz的电路，采用多点接地为最佳。对于介于两者之间的频率，只要最长传输线的长度L＜λ/20，则可以采用单点接地以避免公共阻抗耦合。

下面是接地的一般选取原则：

·低频电路小于1MHz，采用单点接地。

·高频电路大于10MHz，采用多点接地。

·高低频混合电路，采用混合接地。

4.4.2 混合接地方式的种类

一个好的接地系统，其上的两点之间的电位与线路中任何功能部分的电位相比较，都可以忽略不计。一个差的接地系统，可使寄生电压和电流耦合到电路、组件或设备，会使屏蔽很好的单元降低屏蔽效果，使性能良好的滤波器不能发挥其优势，而且产生严重的电磁干扰。

1.共用地线串联一点接地

共用地线串联一点接地会形成共地干扰，其大小通过对地线电阻的分析计算可以得出。从防止噪声和抑制干扰的角度出发，这种接地方式是最不适用的，但由于它的线路比较简单，因此应用的场合仍然较多。当各电路的电平相差不大时可以使用，使用时注意要把相对电平较低的电路，放在距接地点最近的地方。而若各电路的电平相差较大，则不能使用这种接地方式。因为高电平电路将会产生很大的地电流，形成大的电位差并干扰到低电平电路。如图4-40所示。

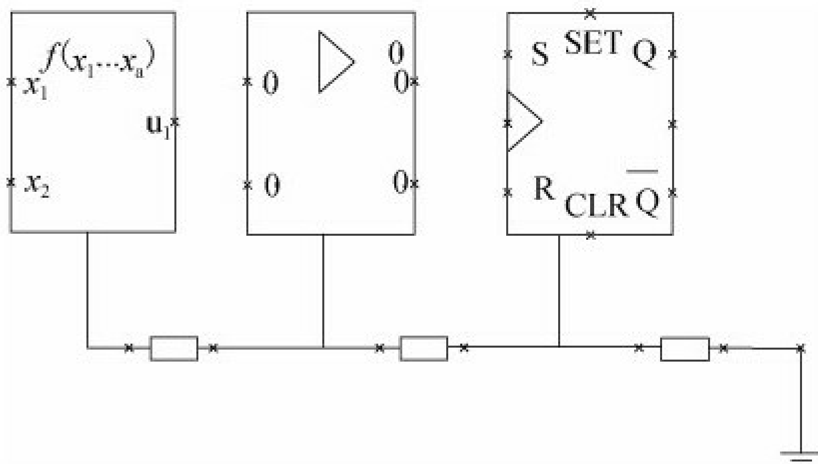


图 4-40 串联一点接地

2.独立地线并联一点接地

采用独立地线并联一点接地方式的各电路的地电位，只与本电路的地电流及地线阻抗有关，不受其他电路的影响，所以它最适用于低频电路。但这样做时地线根数多，使用麻烦，结构笨重；另外分别接地势必增加地线长度，从而增加了地阻抗，会引入较大的接地干扰。这种接地方式可能还会造成各地线相互间的电感耦合，且随着频率增加，地线阻抗、地线间的电感及电容耦合都会增加，因此这种接地方式不适合于高频电路。当频率升高，特别是当地线长度是1/4波长的奇数倍时，地线阻抗变得很高，地线变成了天线，向外辐射干扰信号。所以一般地线长度不应超过信号波长的1/20，以防止辐射发射，并降低地线阻抗。如图4-41所示。

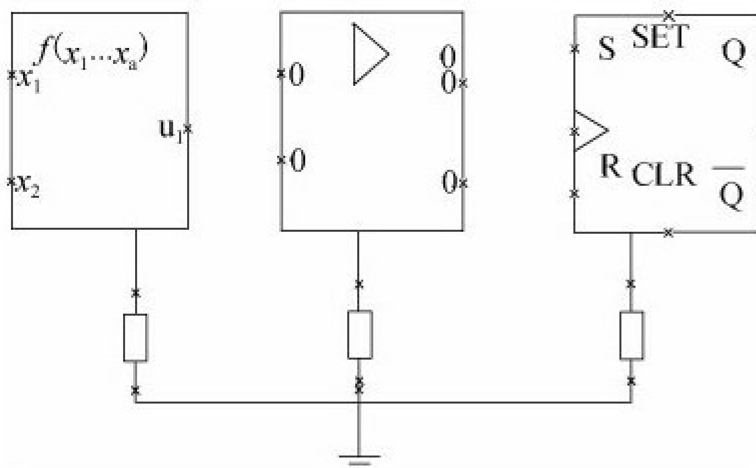


图 4-41 并联一点接地

3.独立地线并联多点接地

为了降低地线阻抗，在高频段都使用多点接地方式，即电路中所有的地线分别连至最近的低阻抗公共地（一般是机壳）。为了降低电路的地电位，每个电路的地线应尽可能缩短，以降低地线阻抗。在高频时，由于趋肤效应，高频电流只流经机壳表面，即使加大机壳厚度也不能降低阻抗。为了在高频时降低地线阻抗，通常要将地线和公共地镀银。另外，在导体截面积相同的情况下，为了减少电阻，常用矩形截面导体做成地线带。这种接地方式中电路和机壳在许多点搭接（L＜0.1λ），使驻波最小，通常用于具有相同噪声特性的高频电路。这种系统要求仔细维护，因为可能产生许多接地回路，而且不应用于敏感电路。

一般说来，频率在1MHz以下可采用一点接地方式；当频率高于10MHz应采用多点接地方式；而当频率在两者之间时，如用一点接地，

则其地线长度不得超过λ/20，否则应用多点接地。如图4-42所示。

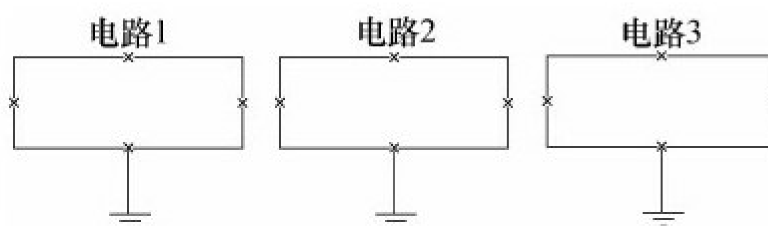


图　4-42　独立地线并联多点接地

4.电路系统的分组接地

电路系统在低频时多采用串并联一点接地的综合接法，即在符合噪声标准和简单易行的前提下统筹兼顾，分组接地。低电平电路经一组共同地线接地，高电平电路经另一组共同地线接地，甚至还有更多的分组地线接地。注意不要把功率相差很大、噪声电平相差很大的电路接入同一组地线。具有相同噪声特性的电路连接在一起，敏感的电路应离单点地最近。为了减少公共阻抗耦合，干扰最大的电路也应最靠近公共点。这种装置减少了所需地线的总数，使高频电路有良好的局部接地，但在那些对公共阻抗耦合不敏感的电路之间会产生一些公共阻抗耦合。当电路板上有分开的模拟地和数字地时，应当将二极管背靠背互连以防止电路板上的静电积累，并可以避免当电路断开时两个地不能同步断开而造成电路损坏。如图4-43所示。

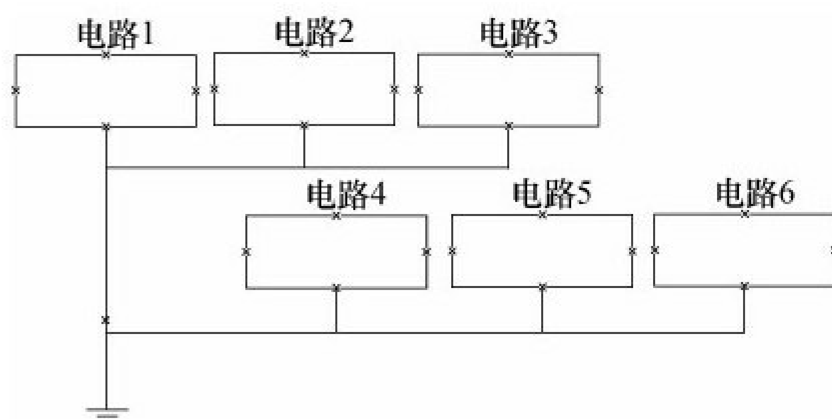


图　4-43　分组接地

5.混合接地

当单点接地和多点接地均无法单独满足系统要求时，可以采取由浮地、单点接地和多点接地系统组合而成的混合接地系统（一种很常见的安排）。混合接地使用电抗性器件（电感和电容）使接地系统在低频和高频时呈现不同的特性。这在宽带灵敏电路中是必要的。如图4-44所示。

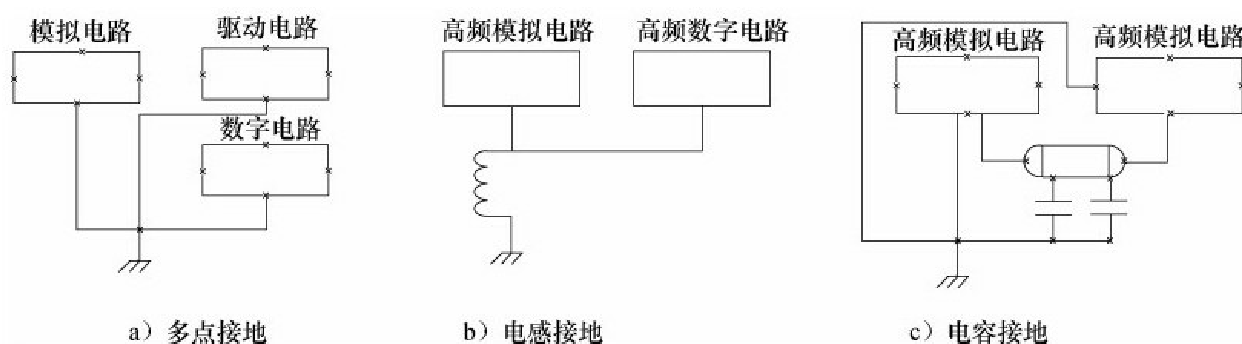


图　4-44　混合接地

在图4-44a中，数字电路采用多点接地方式，并通过一根接地线与

系统地其他电路单点接地。

在图4-44b中，使用一个约1mH的电感器用来泄放静电，同时将高频电路与机壳地隔离。

在图4-44c中，电容器沿着电缆每0.1λ长度安放，可防止高频驻波并避免低频接地回路。

当采用图4-44b、图4-44c两种安排时，必须小心避免接地系统中分布电容和电感引起的谐振现象。在使用电抗元件作接地系统的一部分时，应注意寄生谐振的现象，这种谐振会使干扰增强。例如，当在一条自感为0.1μH的电缆上使用电容量为0.1μF的电容时，将在1.6MHz处产生谐振。在这个频率上，电缆的屏蔽层根本没有接地。当将直流地和射频地（例如可以是机箱或机架结构）分开时，将每个子系统的直流地通过10～100nF的电容连到机架上。这两种地应在一点由低阻抗连接起来，连接点应选在最高频率（di/dt）的信号所在的位置，如处理器的母板或插卡的主板。

4.4.3　接地点的选择

为了保证电路正常工作，同时又尽量减少接地干扰，必须恰当地选择接地点的个数及接地点的位置。

1）放大器与信号源之间接地点的选择：宜单点接地，并选择放大器的共同参考点作为接地点，而将信号源与地隔离，这样做可以抑制噪声干扰。

2）多级电路接地点的选择：一般来说，电子设备中的低电平级电路是受干扰电路，因此接地点选择在低电平级电路的输入端。

3）高增益放大器屏蔽体接地点的选择：高增益放大器常以金属外壳作屏蔽，以防止外来电场的干扰。屏蔽与接地须共同作用才能使干扰降至最低。为了这个目的及电路的稳定性，屏蔽体必须接到放大器的共同参考线上。

4）低频电缆屏蔽体接地点的选择：低频电路使用的电缆外屏蔽导体也要单点接地。唯一可行的办法是将未接地屏蔽层直接接于放大器的共同参考点。

5）同轴电缆与屏蔽绞线接地点的选择：宜选择单端接地。若两端都接地，则因两端地电位不可能相同而使对干扰的抑制效果较差。若技

术上要求两端都接地，则应使一部分的地线回路电流经由低阻抗的屏蔽层，而不经由同轴电缆的中心导体或信号绞线。若要得到更好的抗干扰能力，则可使用隔离变压器、光电耦合装置等以达到要求。

4.4.4　搭接

电子设备中，金属部件之间的低阻抗连接称为搭接。例如：电缆屏蔽层与机箱之间的搭接；屏蔽体上不同部分之间的搭接；滤波器与机箱之间的搭接；不同机箱之间的地线搭接。

搭接是将两个金属构件以低阻抗通路连接起来，如果其中一个金属构件是地平面，则这种搭接就是接地。良好搭接是减少电磁干扰所必需的，因为良好搭接可以减小设备电位差引起的干扰，同时使接地阻抗减小，这就减少了地电压形成的环路干扰。此外，良好搭接能使屏蔽、滤波等抑制干扰的设计目的得以实现。

在直流的情况下，搭接的有效性体现于搭接的直流电阻。直流电阻常用来说明搭接的质量。一般规定其值为0.1mΩ以下，最大不得超过2.5mΩ。随着频率的增加，趋肤效应使这一电阻或阻抗增加。因此，在射频频段，搭接处出现的自感及搭接面之间的电容都会对搭接的有效性产生影响。为了减小搭接的阻抗，应尽量减小搭接条的长宽比，此比值一般不应超过5。

1.搭接的种类

搭接有直接搭接、间接搭接（有中间导体）和永久结构（焊接、熔

接、锻造、铆接）等。因为搭接片在高频时呈现很大的阻抗，所以间接搭接不用于高频。无论是直接搭接还是间接搭接，都要求首先对搭接面进行净化处理，有时还需要在其表面镀银或镀金来使搭接面覆盖良导电层。另外，有些情况下还要注意避免搭接可能出现的腐蚀现象及化学电池作用。

最好的搭接是直接的、永久的和相同金属-金属的接触，是通过钎焊、铜焊、银焊等焊接的方法使其搭接起来，焊缝的长度要大于导体的重叠部分。雷电保护接地系统至少采用12号铜线或10号铝线，且搭接截面积大于等于5mm^2。

金属-金属间直接压制搭接是用螺栓、铆钉或机械螺丝将导体搭接在一起，搭接压力达8300～10300 kPa（对软金属压力要低，即每平方英寸1200～1500磅）。螺栓的法兰垫圈或弹簧垫圈要保持紧配合。截面积大于650mm^{2}的搭接，其搭接电阻应为0.1mΩ。

另一种方法是在金属表面上涂导电涂料加压形成。这种搭接电阻典型值是几毫欧，但是在1MHz时超过1Ω。导电胶可以用于屏蔽室缝隙密封和另外的地方，如可能有一点要移动的地方。这些搭接压力大约为69 kPa。

2.搭接要求

为了使搭接可拆卸或用做减震的组件，使用金属搭接条、编织条或

导线。搭接条或跨接条既要方便检修，又要防止偶然损坏（同时还要满足空间要求）。搭接条应短而宽，长度比为5以下，应优选为3，以使接地阻抗最小。接地搭接条绝不能串联连接。铜搭接条厚度应小于等于0.1mm，宽应大于等于0.2mm，而铝搭接条厚度应小于等于0.2mm。

搭接加工后在一个星期内施加保护层（漆、硅橡胶、油脂），以阻止水汽和气体，同时可防腐蚀。保护层加于搭接的两端，或者只加于阴极处。当两种不同金属接触时，保护层加在阳极处多于阴极处。如果两种金属不同或不是邻近组别的，在搭接处加跨接线、垫圈、螺栓或卡箍，以保护结构。

4.4.5　接地和搭接的原则

接地是抑制电磁干扰、提高电子设备EMC性能的重要手段之一。正确的接地既能提高产品抑制电磁干扰的能力，又能减少产品对外的EMI发射。搭接的目的在于为电流的流动安排一个均匀的结构面，以避免在相互连接的两金属间形成电位差而产生电磁干扰。

1.搭接设计

搭接是把一定的金属部件机械地连接在一起的过程，目的是实现低电阻的电气接触，保证系统电气性能的稳定，帮助实现对射频干扰的抑制。

·尽可能用同样的金属搭接。

·保证搭接的直流电阻不大于25mΩ。不能用欧姆表来评估射频搭接或射频垫圈。

·对不同金属进行搭接要注意各种金属在电化学序列表中的相对位置。电位差要尽可能小，并有合适的防腐蚀措施。

·修整搭接表面，以便得到最大的接触面积。搭接后立即涂敷保护层。

·搭接前清洗所有配接表面。为防止氧化，在清除了保护层之后就搭接配合表面。

·对于永久性搭接，应尽可能用熔焊或铜焊、锡焊连接所有的接合面。射频搭接应优先采用永久性搭接。

·不允许用螺栓或螺钉的螺纹来完成射频搭接。

·不允许用导电漆来实现电的或射频搭接。导电胶连接处必须提供大约700 g/cm^{2}的压力，以保证导电涂敷处的高导电率。导电胶的导电性要求大约为2～5mΩ/cm。

·压紧所有的射频衬垫。

2.接地设计

在产品设计时，要多从安全角度或从功能上考虑接地，尽量不从抑制干扰的角度考虑接地，因而在选择接地方式、接地点、接地线时，就可以避免一些错误。此外，良好的接地设计必须有良好的装配工艺作保障，才能达到预期的目的。

·在接地设计时，要根据实际情况选择接地方式及接地点。

·考虑到趋肤效应，接地线需要选用带状编织线。如果对接地要求很高，还可在其表面镀银，以减小导线的表面电阻率，从而达到减小接

地线高频阻抗的目的。

·接地线应与接地面良好搭接：当前适用标准中一般规定，接地线与接地面的直流搭接阻抗应小于2.5mΩ。为了高质量地接地，接地面应经过表面处理，避免氧化、腐蚀。

·在接地线与接地平面之间不应有锁紧垫圈、衬垫，而且不应使用衬垫、螺栓、螺母作为接地回路的一部分。

·在继电器等有大电流突变的场合，要用单独接地以减少对其他电路的瞬变耦合。

·负载直接接地是不合适的。用紧绕的双绞线也能获得极好的屏蔽性能。

·当屏蔽电缆传输高频信号时，电缆外层屏蔽应采用多点接地，典型的分界点是1MHz，高于此值用多点接地，低于此值用单点接地，多点接地时要做到每隔0.05λ～0.1λ有一个接地点。

·端接电缆屏蔽层时，屏蔽层接地不能用辫状接地，而应当让屏蔽层包裹芯线，然后再让屏蔽层360°接地。

·电路尺寸小于0.05λ时可用单点接地，大于0.15λ时可用多点接地。

·对工作频率范围很宽的系统要用混合接地。

·出现地线环路问题时，可用浮地隔离（如变压器、光电）。

·所有接地线要短。接地线要导电良好，避免高阻性。

·对信号线、信号回线、电源系统回线及底板或机壳都要有单独的接地系统，然后可以将这些回线接到一个参考点上。

·对于那些将出现较大电流突变的电路，要有单独的接地系统，或者有单独的接地回线以减少对其他电路的瞬态耦合。

·低电平电路的接地线必须交叉的地方，要使导线互相垂直。

·使用平衡差分电路，以尽量减少接地电路的干扰。

·对于最大尺寸远小于λ/4的电路，使用单点接地的紧绞合线（是否屏蔽视实际情况而定），以使设备抗扰度最好。

·交直流线不能绑扎在一起。交流线本身要绞合起来。

·需要用同轴电缆传输信号时，要通过屏蔽层提供信号回路。低频电路可在信号源端单点接地，高频电路则采用多点接地。

·高频、低电平传输线要用多层屏蔽，各屏蔽层用单点接地。

·从安全角度考虑，测试设备的地线直接与被测设备的地线连接；要确保接地连接装置能够应付意外的故障电流。在室外终端接地时，能

够应付雷电电流的冲击。

第5章　PCB布线

关于PCB布线，许多工程技术人员都知道一个传统经验：正面横向走线、反面纵向走线，横平竖直，既美观又简捷。还有个传统经验是：只要空间允许，走线越粗越好。可以明确地说，这些经验在注重EMC的今天已经过时了。

要使高速电子系统有良好的EMC性能，印制电路板（PCB）设计十分关键。一个具有良好EMC性能的PCB，必须按高频电路来设计。电子系统按高频电路来设计PCB的理由在于：尽管电子系统大部分电路的工作频率并不高，但是EMI的频率是高的，EMC测试的模拟干扰频率也是高的。要有效抑制EMI，顺利通过EMC测试，PCB的设计必须考虑高频电路的特点。

5.1 传输线

在高速数字电路PCB的设计中，当布线长度大于λ/20（λ为波长），或信号延时超过1/6信号上升沿时，PCB布线可被视为传输线。与EMC设计有关的传输线特性包括：特征阻抗、传输延迟、固有电容和固有电感。反射与串扰会影响信号质量，也是EMI的主要来源。

5.1.1 传输线的种类

PCB的特征阻抗Z_0与PCB设计中布局和走线方式密切相关。影响PCB走线特征阻抗的主要因素有：铜线的宽度和厚度、介质的介电常数和厚度、焊盘的厚度、地线的路径、周边的走线等。当印制线上传输的信号速度超过100MHz时，必须将印制线看成是带有寄生电容和电感的传输线，而且在高频下会有趋肤效应和电介质损耗，这些都会影响传输线的特征阻抗。按照传输线的结构，可以将它分为微带线（microstrip）和带状线（stripline），如图5-1所示。

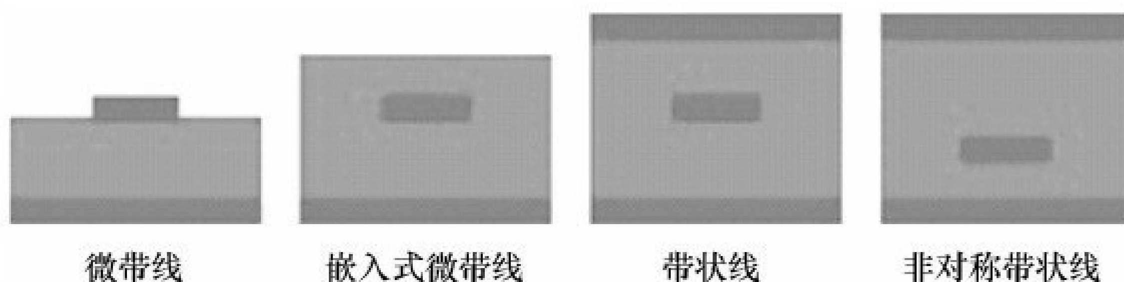


图　5-1　微带线和带状线示意图

1.微带线

微带线是位于接地层上由电介质隔开的印制导线，它是一根带状导线（信号线）。与地平面之间用一种电介质隔离开。印制导线的厚度、宽度、印制导线与接地层的距离及电介质的介电常数，决定了微带线的特征阻抗。如果线的厚度、宽度及与地平面之间的距离是可控制的，则它的特征阻抗也是可以控制的。单位长度微带线的传输延迟时间，仅仅取决于介电常数，而与线的宽度或间隔无关。如图5-2所示为微带线的PCB布线。

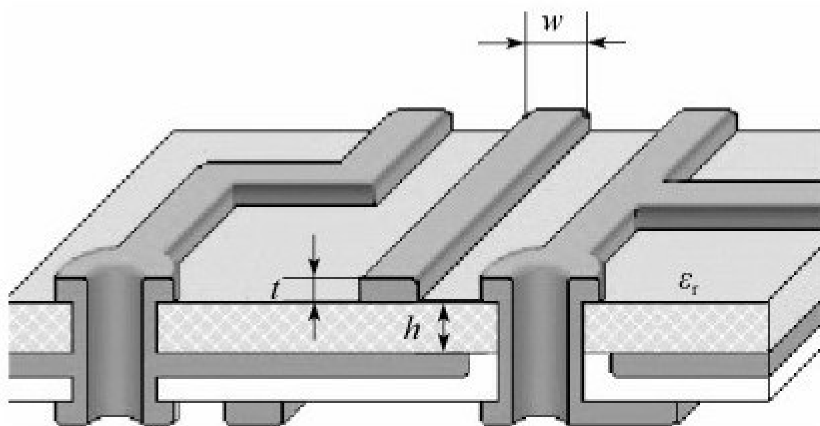


图　5-2　微带线的PCB布线

特征阻抗：$$z_0 = \frac{87}{\sqrt{\varepsilon_r + 1.41}} \ln \frac{5.98h}{10.8w + t} \quad (\Omega)$$

传输延迟：$$T_{pd} = 85\sqrt{0.475\varepsilon_r + 0.67} \quad (\text{ps/inch})$$

固有电容：$C_0 = 1\,000\,\frac{T_{pd}}{Z_0}$（pF/ft）

固有电感：$L_0=Z^2{}_0C_0$（pH/ft）

w为导线的宽度，h为印制导线与地层的距离，t为导线的厚度。对于常用的FR-4介质材料，ε_r=4.5，传输延迟T_{pd}=142.2ps/inch。

2.带状线

带状线是介于两个接地层之间的印制导线，它是一条置于两层导电平面之间的电介质中间的铜带线。它的特征阻抗和印制导线的宽度、厚度、电介质的介电常数及两个接地层的距离有关。如果线的厚度和宽度、介质的介电常数及层导电平面间的距离是可控的，那么带状线的特征阻抗也是可控的。单位长度带状线的传输延迟时间与线的宽度或间距无关，仅取决于所用介质的相对介电常数。在两参考平面之间的带状线PCB布线如图5-3所示。

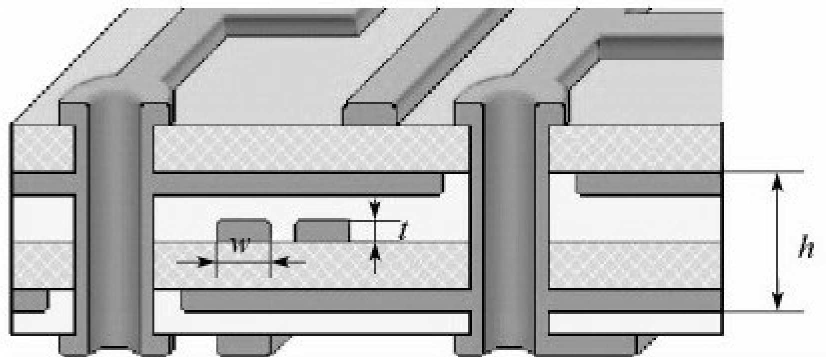


图　5-3　带状线的PCB布线

特征阻抗：$$z_0=\frac{60}{\sqrt{\varepsilon_r}}\ln\frac{4h}{0.67\pi w(0.8+t/w)}\ (\Omega)$$

传输延迟：$$T_{pd}=85\sqrt{\varepsilon_r}\ (\mathrm{ps/inch})$$

固有电容：$$C_0=1\,000\frac{T_{pd}}{Z_0}\ (\mathrm{pF/ft})$$

固有电感：$L_0=Z^2_0C_0$（pH/ft）

w为导线的宽度，h为两接地层间的距离，t为导线铜箔的厚度。对于常用的FR-4介质材料，$\varepsilon_r=4.5$，传输延迟$T_{pd}=108.3\mathrm{ps/inch}$。

3.嵌入式微带线

嵌入式微带线（embedded microstrip）是标准微带线的改进型，区别在于导线上覆盖了介质材料。此材料可能是阻焊料掩模、保护涂层（膜）或其他材料。对嵌入式微带线，只要介质的厚度[B-（T+H）]（B为介质厚度，T为导线厚度，H为导线到地参考平面的距离）远大于0.1mm，下列公式就适用。如图5-4所示。

特征阻抗：$$z_0\ \frac{K}{\sqrt{0.805\varepsilon_T+2}}\ln\frac{5.98h}{0.8w+t}\quad 60\leqslant K\leqslant 65$$

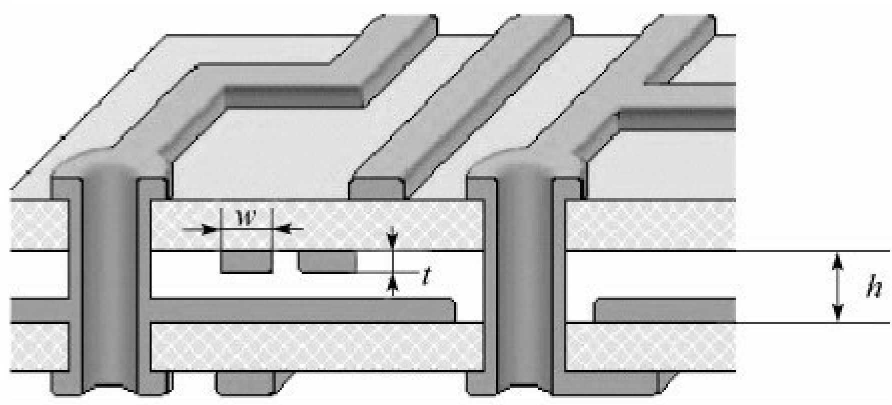


图　5-4　嵌入式微布线

K与嵌入厚度有关系，随着厚度的增加而减小。当嵌入厚度小于15mil时，K=65；当嵌入厚度大于20mil时，K=60。

传输延迟：$T_{pd} \approx 0.0339\sqrt{0.475\varepsilon_T + 0.67}$ （ps/inch）

5.1.2　传输线的反射

反射（reflection）指在传输线上的回波。信号功率（电压和电流）的一部分传输到线上并到达负载处，但是有一部分被反射了。如果源端与负载端具有相同的阻抗，反射就不会发生了。源端与负载端阻抗不匹配会引起线上反射，负载将一部分电压反射回源端。若$Z_0 < Z_L$（Z_L为负载阻抗，Z_0为传输线特征阻抗），反射电压在源和负载之间来回反复，逐渐衰减，在L脉冲波形上形成振铃。这种现象的危害有两个：一是振铃的幅度过大时，造成电路的误动作（或性能降低，如视频信号出现重影或拖尾）；二是较大幅度的振铃增加了导线的辐射和与邻近导线的串扰。若$Z_0 > Z_L$，反射电压为负，使脉冲的上升沿变缓。其危害是降低了信号速率，会引起数据错误。

布线的几何形状，不正确的线路端接，经过连接器的传输及电源平面的不连续等因素的变化，均会导致此类反射。传输过程中的任何不均匀（如阻抗的变化、直角拐角）也都会引起信号反射，对模拟信号（正弦波）会形成驻波，对数字信号则表现为上升沿、下降沿和过冲。这种过冲或下冲一方面形成强烈的电磁干扰，另一方面对后级输入电路的保护二极管造成损害甚至使其失效。如图5-5所示。

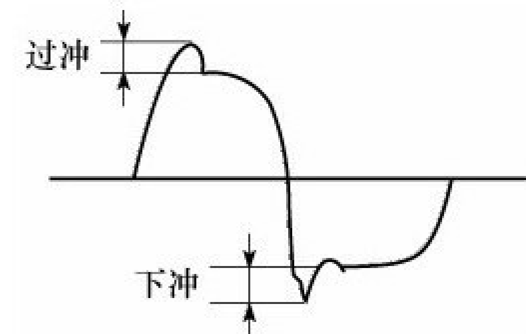


图　5-5　过冲

一般而言，过冲超过0.7V就应该采取措施。如图5-6所示的信号源阻抗、负载阻抗是造成信号来回反射的原因。

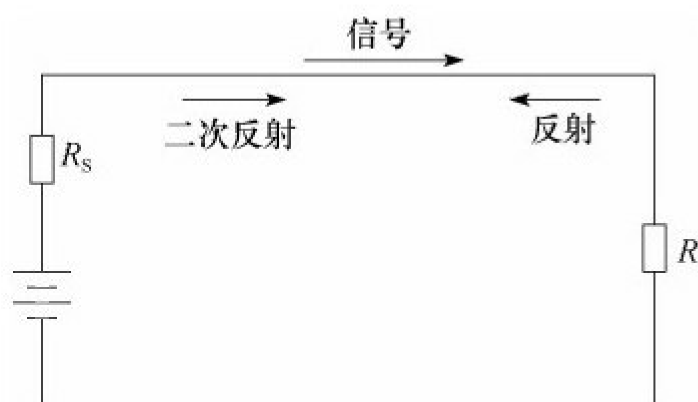


图　5-6　反射

5.1.3　串扰

串扰是两条信号线之间的耦合、信号线之间的互感和互容，从而引起线上的噪声。容性耦合引发耦合电流，而感性耦合引发耦合电压。PCB板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。近端串扰（NEXT）是指设备在发送端传输的信号耦合到另一对线的相邻接收端引起的。这是传输速率小于100Mbps时最重要的串扰。远端串扰（FEXT）是指由电缆链路近端对别的线对上的信号引起的、感应到远端线对上的信号。等效远端串扰（ELFEXT）是由衰减与FEXT相减而得的。近端串扰可以被理解为线缆系统内部产生的噪声，会严重影响信号的正确传输。如图5-7所示。

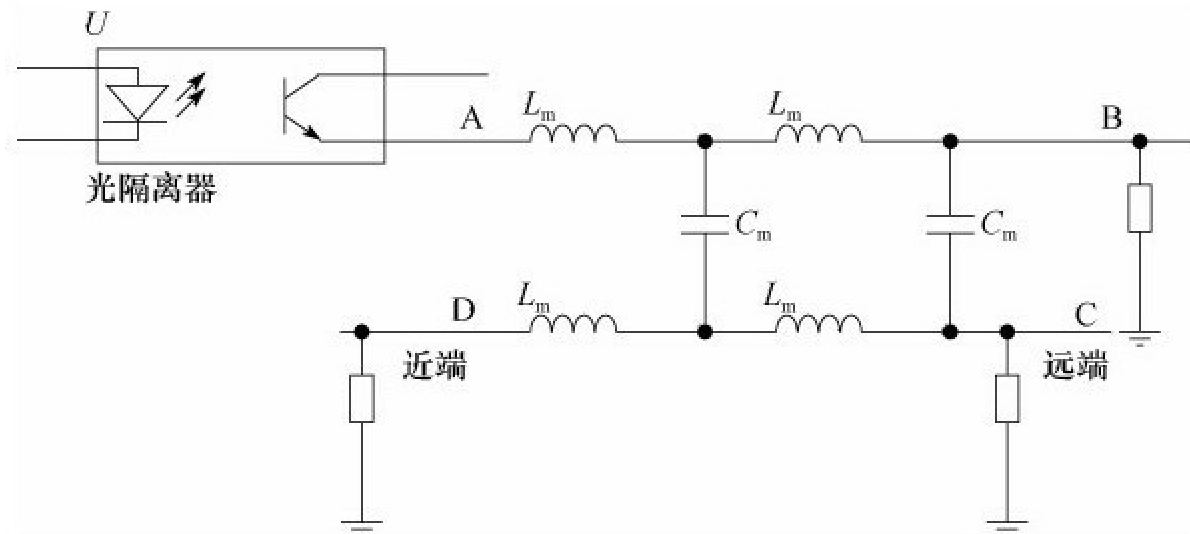


图　5-7　串扰

为了便于分析，依照离散式等效模型来描述两个相邻传输线的串扰模型，传输线AB和CD的特征阻抗为Z_0，且终端匹配电阻$R=Z_0$。如果位于A点的驱动源为干扰源，则A-B间的线网称为干扰源网络（aggressor line），C-D之间的线网称为被干扰网络（victim line），被干扰网络靠近干扰源网络的驱动端的串扰称为近端串扰（也称后向串扰），而靠近干扰源网络接收端方向的串扰称为远端串扰（也称前向串扰）。串扰主要源自两相邻导体之间所形成的互感L_m和互容C_m。

1.感性耦合

在图5-7所示的串扰中，先只考虑互感L m引起的感性耦合。线路A到B上传输的信号的磁场在线路C到D上感应出电压，磁耦合的作用类似一个变压器，由于这是个分布式的传输线，所以互感也变成一连串的变压器分布在两个相邻的并行传输线上。当一个电压阶跃信号从A移动到B，每个分布在干扰线上的变压器会依序感应一个干扰尖脉冲出现在被干扰网络上。互感在被干扰网络上叠加的电压噪声，其大小与干扰网络上驱动电流的变化成正比。由互感产生的噪声计算公式为

$$V_L = L_m \frac{di}{dt}$$

值得注意的是，耦合变压器每一段的互感耦合的极性是不同的，这些感应到被干扰网路的干扰能量依序前向和后向，但极性相反，沿着传输线CD分别往C和D点行进。其中，Z_0、C、l、C_m、L_m、L、V_0分别为

传输线的特征阻抗、单位长度电容、单位长度电感，两传输线之间的耦合电容、耦合电感，两传输线平行长度和电压峰值。

2.容性耦合

互容是产生串扰的另一个类型。互容C_m会对被干扰网络产生一个感应电流，该电流正比于干扰网络上电压的变化速率。由互容C_m产生的噪声计算公式为

$$I_{C_m} = C_m \frac{dV}{dt}$$

通常，容性串扰和感性串扰是同时发生的。由以上的感性耦合和容性耦合公式，可以看出远端串扰噪声，由于容性和感性耦合的极性关系而相互消减，即远端串扰是可以消除的。在PCB布线中，带状线电路更能够显示感性和容性耦合之间很好的平衡，其前向耦合能量极小；而对于微带线，与串扰相关的电场大部分穿过的是空气，而不是其他的绝缘材料，因此容性串扰比感性串扰小，导致其前向耦合的是一个小的负数。这是通常设计中常忽略远端串扰的干扰，而较着重于近端串扰改善的原因。

3.串扰的变化

互感与互容的大小影响着串扰的大小，从而等价地改变传输线特征阻抗与传播速度。同样，传输线的几何形状在很大程度上影响着互感与

互容的变化，因此，传输线本身的特征阻抗对这些参数也有影响。在同一介质中，相对低阻抗的传输线与参考平面（地平面）间的耦合更加强烈，相对地与邻近传输线的耦合的就会弱一些，因而低阻抗传输线对串扰引起的阻抗变化更小一些。

4.串扰导致的几种影响

在高速、高密度PCB设计中，一般提供一个完整的接地平面，从而使每条信号线基本上只和它最近的信号线相互影响，来自其他较远信号线的交叉耦合是可以忽略的。尽管如此，在模拟系统中，大功率信号穿过低电平输入信号，或当信号电压较高的元件（如TTL）与信号电压较低的元件（如ECL）接近时，都需要非常高的抗串扰能力。在PCB设计中，串扰对高速PCB的信号完整性主要有以下两种典型的影响。

（1）串扰引起的误触发

信号串扰是高速设计所面临的信号完整性问题中的一个重要内容，由串扰引起的数字电路功能错误是最常见的一种，如图5-8所示。

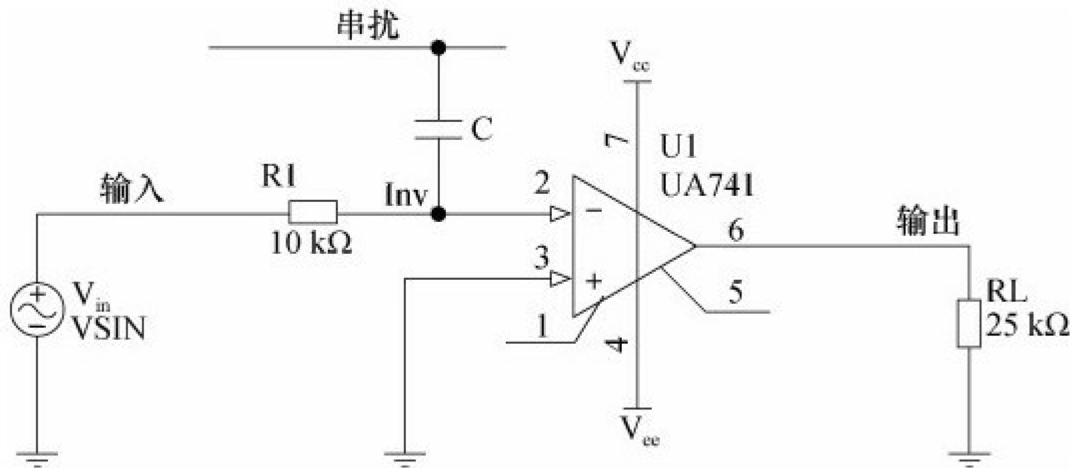


图　5-8　串扰误触发

图5-8是一种典型的由串扰脉冲引起的相邻网络错误逻辑的传输。干扰源网络上传输的信号通过耦合电容，在被干扰网络和接收端引起一个噪声脉冲，结果导致一个不希望的脉冲发送到接收端。如果这个脉冲强度超过了接收端的触发值，就会产生无法控制的触发脉冲，引起下一级网络的逻辑功能混乱。

（2）串扰引起的时序延时

在数字设计中，时序问题是一个需要特别考虑的问题。当有用的噪声脉冲叠加到被干扰网络，就会引起被干扰网络信号传输延时减少；同样，当无用的噪声脉冲叠加到被干扰网络时，就增加了被干扰网络正常传输信号的延时。尽管这种减少网络传输延时的串扰噪声对改善PCB时序是有帮助的，但在实际PCB设计中，由于干扰源网络的不确定性，这种延时是无法控制的，因而对这种串扰引起的延时必须加以抑制，如图

5-9所示。

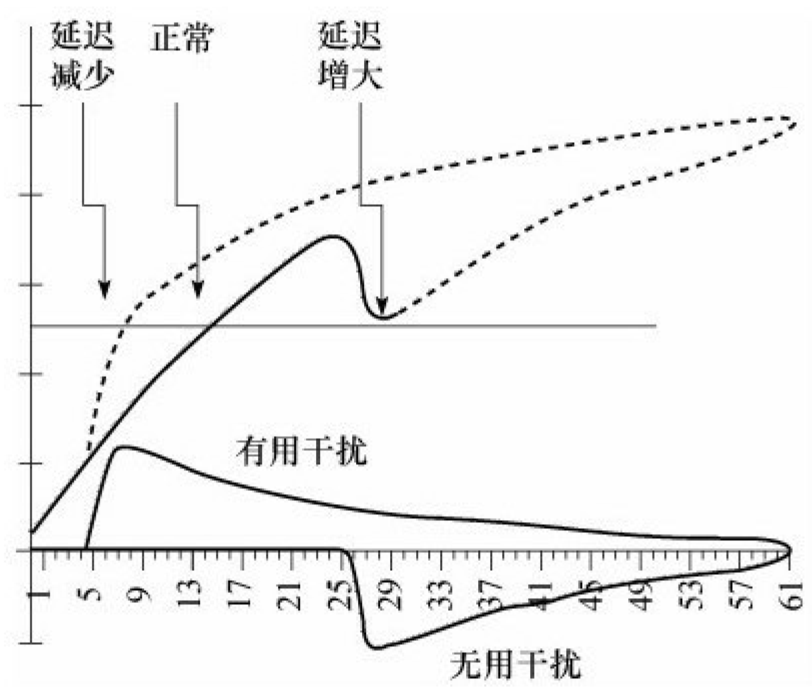


图　5-9　串扰引起的延时

5.1.4　串扰最小化

串扰在高速高密度的PCB设计中普遍存在，串扰对系统的影响一般都是负面的。为减少串扰，最基本的就是让干扰源网络与被干扰网络之间的耦合尽量小。在高密度复杂PCB设计中完全避免串扰是不可能的，但在系统设计中应该在不影响系统其他性能的情况下，选择适当的方法来力求串扰的最小化。结合上面的分析，解决串扰问题主要从以下几个方面考虑：

·在布线条件允许的情况下，尽可能拉大传输线间的距离；或者尽可能地减少相邻传输线间的平行长度（累积平行长度），最好是在不同层间走线。

·相邻两层的信号层（无平面层隔离）走线方向应该垂直，尽量避免平行走线以减少层间的串扰。

·在确保信号时序的情况下，尽可能选择转换速度低的器件，使电场与磁场的变化速率变慢，从而降低串扰。

·在设计层叠时，在满足特征阻抗的条件下，应使布线层与参考平面（电源或地平面）间的介质层尽可能薄，从而加大传输线与参考平面间的耦合度，减少相邻传输线的耦合。

·由于表层只有一个参考平面，表层布线的电场耦合比中间层的要强，因而对串扰较敏感的信号线应尽量布在内层。

·通过端接，使传输线的远端和近端终端阻抗与传输线匹配，可大大减小串扰的幅度。常用的端接方法如图5-10所示。端接的特性见表5-1。

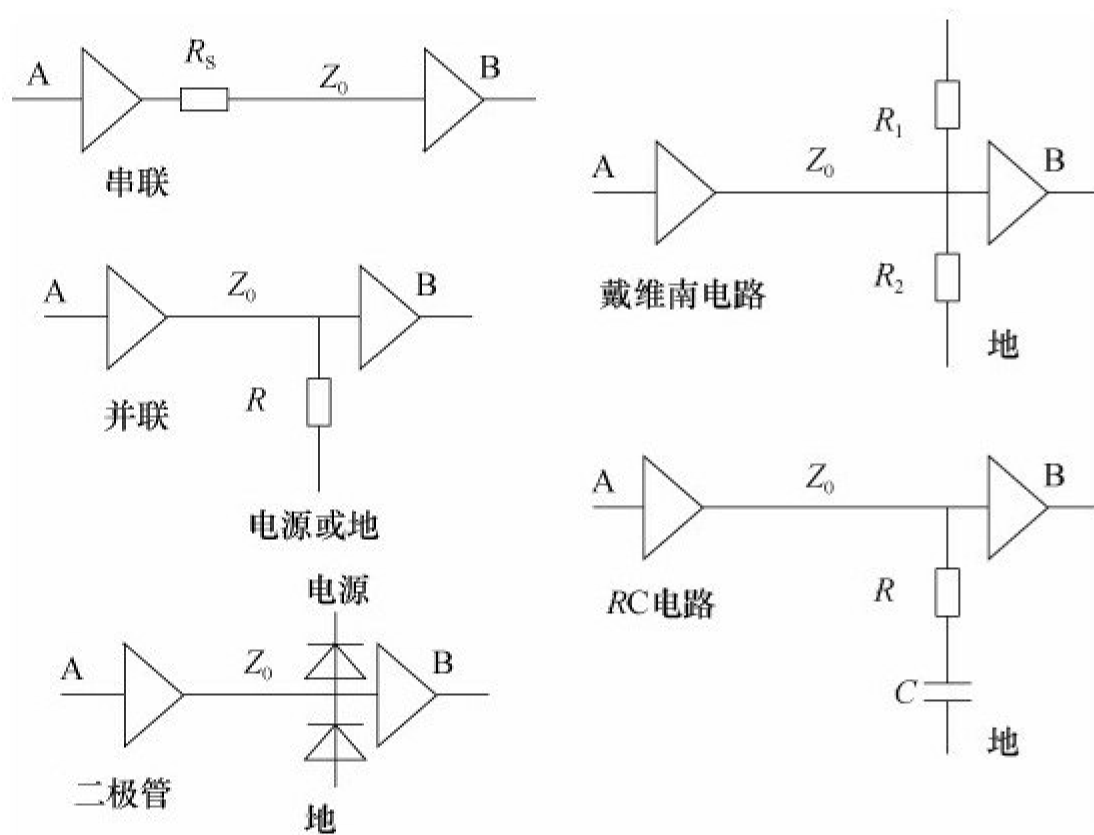


图　5-10　常用的端接方法

表 5-1　端接方法的特性

端接类型	相对成本	增加延迟	功率需求	临界参数	特　　性
串联	低	是	低	$R_S = Z_0 = R_0$	好的 DC 噪声极限
并联	低	小	高	$R = Z_0$	功率消耗是一个问题
RC	中	小	中	$R = Z_0$ $C = 20 \sim 600$ pF	阻碍带宽，同时增加容性
戴维南	中	小	高	$R = 2Z_0$	对 CMOS 需要高功率
二极管	高	小	低	—	极限过冲，二极管振铃

5.2 布线层

对于时钟信号、高频信号、高速信号、小信号和弱信号而言，选择合适的布线层相当重要，对于那些高速总线，其布线层的选择同样不能忽视。

5.2.1 布线技术

除了元器件的选择和电路设计之外，良好的PCB布线在电磁兼容性中是一个非常重要的因素。PCB是系统的固有成分，在PCB布线中增强电磁兼容性不会给产品的最终完成带来附加费用。

有一点需要注意，PCB布线没有严格的规定，也没有能覆盖所有PCB布线的专门的规则。大多数PCB布线受限于板子的大小和铜板的层数。一些布线技术可以应用于一种电路，却不能用于另外一种，这主要依赖于布线工程师的经验。然而还是有一些一般性规则，可以将这些规则作为指导方针。

1.过孔

过孔一般使用在多层印制电路板中。当通过高速信号时，过孔产生1～4nH的电感和0.3～0.8pF的电容到路径。因此，当敷设高速信号通道

时，过孔应该保持绝对最小。对于高速的并行线（例如地址和数据线），如果层的改变不可避免，那么应该确保每根信号线的过孔数一样。

2.45°的路径

与过孔相似，应该避免直角的路径转动，因为它在内部的边缘能产生集中的电场。该场能产生耦合到相邻路径的噪声，因此，当转动路径时全部的直角路径应该采用45°。如图5-11所示。

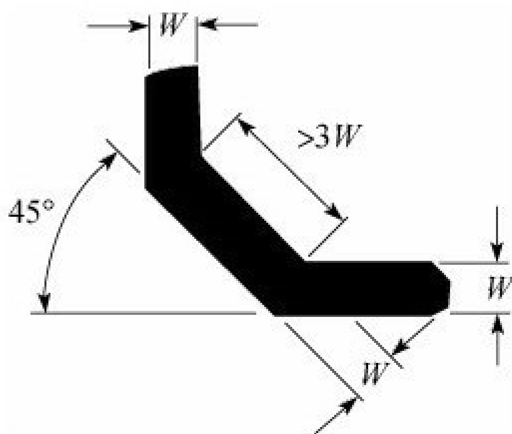


图 5-11 45° 设计

3.短截线

短截线（stub）产生反射，同时也会潜在增加波长可分的天线到电路的可能性。虽然短截线长度可能不是任何系统中的已知信号波长的四分之一整数，但是附带的辐射可能在短截线上产生共鸣。因此，应避免在传送高频率和敏感信号的路径上使用短截线。如图5-12所示。

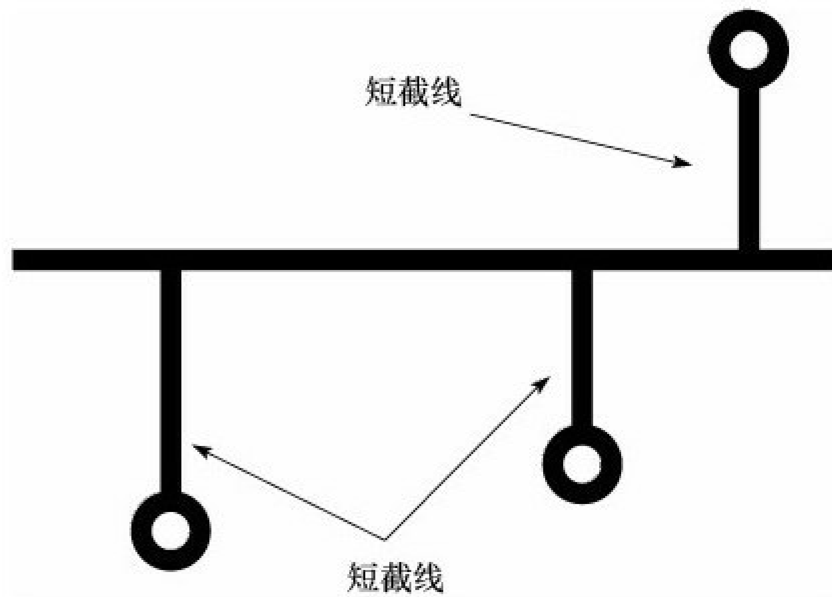


图 5-12 短截线

4.星形信号排列

虽然星形排列适用于来自多个印制电路板的地线连接，但它带有能产生多个短截线的信号路径。因此，应该避免高速和敏感信号的星形排列。

5.辐射型信号排列

辐射型信号排列通常有最短的路径，以及产生从源点到接收端的最小延迟，但是这也能产生多个反射和辐射干扰，所以应该避免高速和敏感信号的辐射型排列。

6.不变的路径宽度

信号路径的宽度从驱动到负载应该是常数。改变路径宽度可改变路径阻抗（电阻、电感和电容）从而产生反射和造成线路阻抗不平衡，如图5-13所示。所以最好保持路径的宽度不变。

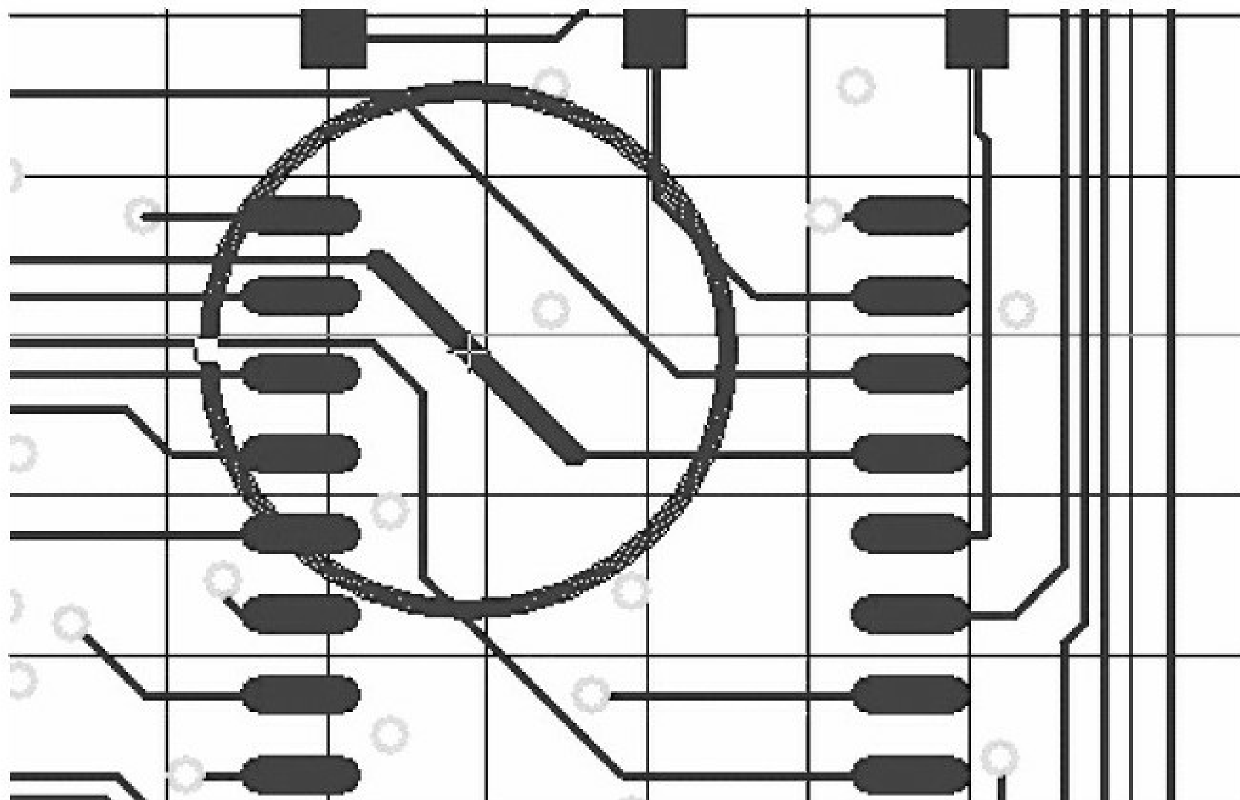


图 5-13 产生反射和造成线路阻抗不平衡的走线

7.过孔密集和切分孔隙

经过电源位面和地位面的密集过孔，会在接近过孔的地方产生局部化的阻抗差。这个区域不仅成为信号活动的“热点”，而且供电面在此点是高阻，像射频电流一样低效。

与洞和过孔密集相同，切分孔隙（长洞或宽通道）在电源位面和地

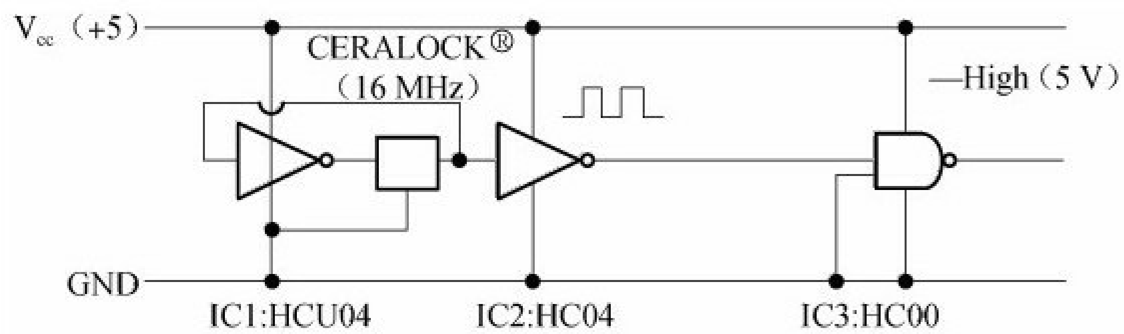
位面范围内产生不一致的区域，并且就像防护物一样会减弱它们的效力，同时局部性地递增电源位面和地位面的阻抗。

8.接地金属化的模具

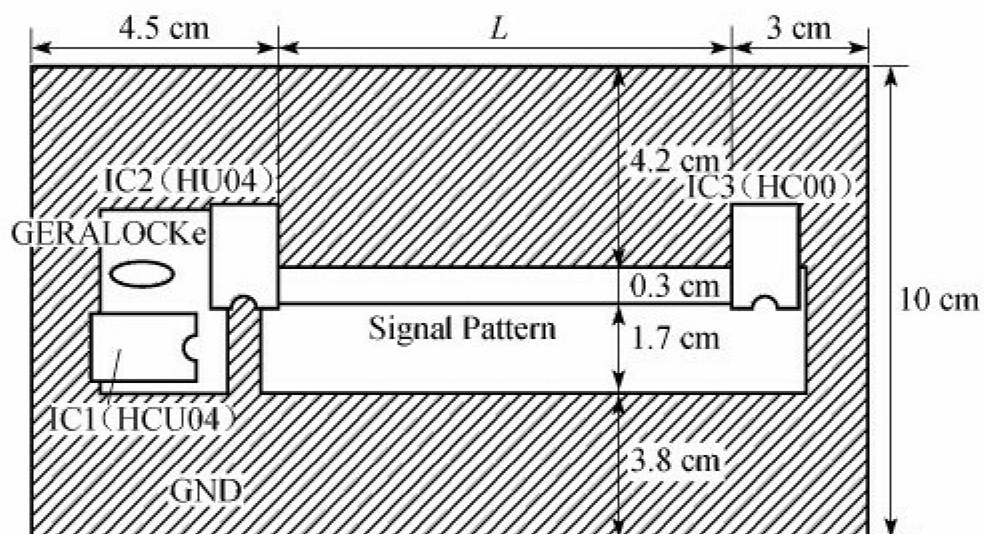
所有金属化的模具应该被连接到地，否则，这些大的金属区域能充当辐射天线。

9.最小化环面积

保持信号路径和它的地返回线紧靠在一起将有助于最小化地环，并可避免潜在的天线环。对于高速单端信号，有时如果信号路径没有沿着低阻的地位面走，地线回路可能也必须沿着信号路径。如图5-14所示，减小L的距离，就能够缩减环路面积。



a）原理图



b）电路板图

图 5-14 最小化环路

5.2.2　布线策略

印制电路板上铜箔导线的布局及相邻导线间的串扰等因素决定着印制电路板的抗扰度，运用正确的布线策略便可以解决这些问题。

1.差分走线

差分信号（Differential Signal）在高速电路设计中的应用越来越广泛，电路中最关键的信号往往都要采用差分结构设计。差分信号，通俗地说，就是驱动端发送两个等值、反相的信号，接收端通过比较这两个电压的差值来判断逻辑状态是0还是1。而承载差分信号的一对走线就称为差分走线，如图5-15所示。

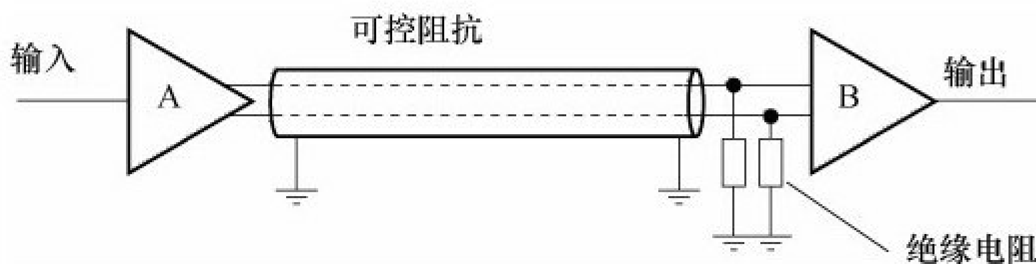


图　5-15　差分传输线模型

差分信号和普通的单端信号走线相比，最明显的优势体现在以下三个方面：

1）抗干扰能力强。因为两根差分走线之间的耦合很好，当外界存

在噪声干扰时，几乎是同时被耦合到两条线上，而接收端关心的只是两信号的差值，所以外界的共模噪声可以被完全抵消。

2）能有效抑制EMI。同样的道理，由于两根信号的极性相反，它们对外辐射的电磁场可以相互抵消，耦合得越紧密，泄放到外界的电磁能量越少。

3）时序定位精确。由于差分信号的开关变化是位于两个信号的交点，而不像普通单端信号依靠高低两个阈值电压判断，因而受工艺和温度的影响小，能降低时序上的误差，同时也更适合于低幅度信号的电路。目前流行的LVDS（low voltage differential signaling，低电压差分信号技术）就是指这种小振幅差分信号技术。

差分布线要求：一是两条线的长度要尽量一样长，等长是为了保证两个差分信号时刻保持相反极性，减少共模分量；二是两线的间距要保持不变，也就是要保持平行。平行的方式有两种，一是两条线在同一走线层，二是两条线在上下相邻两层。等距是为了保证两者差分阻抗一致，减少反射。两条差分走线要适当地靠近并且平行。适当地靠近是减少差分阻抗的影响，差分阻抗是设计差分对的重要参数。平行是为了保持差分阻抗的一致性。

在PCB电路设计中，一般差分走线之间的耦合较小，往往只占10%～20%的耦合度，更多的还是对地的耦合，所以差分走线的主要回流路

径还是存在于地平面。当地平面发生不连续的时候，无参考平面的区域，差分走线之间的耦合才会提供主要的回流通路。尽管参考平面的不连续对差分走线的影响没有对普通的单端走线严重，但还是会降低差分信号的质量和增加EMI，因此要尽量避免。有些设计人员认为，可以去掉差分走线下方的参考平面，以抑制差分传输中的部分共模信号，但从理论上看这种做法是不可取的，因为要控制阻抗，若不给共模信号提供地阻抗回路，势必会造成EMI辐射，所以这种做法弊大于利。

要保持PCB地线层返回路径宽而短，尽量不要“跨岛”（跨过相邻电源或地层的分隔区域）。比如主板设计中的USB和SATA及PCI-EXPRESS等，最好不要采用“跨岛”的做法。应保证这些信号的下面是一个完整地平面或电源平面。

在PCB差分走线的设计中，最重要的规则就是匹配线长，其他的规则都可以根据设计要求和实际应用进行灵活处理。同时为了弥补阻抗的匹配，可以采用接收端差分线对之间加一匹配电阻，其值应等于差分阻抗的值，这样信号品质会有所提高。所以建议如下两点：

1）使用终端电阻实现对差分传输线的最大匹配，阻值一般在90～130Ω之间，系统也需要此终端电阻来产生正常工作的差分电压。

2）最好使用精度1%～2%的表面贴电阻跨接在差分线上，必要时也可使用两个阻值各为50Ω的电阻，并在中间通过一个电容接地，以滤去

共模噪声。通常对于差分信号（CLOCK等）要求等长的匹配在+/-10mil之内。

如何才能保证差分走线具有良好的隔离和屏蔽呢？增大与其他信号走线的间距是最基本的途径之一，电磁场能量是随着距离呈平方关系递减的，一般线间距超过4倍线宽时，它们之间的干扰就极其微弱了，基本可以忽略。此外，通过与地平面的隔离也可以起到很好的屏蔽作用，这种结构在高频的（10GHz以上）IC封装PCB设计中经常采用，被称为CPW结构，可以保证严格的差分阻抗控制。

2.蛇形线

蛇形线是经常使用的一种走线方式。其主要目的就是为了调节延时，满足系统时序设计要求。不过蛇形线会破坏信号质量，改变传输延时，布线时要尽量避免使用。但实际设计中，为了保证信号有足够的保持时间，或者减小同组信号之间的时间偏移，往往不得不故意进行绕线。那么，蛇形线对信号传输有什么影响呢？走线时要注意些什么呢？其中最关键的两个参数就是平行耦合长度（L_p）和耦合距离（S），如图5-16所示。

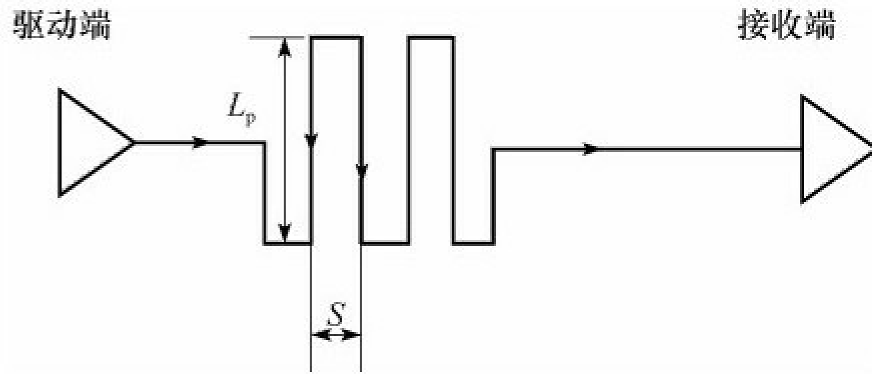


图　5-16　蛇形走线模型

信号在蛇形走线上传输时，相互平行的线段之间会发生耦合，呈差模形式，S越小，L_p越大，则耦合程度也越大。这可能会导致传输延时减小，以及由于串扰而大大降低信号的质量。处理蛇形线时的几点建议如下：

1）尽量增加平行线段的距离（S），至少大于3H, H指信号走线到参考平面的距离。通俗地说就是绕大弯走线，只要S足够大，就几乎能完全避免相互的耦合效应。

2）减小耦合长度L_p，当两倍的L_p延时接近或超过信号上升时间时，产生的串扰将达到饱和。

3）带状线或者嵌入式微带线的蛇形线引起的信号传输延时小于微带线。理论上，带状线不会因为差模串扰影响传输速率。

4）高速及对时序要求较为严格的信号线，尽量不要走蛇形线，尤其不能在小范围内蜿蜒走线。

5）可以经常采用任意角度的蛇形走线，可有效减少相互间的耦合。

6）高速PCB设计中，蛇形线没有滤波或抗干扰的能力，只可能降低信号质量，所以只作时序匹配之用而无其他目的。

7）有时可以考虑螺旋走线的方式进行绕线，仿真表明，其效果要优于正常的蛇形走线。

3.平行走线

数字电路中的数据线是离散信号，平行走向美观方便，互相之间的干扰可以忽略不计，但是数字电路中也不完全是数字信号，在数/模或模/数转换部分，还是要考虑分布电容和分布电感的干扰问题。

采用平行走线可以减少导线电感，但导线之间的互感和分布电容会增加，如果布局允许，电源线和地线最好采用井字形网状布线结构，具体做法是印制板的一面横向布线，另一面纵向布线，然后在交叉孔处用金属化孔相连。为了抑制印制板导线之间的串扰，在设计布线时应尽量避免长距离的平行走线，尽可能拉开线与线之间的距离，信号线与地线及电源线尽可能不交叉。在一些对干扰十分敏感的信号线之间设置一根接地的印制线，可以有效地抑制串扰。如图5-17所示。

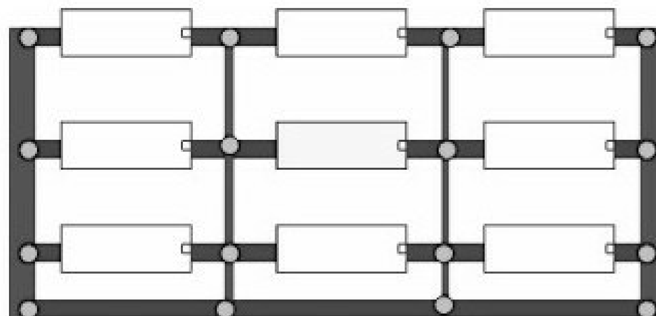


图　5-17　地线网格

4.布线注意事项

为了避免高频信号通过印制导线时产生的电磁辐射，在印制线路板布线时，需注意以下几点：

1）布线尽可能把同一输出电流而方向相反的信号，利用平行布局方式来消除磁场干扰。

2）尽量减少印制导线的不连续性，例如导线宽度不要突变、导线的拐角应大于90°、禁止环状走线等。

3）时钟信号引线最容易产生电磁辐射干扰，走线时应与地线回路相靠近。

4）总线驱动器应紧挨驱动总线。对于那些离开印制线路板的引线，驱动器应紧紧挨着连接器。

5）由于瞬变电流在印制线上所产生的冲击干扰，主要是由印制导

线的电感造成的，因此应尽量减小印制导线的电感量。印制导线的电感量与其长度成正比，与其宽度成反比，因而短而粗的导线对抑制干扰是有利的。时钟引线、行驱动器或总线驱动器的信号线常常载有大的瞬变电流，印制导线要尽可能短。对于分立元件电路，印制导线宽度在1.5mm左右时，即可完全满足要求；对于集成电路，印制导线宽度可在0.2～1.0mm之间选择。

6）发热元件周围或大电流通过的引线尽量避免使用大面积铜箔，否则，长时间受热时，易发生铜箔膨胀和脱落现象。必须用大面积铜箔时，最好用栅格状，这样有利于排除铜箔与基板间黏合剂受热产生的挥发性气体。

7）焊盘中心孔要比器件引线直径稍大一些。焊盘太大易形成虚焊。焊盘外径D一般不小于（d+1.2）mm，其中d为引线孔径。对高密度的数字电路，焊盘最小直径为（d+1.0）mm。

8）印制线路板的布线还要注意以下问题：

·专用零伏线，电源线的走线宽度大于等于1mm；电源线和地线尽可能靠近，以便使分布线电流达到均衡；要为模拟电路专门提供一根零伏线。

·为减少线间串扰，必要时可增加印制线条间距离；有意安插一些零伏线作为线间隔离；印制电路的插头也要多安排一些零伏线作为线间

隔离。

·特别注意电流流通中的导线环路尺寸；如有可能，在控制线（于印制板上）的入口处加接R-C滤波器去耦，以便消除传输中可能出现的干扰因素。

5.PCB板的地线设计

在电子设备中，接地是控制干扰的重要方法。将接地和屏蔽正确结合起来使用，可解决大部分干扰问题。电子设备中地线结构大致有系统地、机壳地（屏蔽地）、数字地（逻辑地）和模拟地等。

在PCB板的地线设计中，接地技术既应用于多层PCB，也应用于单层PCB。接地技术是为最小化接地阻抗，以减少从电路返回到电源之间的接地回路的电势。

（1）正确选择单点接地与多点接地

在低频电路中，信号的工作频率小于1MHz，它对布线和器件间的电感影响较小，而接地电路形成的环流对干扰影响较大，因而应采用一点接地。当信号工作频率大于10MHz时，地线阻抗变得很大，此时应尽量降低地线阻抗，应采用就近多点接地。当工作频率在1～10MHz时，如果采用一点接地，其地线长度不应超过波长的1/20，否则应采用多点接地法。高频电路宜采用多点串联接地，地线应短而粗，高频元件周围

尽量布置栅格状大面积接地铜箔。

（2）数字电路与模拟电路分开

电路板上既有高速逻辑电路，又有线性电路，应使它们尽量分开，且两者的地线不要相混，分别与电源端地线相连。此外，还要尽量加大线性电路的接地面积。

（3）加粗接地线

若接地线很细，接地电位则随电流的变化而变化，致使电子设备的定时信号电平不稳，抗噪声性能变坏。因此应将接地线尽量加粗，使它能通过三倍于印制线路板的允许电流。如有可能，接地线的宽度应大于3mm。

（4）接地线构成闭环路

设计只由数字电路组成的印制线路板的地线系统时，将接地线做成闭环路可以明显提高抗噪声能力。其原因在于：印制线路板上有很多集成电路元件，尤其有耗电多的元件时，因受接地线粗细的限制，会在地结上产生较大的电位差，引起抗噪声能力下降，若将接地结构成环路，则会缩小电位差值，提高电子设备的抗噪声能力。

（5）全平面地

当采用多层线路板设计时，可将其中一层作为“全地平面”，这样可减少接地阻抗，同时又起到屏蔽作用。我们常常在印制板周边布一圈宽的地线，也起同样的作用。

5.2.3 表层走线与内层走线比较

表层布线的一侧是介质，一侧是空气（忽略阻焊油漆），等效介电常数小于中间层，传输线延时较小，这个特点决定了表层走线可以有更快的信号传输速度，因此可以利用表层布速度很快的信号，如2.5GHz或3.125GHz，布高速信号时尽量不要打孔，如果实在需要打孔，从TOP打孔换层到BOTTOM，或者从BOTTOM打孔换层到TOP，也不存在过孔的短截线效应，这个特点也是内层布线所不具备的。但表层布线不是完美无缺的，由于走线一侧是空气，所以存在电磁辐射效应，因此不能布时钟等强辐射信号。

内层布线的优势是可以很好地利用参考平面实现屏蔽效果，可以很好地控制阻抗，由于内层没有表层的SMD器件焊盘，所以布线空间比表层更大，布线特别是布总线更容易。但内层布线由于两侧都是介质，等效介电常数比表层更大，所以传输延时较大，另外内层布线时换层会存在过孔短截线效应，从而加大传输线延时，还会使传输线阻抗不够连续。在现实环境中，由于内层有更大的布线空间，尽管存在延时较大等不足，但还是倾向于把更多的线布在内层，至少在1GHz以下是不会有太大影响的。

微带线与带状线的比较

微带线和带状线主要有以下不同：

·微带线的传输延时比带状线低38.1（ps/inch）。

·在给定特征阻抗的情况下，微带线的固定电容比带状线小。

·微带线位于表层，直接对外辐射；带状线位于内层，有参考平面屏蔽。

·微带线可视，便于调试；带状线不可视，调试不便。

考虑到参考平面的屏蔽作用，现有测试数据表明微带线的辐射比带状线大20dB左右。

EMI的对外传播途径主要有传导和辐射两种；对于传输线而言，这两种途径也同样存在。由于带状线夹在两平面之间，其辐射途径得到较好的控制，其主要对外传播途径为传导，即需要重点考虑其供电过程中的电源、地的纹波及与相邻走线之间的串扰。

从EMC的角度，需要对以下两种布线加以关注：

·强辐射信号线（高频、高速、尤以时钟线为甚），对外辐射。

·小、弱信号及对外界干扰非常敏感的复位等信号，易受干扰。

对于这两类线，在情况允许的前提下，先考虑内层布线，并扩大与

其他布线的间距，甚至加屏蔽地线进行隔离。

5.2.4　布线层的优先级别

根据现有的资料、经验，对优选布线层给出如下一般原则：

1）优先考虑内层。

2）优先考虑无相邻布线层的层，或虽有相邻布线层，但相邻布线层对应区域下无走线。

3）内层布线优先级别，LG-G＞LG-P＞LP-P（优选地作参考平面）。

4）确保关键走线未跨分割区的布线层。

PCB的设计需要综合考虑功能实现、成本、EMC、工艺、美观等多种因素，在优选布线层上，没有一成不变的原则。以上建议作为一般指导原则，仅供大家在进行PCB设计时参考。CAD工程师的价值在于，折中考虑多种因素，找到最佳解决途径。

5.3 阻抗

在具有电阻、电感和电容的电路中，对交流电所起的阻碍作用叫做阻抗。阻抗常用Z表示，是一个复数，实部称为电阻，虚部称为电抗。其中电容在电路中对交流电所起的阻碍作用称为容抗，电感在电路中对交流电所起的阻碍作用称为感抗，电容和电感在电路中对交流电引起的阻碍作用总称为电抗。

5.3.1 特征阻抗

信号的传输过程中，在信号沿到达的地方，信号线和参考平面（电源平面或地平面）之间因电场的建立而产生一个瞬间的电流，如果传输线是各向同性的，那么只要信号在传输，就会始终存在一个电流I。如果信号的输出电平为U，则在信号传输过程中，传输线就会等效成一个电阻，大小为U/I，称为传输线的特征阻抗（Characteristic Impedance）Z。这个特征阻抗是对交流（AC）信号而言的，对直流（DC）信号，传输线的电阻并不是Z，而是远小于这个值。

对于PCB来说，每一段走线都有特定的阻抗值，走线电感是引起PCB射频辐射的主要因素之一，甚至从芯片硅芯到安装焊盘之间的引线电感也会引起可观的射频电势，尤其是电路板上的细长走线会有较大的

引线电感，通常如果有射频电压加在一段阻抗上就会有相应的射频电流流过，从而引发电磁干扰。

随着信号传输速率越来越高，PCB走线已经表现出传输线的性质，在电路中的连线在同一时刻的不同位置的电流电压已经不同，所以不能用集总参数来表示，必须采用分布参数来处理，传输线的模型如图5-18所示。

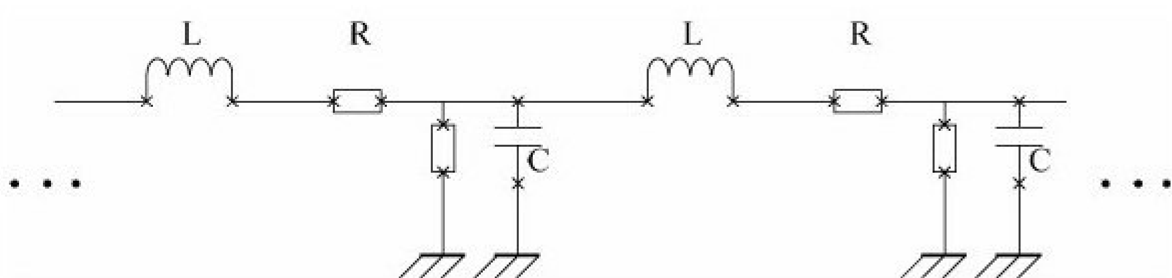


图　5-18　传输线模型

从传输线的等效电路可知，每一小段线的阻抗都是相等的。传输线的特征阻抗就是微分线段的特征阻抗。等效电路如图5-19所示。Z_S为串联阻抗。Z_p是并联阻抗。

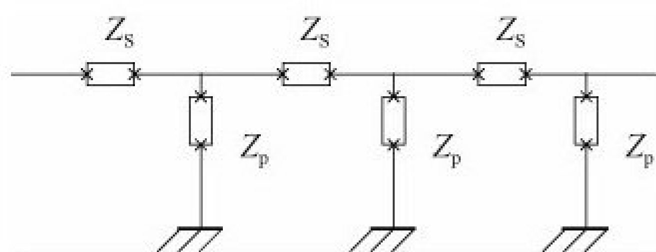


图　5-19　等效电路

PCB板上微带线和带状线阻抗的计算方法可参照以下经验公式。

$$Z_0 = \frac{87}{\sqrt{\varepsilon_r + 1.41}} \times \ln \frac{5.98h}{0.8w + t}$$

式中，Z_0为印制导线的特征阻抗；ε_r为绝缘材料的介电常数；h为印制导线与基准面之间的介质厚度；w为印制导线的宽度；t为印制导线的厚度。

$$\text{特征阻抗} \quad Z_0 = \frac{60}{\sqrt{\varepsilon_r}} \ln \frac{4h}{0.67\pi w(0.8 + t/w)} (\Omega)$$

Z_0描述了传输线的特征阻抗，但这是在无损耗条件下描述的，电阻上热损耗和介质损耗都被忽略了，也就是直流电压变化和漏电引起的电压波形畸变都未考虑在内，如图5-20所示。

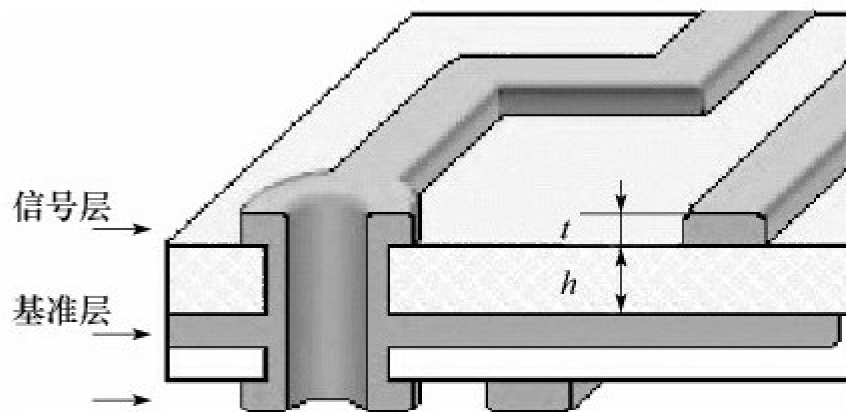


图　5-20　特征阻抗

5.3.2 阻抗控制

印制电路板上导线的特征阻抗是电路设计的一个重要指标，特别是在高频电路的PCB设计中，必须考虑导线的特征阻抗和器件或信号所要求的特征阻抗是否一致，是否匹配。

影响PCB走线阻抗的因素主要有铜线的宽度和厚度、介质的介电常数和厚度、焊盘的厚度、地线的路径、走线周边的走线等。所以在设计PCB时一定要对板上走线的阻抗进行控制，尽可能避免信号的反射以及其他电磁干扰和信号完整性问题，保证PCB板的稳定性。

在线路板中，当信号传送时，希望由电源的发出端起，在能量损失最小的情形下，能顺利地传送到接收端，而且接收端将其完全吸收而不作任何反射。要达到这种传输，线路中的阻抗必须和发出端内部的阻抗相等，称为阻抗匹配。

在设计高速PCB电路时，阻抗匹配是设计的要素之一。而阻抗值与走线方式密切相关。例如，走在表面层还是内层、与参考的电源层或地层的距离、走线宽度、PCB材质等均会影响走线的特征阻抗值。也就是说，要在布线后才能确定阻抗值，同时不同PCB生产厂家生产出来的特征阻抗也有微小的差别。

5.3.3 生产工艺对阻抗的影响

生产工艺对阻抗的影响很大，从理论上讲，连续调整介质的厚度可以得到连续变化的阻抗控制，但这在PCB生产厂家是难以达到的，因为目前国内的生产厂家一般采用层压成板的生产方式，所以各层的介质厚度分为很多规格，而不是连续变化的。绝大多数PCB生产厂家的PCB采用两种介质：芯材和半固化片，芯材和半固化片的交替叠加构成PCB板，一个八层PCB板的典型结构如图5-21所示。

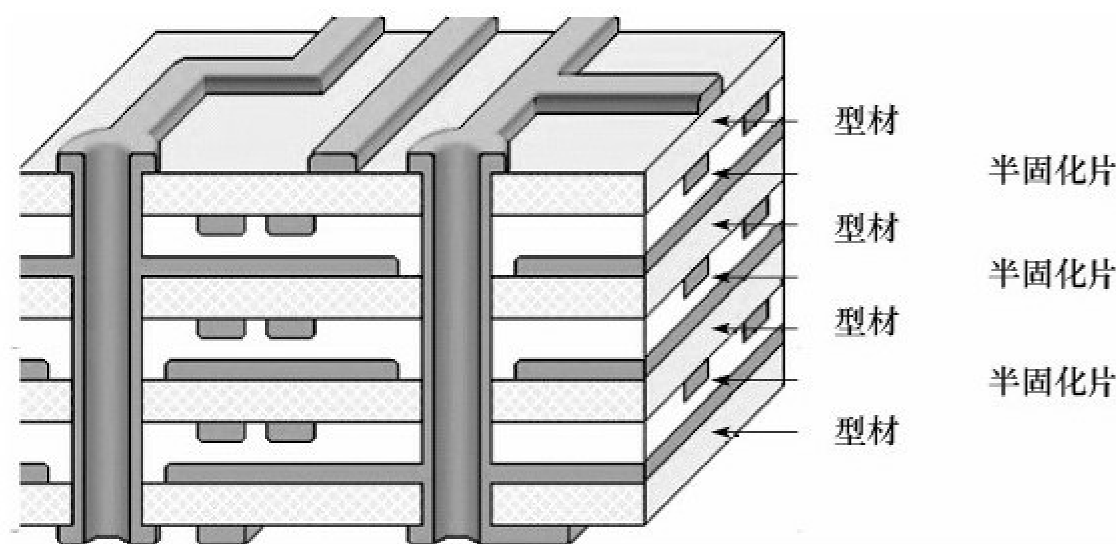


图 5-21 八层PCB板的典型结构

芯材是两面附有铜箔的介质，即一个简单的双面板。芯材有以下十几种规格：0.1mm、0.2mm、0.3mm、0.4mm、0.5mm、0.6mm、0.7mm、0.8mm、0.9mm、1.0mm、1.2mm、1.5mm、1.6mm、2.0mm、

2.4mm。注意：在进行阻抗控制的时候，一定要考虑到芯材的厚度中是否包含了铜箔的厚度。

半固化片主要由树脂和增强材料组成，增强材料又分为玻纤布、纸基、复合材料等几种类型，而多层制板所使用的半固化片（黏结片）大多是采用玻纤布做增强材料。半固化片有1080、2116、7628三种规格，应至少选择两片以上的半固化片进行组合，由于半固化片在层压期间压力过大使得介质的厚度变薄，应当注意计算阻抗时，对于走线层铜箔层压时会嵌入介质中，平面层不受影响。

由以上阻抗的物理意义可知，阻抗是由PCB走线的自感、自容及互感、互容决定的，而这些PCB的寄生参数又与板材和PCB生产厂家的加工工艺密切相关，所以生产厂家的加工工艺直接影响着阻抗的控制精度。按照理论分析，同一条PCB走线上的阻抗应该是一致的，但由于线的各处宽、介质厚度、加工工艺的影响存在偏差，从而使得线各点的阻抗不一致。

微带线相对于带状线来说，更易于向外辐射与受到干扰，因此对于关键信号如时钟、低位地址等周期性较强的信号线应走带状线的形式，并且保持阻抗连续性。另外，负载过重也会影响特征阻抗，一般过大的容性负载会使物特征阻抗降低。

5.3.4　屏蔽线对阻抗的影响

在实际的设计中，经常在关键的信号线两边各加一条地线，目的是为关键信号提供一个低电感的地回路，从而减少相邻线之间的串扰与传导辐射的影响，但增加了地线的同时，也改变了信号的电磁分布，降低了信号线的阻抗。

1.地线与信号之间的间距对信号线的阻抗的影响

为了研究屏蔽地线对信号的影响，设置如图5-22所示的PCB走线结构，该结构为标准的对称带状线，信号+、信号-为差分信号的正负走线，两边包地线，现固定信号走线的线宽为8mil，正负信号之间的间距为8mil，两个地板之间的间距H=12.5mil, PCB结构如图5-22所示。

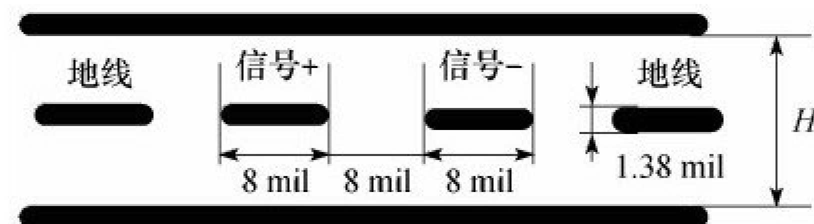


图　5-22　PCB走线结构图

当两地板间距为12.5mil时，阻抗随地线与信号线之间的距离变化而变化的曲线如图5-23所示。

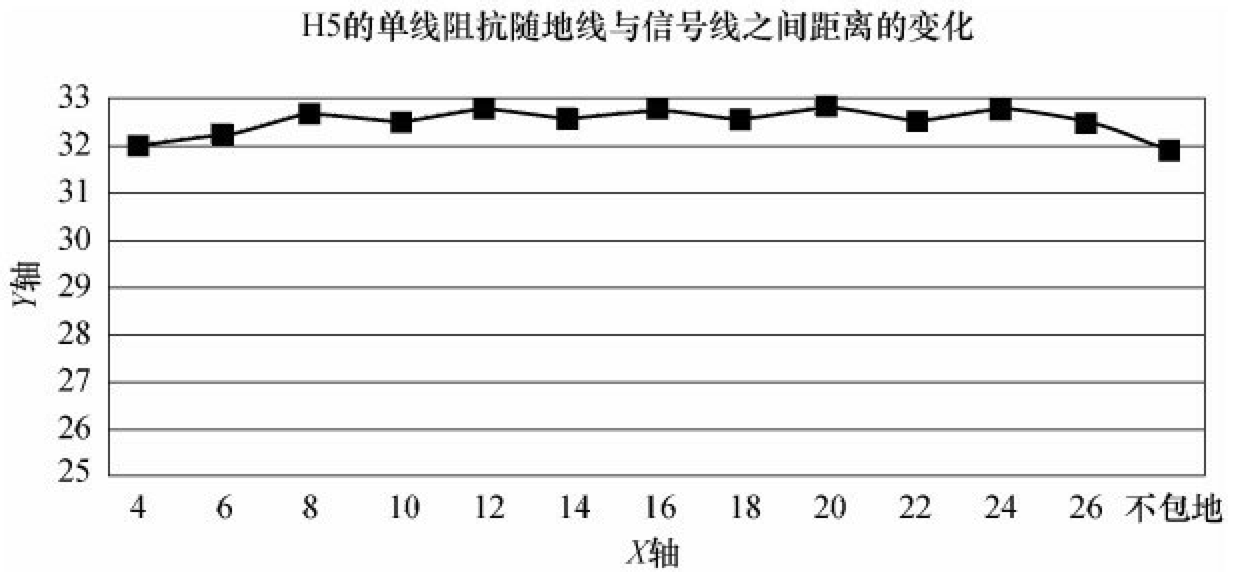


图 5-23 H5阻抗变化曲线

当两地板间距为27.36mil时，阻抗随地线与信号线之间的距离变化而变化的曲线如图5-24所示。

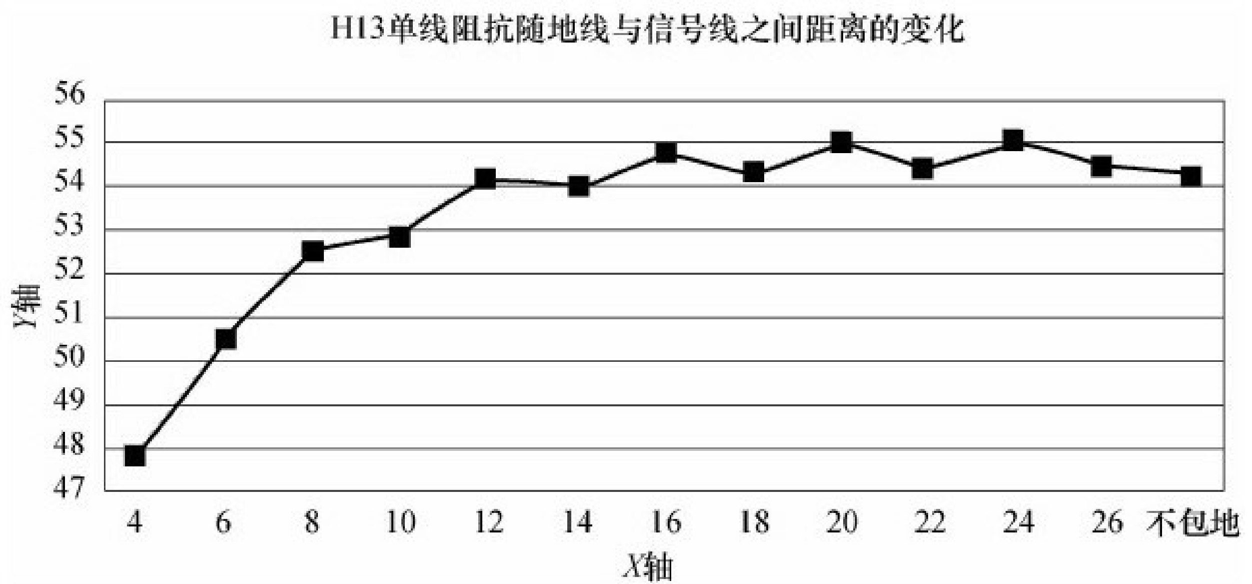


图 5-24 H13阻抗变化曲线

当两地板间距为50mil时，阻抗随地线与信号线之间的距离变化而

变化的曲线如图5-25所示。

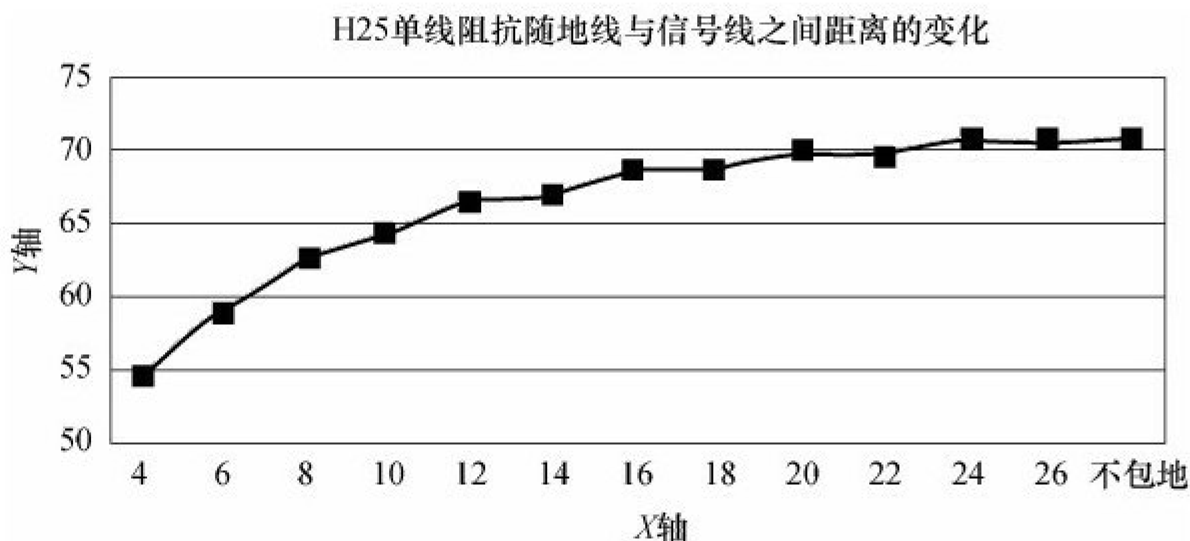


图　5-25　H25阻抗变化曲线

由上面的变化曲线可知：

1）随着地线到信号线的距离的增大，地线对信号线的阻抗的影响逐渐减弱。

2）当两地板之间的间距为10mil时，地线与信号之间距离从4mil变化到26mil，信号线的阻抗基本上没有变化，当两地板间的距离为27mil时，随着地线与信号之间距离从4mil变化到26mil，信号线阻抗从48Ω变化到54Ω，当两地板间的距离为50mil时，随着地线与信号线的间距从4mil变化到26mil，信号线的阻抗从55Ω变化到70Ω，所以，地线对信号线的阻抗的影响随着两地板间的间距的增大而增强，这是由于随着信号线与地板之间距离的增大，信号线到地板的耦合逐渐减弱，到地线的耦

合逐渐增强造成的。

2.屏蔽地线线宽对阻抗的影响

为了研究屏蔽地线的线宽对信号走线阻抗的影响，设置如图5-26所示的结构：固定信号走线的线宽为87mil、差分信号走线的间距为8mil、两地板间的间距H为27.36mil，地线到信号的间距为6mil或12mil。

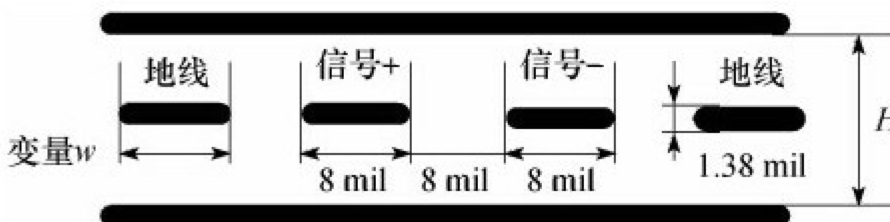


图 5-26 阻抗结构图

曲XTK仿真软件可以得到以下结论：

1）屏蔽地线的线宽对信号的阻抗影响不是唯一的，且对信号的影响较弱，随着屏蔽地线线宽从4mil变化到无穷大，相应的阻抗变化只是在1Ω内摆动，所以在进行PCB设计时，为了节省布线空间，可以用较细的地线作为屏蔽。

2）当地线到信号的间距为6mil时，单线阻抗降低4Ω左右，当地线到信号的距离为12mil时，单线阻抗降低1Ω左右，差分阻抗也降低1Ω左右。

对于关键信号线与接口信号，可以考虑用包地线屏蔽。

5.4 开槽

开槽是PCB设计中一种常见的结构，我们常说的“跨分割区问题”事实上也是一种开槽问题，开槽的产生可以归纳为以下两种情况。

（1）对电源/地平面分割造成的开槽

对PCB板上存在多种不同的电源或地的时候，一般不可能为每一种电源网络和地网络分配一个完整的平面，常用的做法是在一个或多个平面上进行电源分割或地分割，同一个平面上不同的分割就形成了开槽。

（2）通孔过于密集形成开槽

通孔包括焊盘和过孔，通孔穿过地层或电源层而与之没有电气连接时，需要在通孔周围留一些空间（隔离环）以便进行电气隔离；但当通孔之间靠得太近时，隔离环就会重叠起来，形成开槽，这也被称为热焊盘，图5-27所示为一个通孔密集形成开槽的例子。

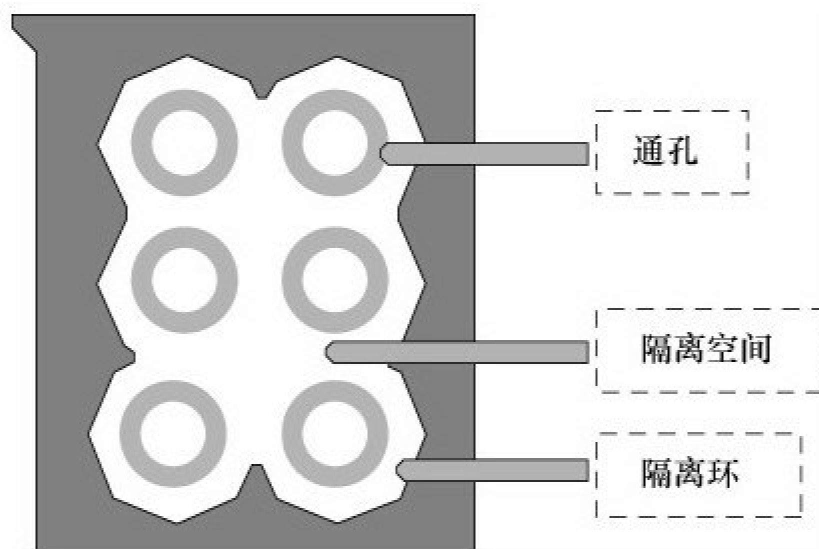


图　5-27　密集孔形成开槽

5.4.1　开槽的影响

开槽对PCB板的EMC性能会造成一定的影响，这种影响可以是消极的，也可以是积极的。

1.高速信号与低速信号的面电流分布

在低速的情况下，电流沿电阻最低的路径流动，图5-28所示的是低速电流从A流向B时，其回流信号从地平面返回源端的情形，此时，地平面电流分布较宽。

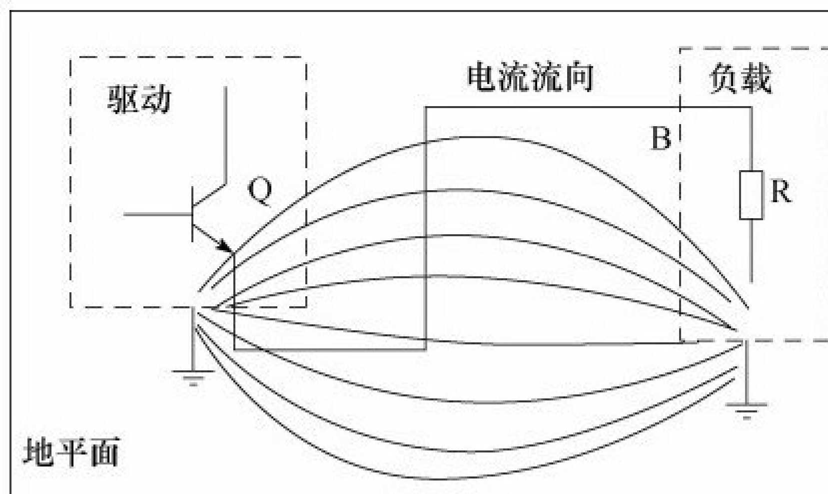


图　5-28　低速回流示意图

在高速的情况下，信号回流路径上的电感的作用将超过电阻的作用，高速回流信号将沿阻抗最低的路径流动，图5-29所示为一个典型的高速信号回流路径示意图。

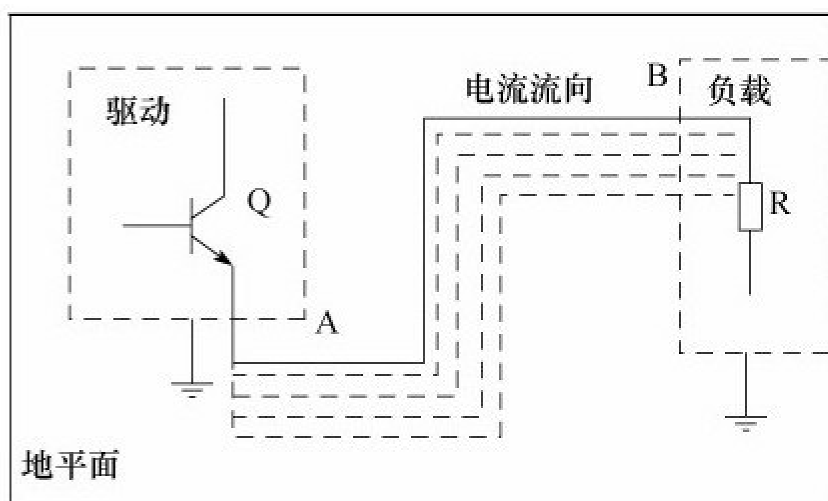


图　5-29　高速回流路径示意图

此时，地平面电流的分布很窄，回流信号成束状并集中在信号线的下方。

2.信号跨越电源平面或地平面上的开槽的问题

不论高速信号还是低速信号，都不应该跨分割走线，跨分割走线会带来很多严重问题，包括：

·增大电流环路面积，加大了环路电感，使输出的波形容易振荡。

·增加向空间的辐射干扰，同时易受空间磁场的影响。

·加大与板上其他电路产生耦合的可能性。

·环路电感上的高频压降成共模辐射源，并通过外接电缆产生共模辐射。

图5-30所示给出了一个地槽引起高频信号产生串扰的示意图。

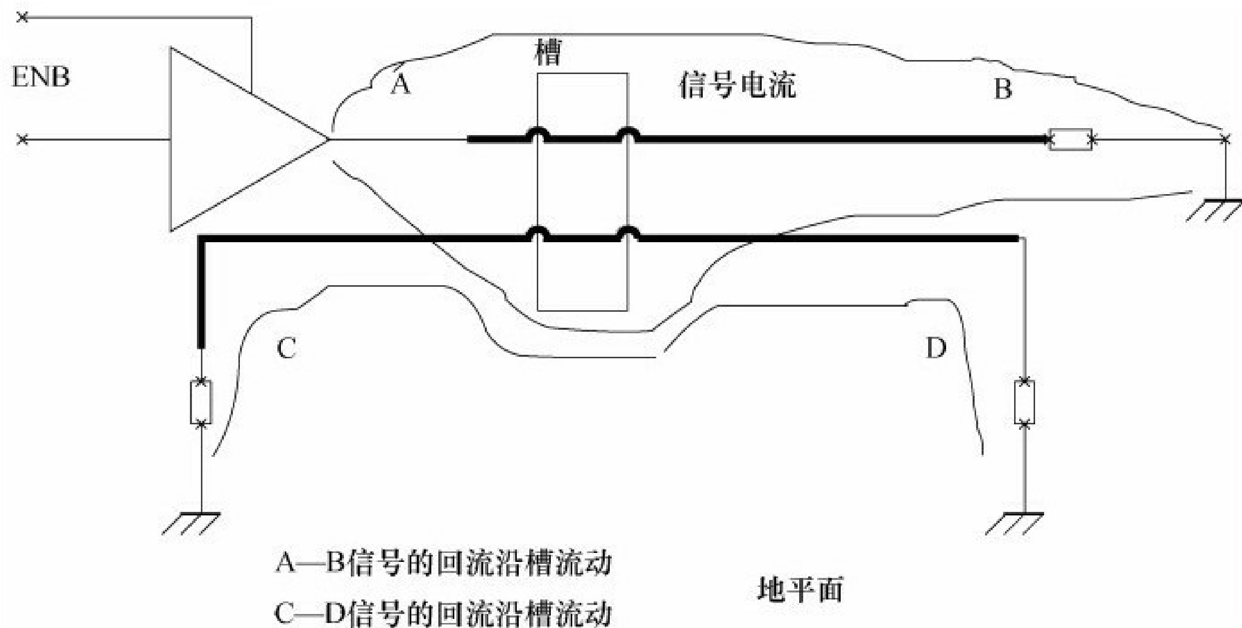


图 5-30 地槽引起的串扰

对需要严格的阻抗控制、按带状模型走线的高速信号线而言，还会因为上平面或下平面或上下平面的开槽破坏带状线模型，造成阻抗的不连续，从而引起严重的信号完整性问题。

5.4.2　开槽的处理

对开槽的处理应该遵循以下原则：

1）需要严格的阻抗控制的高速信号线，其轨线严禁跨分割走线，因跨分割走线会造成阻抗不连续，从而引起严重的信号完整性问题。

2）当PCB板上存在不相容电路时，应该进行分地的处理，分地不应该造成高速信号线的跨分割走线，也尽量不要造成低速信号线的跨分割走线。

3）当跨槽走线不可避免时，应该进行桥接，当信号线不能避免跨开槽走线时，应该进行有效的桥接，在沿信号路径的方向将地平面连接起来，图5-31所示为桥接的示意图。

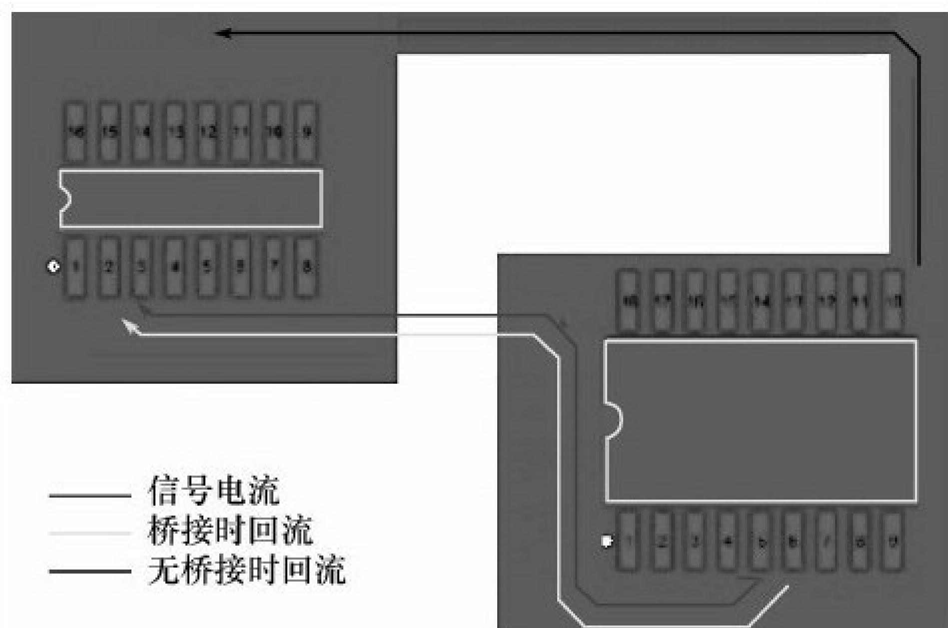


图　5-31　桥接示意图

5.4.3　开槽接插件的处理

地层上的C点与D点存在较大的电位差，如果连接器安装在C、D点，就有可能与外接电缆产生共模辐射，所以连接器应该安装在A、B两点，这样就不存在电位差了。如图5-32所示。

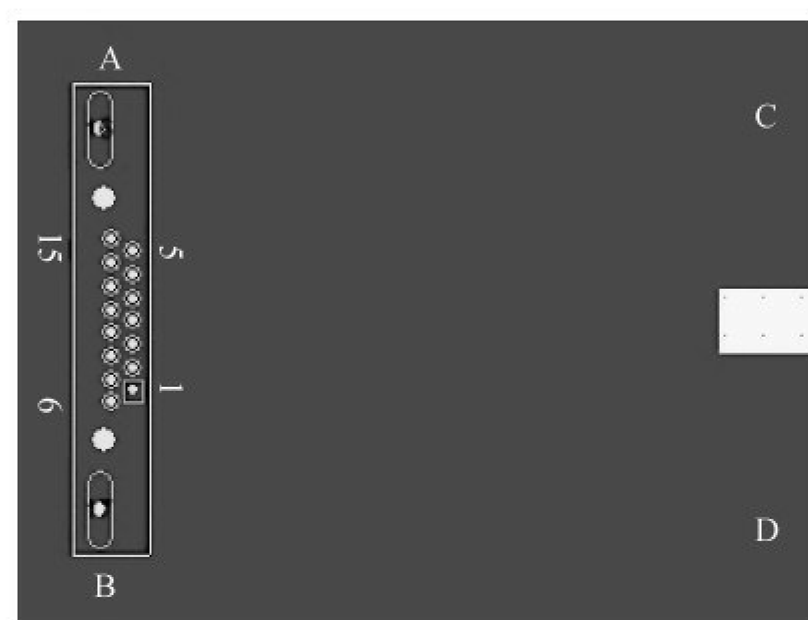


图　5-32　开槽处理

高密度接插件（如目前广泛使用的2mm连接器）在穿过电源和地平面时，如果隔离环的半径过大，如图5-33所示，就会形成开槽，进行PCB设计时，除非有特别的要求（如个别信号的严格的安全距离要求），一般应该保证地网络环绕每一个引脚，也可以在进行引脚排布时均匀安排地网络，以保证地平面的连续性，防止开槽的产生。

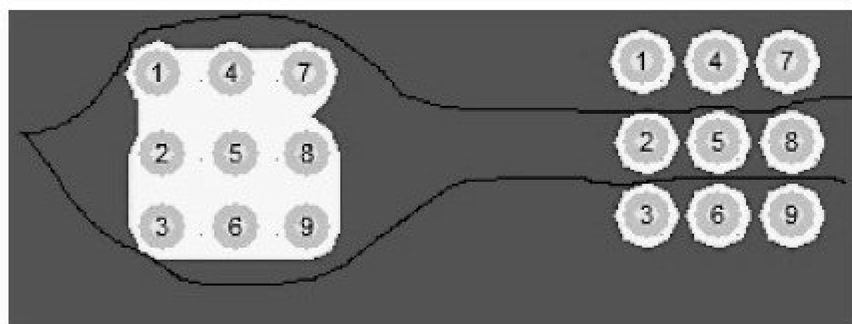


图　5-33　高密度插件的隔离

5.5　分地的处理

当PCB板上存在不相容电路时，需要进行分地处理，即根据不同的电源电压、数字和模拟信号、高速和低速信号、大电流和小电流信号来分别设置地线。分割地是在一定程度上延续过去的概念，从理论上讲，由于分割地也不连续，信号跨越分割线会导致信号地回路增大，从而影响地信号。但是随着电路的复杂程度增加，数字模拟芯片越来越多地混合在一起，要想让所有的信号都避免跨越分割线是非常困难的。这就出现了统一地的方法，将数字电路放在一个区，模拟电路放在一个区，中间放数/模电路，采取统一地，地信号会更完整。这样做根本的目的是保持地的连续和信号完整，分割地只是曾经使用过的一个方法，现在采取统一地也是一个新的方法。统一地是比较好的选择，但是需要仔细布局。

在一些中等复杂程度的中低频电子系统设计中，往往涉及模拟数字混合系统，且同在一个板上。如果使用四层板，建议中间地层作分割处理。例如系统中有大地（往往直接连接USB连接器金属外壳，RS232DB9金属外壳，LC型滤波元件地）、数字地（DGND）和模拟地（AGND）。建议作中间地层分割处理，每种地信号间隔2mm即可，然后所有地信号在接地螺丝边上共地。在元器件布局时，尽量让有连大地元件靠近接地螺丝孔，这样有助于ESD测试。模拟电路部分和数字电路

部分尽量分别集中，相互有一定间距。

中间地层分割处理后，顶层和底层作敷铜处理的必要性就降低了。如果要作，也需要映射中间地层分割作同样的顶层和底层敷铜分割。因为如果中间地层作分割，而上下电路层没分割，假如是数字地，则数字电路中的干扰就会通过电路层敷铜和中间模拟地敷铜重叠部分间的分布电容耦合到模拟地上，影响模拟电路性能。另外晶振部分对应的中间地层也应该分割出来，然后跟周围的地作短柄连接。如图5-34所示。

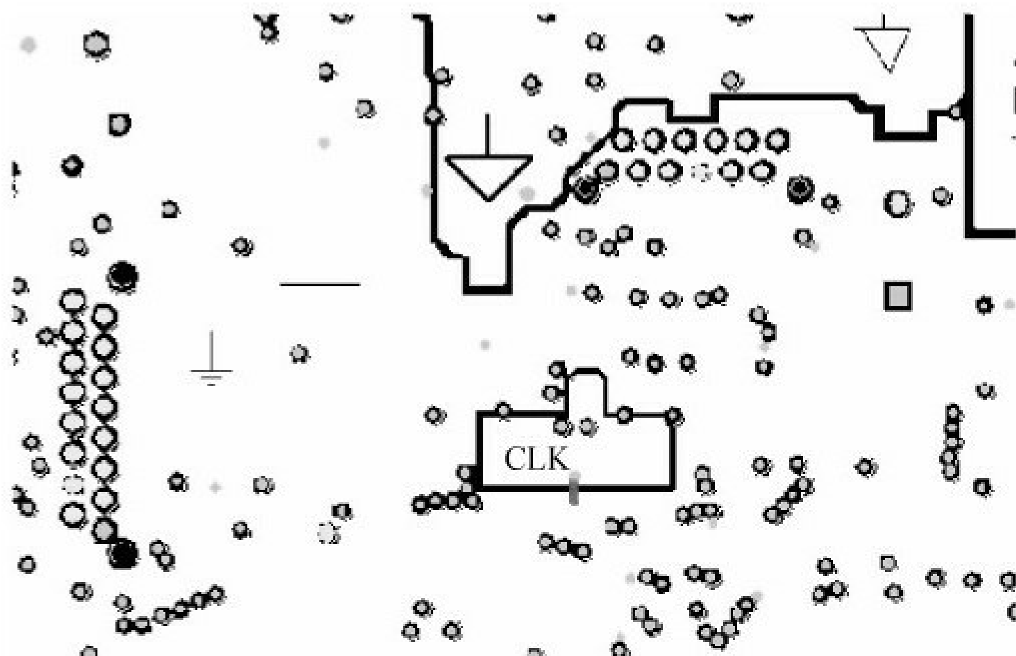


图　5-34　分地示意图

从前面给出的高速信号与低速信号回流的分布可以很容易地理解分地的作用：防止不相容的电路的回流信号的叠加和共地线阻抗耦合。

5.5.1　分割方式1

如果采用如图5-35所示的分割方式1，信号线跨越了两个地之间的间隙，那么信号电流的返回路径是什么？假定被分割的两个地在某处连接在一起（通常情况下是在某个位置单点连接），在这种情况下，地电流将会形成一个大的环路，流经大环路的高频电流会产生辐射和很高的电感。

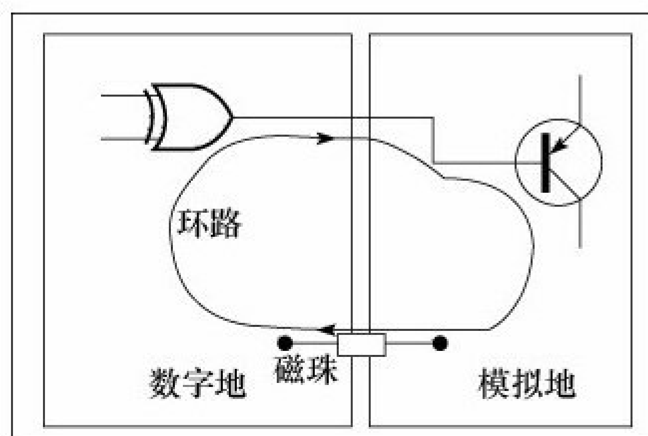


图　5-35　分割方式1

如果流过大环路的是低电平模拟电流，该电流很容易受到外部信号干扰。当把分割地在电源处连接在一起时，将形成一个非常大的电流环路。另外，模拟地和数字地通过一个长导线连接在一起会构成偶极天线。

了解电流回流到地的路径和方式是优化混合信号电路板设计的关键。许多设计仅仅考虑信号电流从哪儿流过，而忽略了电流的具体路

径。如果必须对地线层进行分割，且必须通过分割之间的间隙布线，可以先在被分割的地之间进行单点连接，形成两个地之间的连接桥，然后通过该连接桥布线。这样，在每一个信号线的下方都能够提供一个直接的电流回流路径，从而使形成的环路面积很小。

采用光隔离器件或变压器也能实现信号跨越分割间隙。对于前者，跨越分割间隙的是光信号；对于后者，跨越分割间隙的是磁场。还有一种可行的办法是采用差分信号：信号从一条信号线流入，从另外一条信号线返回，这种情况下，不需要把地作为回流路径。

5.5.2　分割方式2

在实际工作中一般使用统一地，而将PCB分区为模拟部分和数字部分。模拟信号在电路板所有层的模拟区内布线，而数字信号在数字电路区内布线。在这种情况下，数字信号返回电流不会流入到模拟信号的地，如图5-36所示。

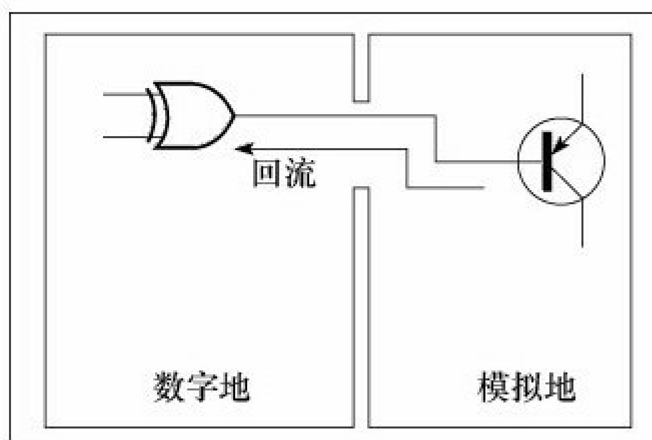


图　5-36　分割方式2

只有将数字信号布线在电路板的模拟部分之上，或者将模拟信号布线在电路板的数字部分之上时，才会出现数字信号对模拟信号的干扰。出现这种问题并不是因为没有分割地，真正的原因是数字信号的布线不适当。

PCB板设计采用统一地，通过数字电路和模拟电路分区及合适的信号布线，通常可以解决一些比较复杂的布局布线问题，同时也不会产生

因地分割带来的一些潜在的麻烦。在这种情况下，元器件的布局和分区就成为决定设计优劣的关键。

如果布局布线合理，数字地电流将被限制在电路板的数字部分，不会干扰模拟信号。对于这样的布线必须仔细地检查和核对，要保证遵守布线规则，否则，一条信号线走线不当就会彻底破坏整个电路板的设计。

5.5.3　A/D分区

在将A/D转换器的模拟地和数字地管脚连接在一起时，大多数的A/D转换器厂商会建议将模拟地和数字地管脚通过最短的引线连接到同一个低阻抗的地上，因为大多数A/D转换器芯片内部没有将模拟地和数字地连接在一起，必须通过外部管脚实现模拟地和数字地的连接，任何与数字地连接的外部阻抗都会通过寄生电容将更多的数字噪声耦合到IC内部的模拟电路上。按照这个建议，需要把A/D转换器的模拟地（AGND）和数字地（DGND）管脚都连接到模拟地上。

如果系统仅有一个A/D转换器，上面的问题就很容易解决。如图5-37所示，将地分割开，在A/D转换器下面把模拟地和数字地部分连接在一起。

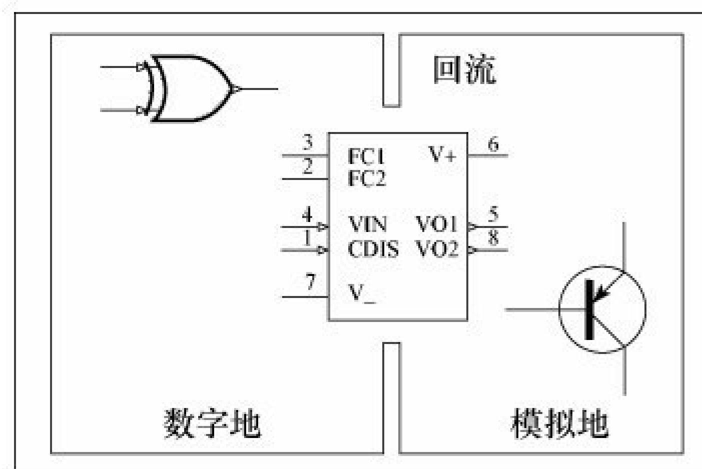


图　5-37　一个A/D的分区

如果系统中A/D转换器较多时，如果在每一个A/D转换器的下面都将模拟地和数字地连接在一起，则会产生多点相连，模拟地和数字地之间的隔离就毫无意义，但如果不这样连接，就违反了厂商的要求。因此最好的办法是开始时就用统一地，如图5-38所示，将统一地分为模拟部分和数字部分。这样的布局布线既满足了IC器件厂商对模拟地和数字地管脚低阻抗连接的要求，同时又不会形成环路天线或偶极天线。

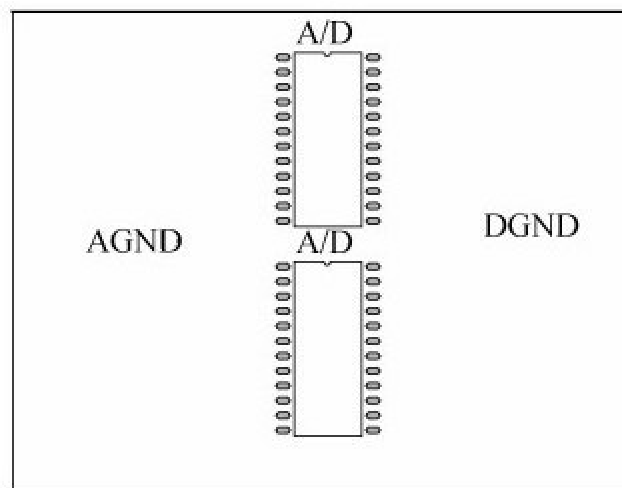


图 5-38 多个A/D的分区

5.5.4　分地的设计

有人建议将混合信号电路板上的数字地和模拟地分割开，这样能实现数字地和模拟地之间的隔离。尽管这种方法可行，但也存在很多潜在的问题，尤其在复杂的大型系统中。最关键的问题是不能跨越分割间隙布线，一旦跨越了分割间隙布线，电磁辐射和信号串扰都会急剧增加。在PCB设计中最常见的问题就是信号线跨越分割地或电源而产生EMI问题。混合信号PCB设计是一个复杂的过程，要注意以下几点：

1）将PCB分区为独立的模拟部分和数字部分。

2）A/D转换器分区放置。

3）不要对地进行分割。在电路板的模拟部分和数字部分下面敷设统一地。

4）在电路板的所有层中，数字信号只能在电路板的数字部分布线。

5）在电路板的所有层中，模拟信号只能在电路板的模拟部分布线。

6）实现模拟和数字电源分割。

7）布线不能跨越分割电源面之间的间隙。

8）必须跨越分割电源之间间隙的信号线要位于紧邻大面积地的布线层上。

9）分析返回地电流实际流过的路径和方式。

10）采用正确的布线规则。

5.6　过孔

过孔也称金属化孔，在双面板和多层板中，为连通各层之间的印制导线，在各层需要连通的导线的交汇处钻一个公共孔，即过孔。在工艺上，过孔的孔壁圆柱面上用化学沉积的方法镀上一层金属，用以连通中间各层需要连通的铜箔，而过孔的上下两面做成圆形焊盘形状，过孔的参数主要有孔的外径和钻孔尺寸。

过孔不仅可以是通孔式，还可以是掩埋式。所谓通孔式过孔是指穿通所有敷铜层的过孔；掩埋式过孔则仅穿通中间几个敷铜层面，仿佛被其他敷铜层掩埋起来。

1.过孔的寄生电容

孔本身存在着对地的寄生电容，如果已知过孔在敷地层上的隔离孔直径为D_2，过孔焊盘的直径为D_1，PCB板的厚度为T，板基材介电常数为ε，则过孔的寄生电容为

$$C=1.41\varepsilon TD_1/（D_2-D_1）$$

过孔的寄生电容给电路造成的主要影响是延长了信号的上升时间，降低了电路的速度。举例来说，对于一块厚度为50mil的PCB板，如果使用内径为10mil，焊盘直径为20mil的过孔，焊盘与地敷铜区的距离为

32mil，则可以通过上面的公式近似算出过孔的寄生电容为

$C=1.41\times4.4\times0.050\times0.020/（0.032-0.020）=0.517pF$

这部分电容引起的上升时间变化量为

$T_{10-90}=2.2C（Z_0/2）=2.2\times0.517\times（55/2）=31.28ps$

从这些数值可以看出，尽管单个过孔的寄生电容引起的上升沿变缓的效用不是很明显，但是如果走线中多次使用过孔进行层间的切换，设计者还是要慎重考虑的。

2.过孔的寄生电感

同样，过孔存在寄生电容的同时也存在着寄生电感，在高速数字电路的设计中，过孔的寄生电感带来的危害往往大于寄生电容。它的寄生串联电感会削弱旁路电容的贡献，降低整个电源系统的滤波效用。可以用下面的公式来简单地计算一个过孔近似的寄生电感：

$L=5.08\ h[\ln（4\ h/d）+1]$

式中，L为过孔的电感；h为过孔的长度；d为中心钻孔的直径。从式中可以看出，过孔的直径对电感的影响较小，而对电感影响最大的是过孔的长度。仍然采用上面的例子，可以计算出过孔的电感为

$L=5.08\times0.050[\ln（4\times0.050/0.010）+1]=1.015nH$

如果信号的上升时间是1ns，那么其等效阻抗大小为

$X_L=\pi L/（T_{10-90}）=3.19\Omega$

这样的阻抗在有高频电流的通过已经不能够被忽略，要特别注意，旁路电容在连接电源层和地层的时候需要通过两个过孔，这样过孔的寄生电感就会成倍增加。

5.6.1　过孔数量对信号质量的影响

过孔数量对信号的影响还需要验证，实际上，每一个过孔都有一点高频损失，过孔有容性的效果，会导致信号高次谐波的衰减，表现为信号上升时间减缓，就一个过孔来说，其导致的影响和整个走线产生的衰耗相比，过孔所引起衰减是微不足道的，对于设计者使用上升时间范围在0.5～1.0ns（500～1000ps）的元器件（或者更快速）来说，一个过孔所引起的几十皮秒的边沿变缓相对来说是没什么影响的，对于甚高速设计，多个过孔的影响应该考虑，应该尽量减少过孔数量。

过孔还会引起信号传输时间变长，一般一个过孔的影响大约几百皮秒的走线延时，对于背板上长的走线来讲，一个过孔的影响也是可以忽略的。

对PCB设计过程中关于过孔的建议：

·尽量减少过孔数量。

·布线换层时，优选阻抗连续的平面进行切换。

·对于低于1GHz的信号，优先考虑内层布线，以减小辐射影响，而不是避免过孔。

5.6.2　过孔对阻抗控制的影响

注意使用需要在PCB上钻孔的器件或在PCB上打过孔都会引起镜像平面的非连续性，会破坏信号的最佳回流路径。如图5-39所示。

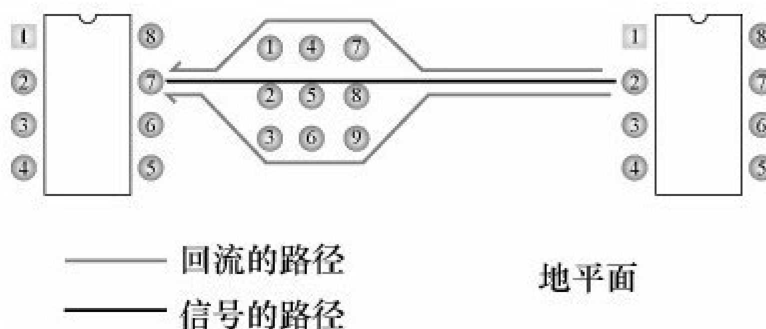


图　5-39　过孔对信号的影响

对于需在不同的层之间打过孔走线的微带线或者带状线而言，在它们周边都有固定的射频回流路线，都易受干扰，最容易提高抗干扰性能的办法是，不要在不同层之间打过孔布线，只在同一层走线最好，确保在微带线与地平面的任何位置上，不要有任何原因造成的阻抗非连续性。如果一条敏感信号线非得打过孔不可的话，那么就要在这个信号过孔附近打上接地的过孔来减小非连续性。

设想一下对于四层以上的布线，有一层完整的地，一层完整的电源层，以及其他布线层，为了在布线时能够确保良好的信号回流，地层应担负起回流主通道的任务，若有敏感信号必须打过孔走到其他非地层相

邻层，那么就要对此信号线进行包地处理，所包的地线应该与信号线平行，并尽量靠近。如图5-40所示。

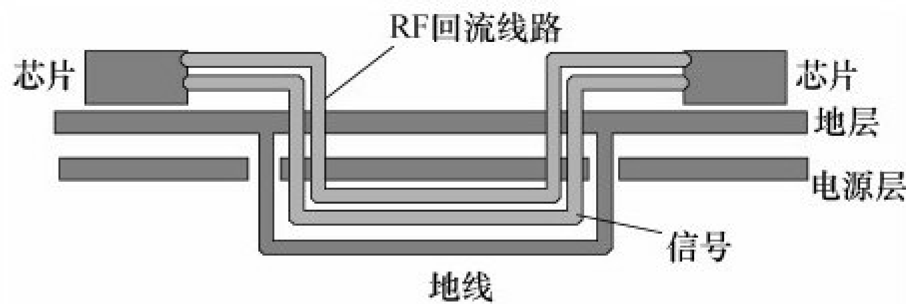


图　5-40　过孔

为了减少过孔的寄生效应带来的不利影响，在进行高速PCB设计时应尽量做到：

·减少过孔，尤其是时钟信号走线。

·使用较薄的PCB有利于减小过孔的两种寄生参数。

·过孔阻抗应该尽可能与其连接的走线的阻抗相匹配，以便减小信号的反射。

·选择合理的过孔尺寸。对于多层、密度一般的PCB，选用0.25mm/0.51mm/0.91mm（钻孔直径/焊盘直径/内层隔离区直径）的过孔较好；对于一些高密度的PCB可以使用0.20mm/0.46mm/0.86mm的过孔，也可以尝试非穿导孔；对于电源或地线的过孔则可以考虑使用较大尺寸，以减小阻抗。

·内层电气隔离区越大越好，考虑PCB上的过孔密度，一般使其满足$D_2=D_g+0.41mm$。

·电源和地的引脚要就近放置过孔，过孔和引脚之间的引线越短越好，因为它们会导致电感的增加。同时电源和地的引线要尽可能粗，以减少阻抗。

·在信号换层的过孔附近放置一些接地过孔，以便为信号提供短距离回路。

在设计时要从成本和信号质量两方面综合考虑，在高速PCB设计时，都希望过孔越小越好，这样板上就留有更多的布线空间，此外，过孔越小，寄生电容也越小，更适合用于高速电路。因此，在高速PCB的过孔设计时应进行均衡考虑。

第6章　滤波与屏蔽

防止电磁干扰有三种措施，即屏蔽、滤波和接地。往往单纯采用屏蔽或接地不能提供完整的电磁干扰防护，因为设备或系统上的电缆才是最有效的干扰接收与发射天线。唯一的措施就是加滤波器，切断电磁干扰沿信号线或电源线传播的路径，与屏蔽共同构成完善的电磁干扰防护。无论是抑制干扰源、消除耦合或提高敏感电路的抗干扰能力，都可以采用滤波技术。当干扰频谱不同于有用信号的频带时，可以用电磁干扰滤波器将无用的干扰滤除。因此，恰当地选择和正确地使用滤波器对抑制传导干扰是十分重要的。

滤波是抑制和防止干扰的一项重要措施。滤波器可以显著减小传导干扰的电平，当干扰频谱成分不同于有用信号的频率，滤波器对于这些与有用信号频率不同的成分有良好的抑制能力，从而起到其他干扰抑制难以起到的作用。常用阻容和感容去耦网络隔离电路与电源，消除电路之间的耦合，并避免干扰信号进入电路。

6.1　滤波器件

滤波器是由集中参数的电阻、电感和电容，或分布参数的电阻、电感和电容构成的一种网络。这种网络允许某些频率通过，而对其他频率成分加以抑制。滤波器按类型一般分为低通滤波器、高通滤波器、带通滤波器、带阻滤波器、吸收滤波器、有源滤波器和专用滤波器。滤波器按电路一般分为单容型（C型）、单电感型（L型）、Γ型、反Γ型、T型和π型。如图6-1所示。

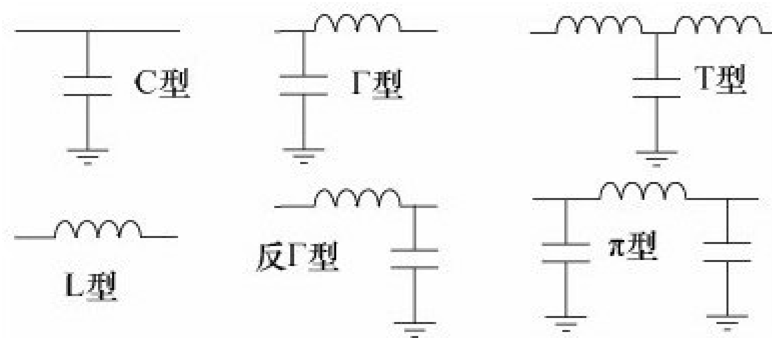


图　6-1　滤波器型式

不同结构的电路适用于不同的源阻抗和负载阻抗，如图6-2所示。T型滤波器适用于信号源内阻和负载电阻比较小（如低于50Ω）的情况；π型滤波器适用于信号源内阻和负载电阻都比较高的情况；当信号源内阻和负载电阻不相等时，可以选用L型或C型滤波电路；对于低信号源阻抗和高负载阻抗，可选L型滤波器，反之，可选用C型滤波器。选用不同型式的滤波器，有助于减少信号源内阻和负载电阻对滤波器频率特

性的影响。

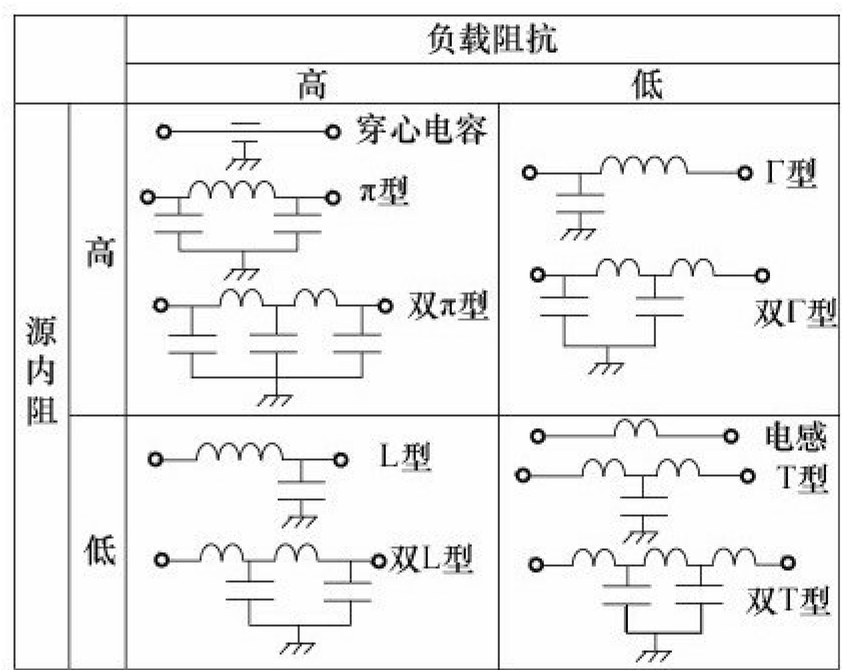


图　6-2　不同型式滤波器内阻

6.1.1　滤波器的分类

滤波器的种类很多，分类方法也不同。主要有以下方法：

1.信号滤波器和电磁干扰滤波器

按功用可把滤波器分为信号选择滤波器和电磁干扰（EMI）滤波器两大类。信号选择滤波器是能有效去除不需要的信号分量，同时是对被选择信号的幅度相位影响最小的滤波器。电磁干扰滤波器可有效抑制电磁干扰。从频率选择的角度出发，电磁干扰滤波器属于低通滤波器。电

磁干扰滤波器常常又分为信号线滤波器、电源线滤波器、印制线路板滤波器、反射型滤波器、吸收型滤波器等几类。

2.模拟滤波器和数字滤波器

按所处理的信号，滤波器分为模拟滤波器和数字滤波器两种。模拟滤波器有有源和无源的，有源滤波器主要由运放或者跨导运放及电阻电容构成。无源的滤波器主要由R、L、C构成。模拟滤波器会有电压漂移、温度漂移和噪声等问题。数字滤波器是由数字乘法器、加法器和延时单元组成的一种算法或装置。数字滤波器的功能是对输入离散信号的数字代码进行运算处理，以达到改变信号频谱的目的。

3.低通、高通、带通和带阻滤波器

按所通过信号的频段，滤波器分为低通、高通、带通和带阻滤波器四种。

·低通滤波器：允许信号中的低频或直流分量通过，抑制高频分量或干扰和噪声。

·高通滤波器：允许信号中的高频分量通过，抑制低频或直流分量。

·带通滤波器：允许一定频段的信号通过，抑制低于或高于该频段的信号、干扰和噪声。

·带阻滤波器：抑制一定频段内的信号，允许该频段以外的信号通过。

4.无源和有源滤波器

按所采用的元器件，滤波器分为无源和有源滤波器两种：

（1）无源滤波器

无源滤波器仅由无源元件（R、L和C）组成，它利用了电容和电感元件的电抗随频率的变化而变化的原理。这类滤波器的优点是：电路比较简单，不需要直流电源供电，可靠性高；缺点是：通带内的信号有能量损耗，负载效应比较明显，使用电感元件时容易引起电磁感应，当电感L较大时滤波器的体积和重量都比较大，在低频域不适用。

（2）有源滤波器

有源滤波器由无源元件R、C和有源器件（如集成运算放大器）组成。这类滤波器的优点是：通带内的信号不仅没有能量损耗，而且还可以放大，负载效应不明显，多级相联时相互影响很小，利用级联的方法很容易构成高阶滤波器，并且滤波器的体积小、重量轻、不需要磁屏蔽（由于不使用电感元件）；缺点是：通带范围受有源器件（如集成运算放大器）的带宽限制，需要直流电源供电，可靠性不如无源滤波器高，不适用于高压、高频、大功率的场合。

6.1.2 滤波器的主要参数

滤波器的主要技术指标有：

·通带频率范围：即滤波器通过或截止信号的频率界限。一般可用截止频率等绝对频率来表示，也可用中心频率和相对带宽等相对值来表示。

·插入损耗（或通带损耗）：即有用信号通过的能力，由滤波器残存的反射及滤波器元件的损耗所引起，也受限于传输媒质的固有Q值。一般希望Q值尽可能小。

·带外衰减（或阻带衰减）：即对不需要信号的抑制能力，一般希望它尽可能大，并在通带范围内陡峭下降。通常取通带外与带宽为一定比值的某一频率的衰减值作为此项指标。

6.1.3 滤波器的特点与应用

不同滤波器型式的特点与应用见表6-1。

表 6-1 滤波器特点与应用

滤波器名称	典型特点与应用
无磁珠三端电容器	无两端电容器的剩余电感，可滤除 VHF 噪声；适合抑制高阻抗电路中的噪声
磁珠电感器	能有效滤除 VHF、UHF 噪声，可抽头自动插入；适合低阻抗接地等电路，除噪效果最佳
加磁珠的三端电容器	三端电容器加磁珠电感元件的 T 型 EMI 器件，能有效滤除 VHF 中的噪声；适用于低阻抗电路
π 型滤波器组	使用磁珠电感元件和穿心电容器的 π 型滤波器阵，有二连和三连；适合高阻抗电路
四端结构型直流电源 EMI 滤波器	计算机直流电源用大容量四端电容器与穿心电容器、磁珠电感元件组合而成的宽带器件，可高效滤除电源输出端从 450 kHz ~ 1 GHz 的噪声，另对共态噪声也有效
交流电源 EMI 滤波器	一般由能够同时除去共模和差模两种模噪声的电路网络构成；兼有强的抗扰性和抗机内噪声发生两种功能；适合用于接交流电源的电子设备从低频到高频宽带范围内的除噪
信号线路 EMI 滤波器	由于有陡直的衰减特性，特别适合有效信号频率与噪声接近的场合；宜用于 RGB 信号线路和数字电子设备等高速数字信号线路

6.2　旁路、滤波电容

滤波是电容作用中很重要的一部分。几乎所有的电源电路中都会用到电容滤波。从理论上讲，电容越大，阻抗越小，通过的频率也越高。但实际上超过1μF的电容大多为电解电容，有很大的电感成分，所以频率高后反而阻抗会增大。有时会看到有一个电容量较大的电解电容并联了一个小电容，这时大电容通低频，小电容通高频。电容的作用就是通高频阻低频。电容越大低频越容易通过，电容越小高频越容易通过。具体用在滤波中，大电容（1000μF）滤低频，小电容（20pF）滤高频。

6.2.1　电容的种类

电容的种类有很多，从原理上分为：无极性可变电容、无极性固定电容、有极性电容等；从材料上可以分为：CBB电容（聚乙烯）、涤纶电容、瓷片电容、云母电容、独石电容、电解电容、钽电容等。见表6-2。

表 6-2　电容的种类与特性

名　称	极　性	制　作	优　点	缺　点
无感 CBB 电容	无	二层聚丙乙烯塑料和二层金属箔交替夹杂，然后捆绑而成。	无感，高频特性好，体积较小	不适合做大容量，价格比较高，耐热性能较差
CBB 电容	无	二层聚乙烯塑料和二层金属箔交替夹杂，然后捆绑而成	有感，高频特性好，体积较小	不适合做大容量，价格比较高，耐热性能较差
瓷片电容	无	薄瓷片两面镀金属膜银而成	体积小，耐压高，价格低，频率高	易碎，容量低
云母电容	无	云母片上镀两层金属薄膜	容易生产，技术含量低	体积大，容量小
独石电容	无	体积比 CBB 更小	有感，高频特性好，体积较小	不适合做大容量，价格比较高，耐热性能较差
电解电容	有	两片铝带和两层绝缘膜相互层叠，转捆后浸泡在电解液中	容量大	高频特性不好
钽电容	有	用金属钽作为正极，在电解质外喷上金属作为负极	稳定性好，容量大，高频特性好	造价高

6.2.2 额定电压

额定电压是指电容器长期工作时所能承受的电压，它比击穿电压要低，电容器上的标称电压是额定电压，电容器在不高于额定电压下工作都是安全、可靠的。电容长期可靠地工作，它能承受的最大直流电压，就是电容的耐压，也叫做电容的直流工作电压。如果在交流电路中，要注意所加的交流电压最大值不能超过电容的直流工作电压值。见表6-3。

表 6-3 电容额定电压

名　　称	电容量/pF	额定电压/V
聚酯（涤纶）电容（CL）	$40 \sim 4\times10^3$	$63 \sim 630$
聚丙烯电容（CBB）	$1\,000 \sim 1\times10^4$	$63 \sim 2\,000$
云母电容（CY）	$10 \sim 1\times10^2$	$100 \sim 7\times10^3$
聚苯乙烯电容（CB）	$10 \sim 1\times10^3$	$100 \sim 3\times10^4$
高频瓷介电容（CC）	$1 \sim 6\,800$	$63 \sim 500$
低频瓷介电容（CT）	$10 \sim 4.7\times10^3$	$50 \sim 100$
玻璃釉电容（CI）	$10 \sim 1\times10^2$	$63 \sim 400$
铝电解电容	$4.7\times10^2 \sim 1\times10^7$	$6.3 \sim 450$
钽电解电容（CA）铌电解电容（CN）	$1\times10^2 \sim 1\times10^6$	$6.3 \sim 125$

6.2.3　绝缘电阻及漏电流

由于电容两极之间的介质不是绝对的绝缘体，它的电阻不是无限大，而是一个有限的数值，一般在1000MΩ以上。电容两极之间的电阻叫做绝缘电阻，或者叫做漏电电阻。漏电电阻越小，漏电越严重。电容漏电会引起能量损耗，这种损耗不仅影响电容的寿命，而且会影响电路的工作。因此，漏电电阻越大越好。

6.2.4 谐振频率

电容都有寄生电感L_S，L_S的大小基本上取决于引线的长度。寄生电感会与电容产生串联谐振，即自谐振，在自谐振频率f_O处，去耦电容呈现的阻抗最小，去耦效果最好。电容在低于谐振频率时呈现容性，电容将因为引线长度和布线自感呈现感性。表6-4给出了两种陶瓷电容的谐振频率，一种具有标准的0.25英寸的引脚和3.75nH的内部互连自感，另一种为表面贴装类型并具有1nH的内部自感。表面贴装类型的谐振频率是通孔插装类型的两倍。

表 6-4 电容的谐振频率

电容值/pF	通孔插装（0.25 引线）谐振频率/MHz	表面贴装（0805）谐振频率/MHz
1.0×10^3	2.5	5
1×10^2	8	16
10	25	50
1 000	80	160
100	250	500
10	800	1 600

另一个影响去耦效力的因素是电容的绝缘材料（电介质）。去耦电容的制造中常使用钡钛酸盐陶瓷（Z5U）和银钛酸盐（NPO）这两种材料。Z5U具有较大的介电常数，谐振频率在1～20MHz。NPO具有较小的介电常数，但谐振频率较高（大于10MHz）。因此Z5U更适合用作低频去耦，而NPO用作50MHz以上频率的去耦。

1.并联电容的幅频特性

在15～175MHz的一个较宽频带内，并联电容的阻抗比单独一个大电容的阻抗大，由于两电容产生了谐振，所以在150MHz处会产生一个阻抗峰值，系统的其他部分在该频率范围内产生的能量只有很少的一部分被旁路到地平面，如图6-3所示。

将两个去耦电容并联，这样可以在更宽的频谱分布范围内降低电源网络产生的开关噪声。多个去耦电容的并联能提供6dB增益以抑制有源器件开关造成的射频电流。多个去耦电容不仅能提供更宽的频谱范围，而且能提供更宽的布线以减小引线自感，因此也就能更有效地改善去耦能力。两个电容的取值应相差两个数量级以提供更有效的去耦（如0.1μF+0.001μF并联）。需要注意的是数字电路的去耦，低的ESR值比谐振频率更为重要，因为低的ESR值可以提供更低阻抗的到地通路，这样当超过谐振频率的电容呈现感性时仍能提供足够的去耦能力。

2.ESR对并联电容幅频特性的影响

阻抗的峰值与电容器ESR值成反比，随着单板的设计水平与器件性能的提高，并联电容的阻抗峰值将会随着ESR的减小而增加，并联谐振峰值的形状与位置取决于PCB板的设计和电容的选择，如图6-3所示。

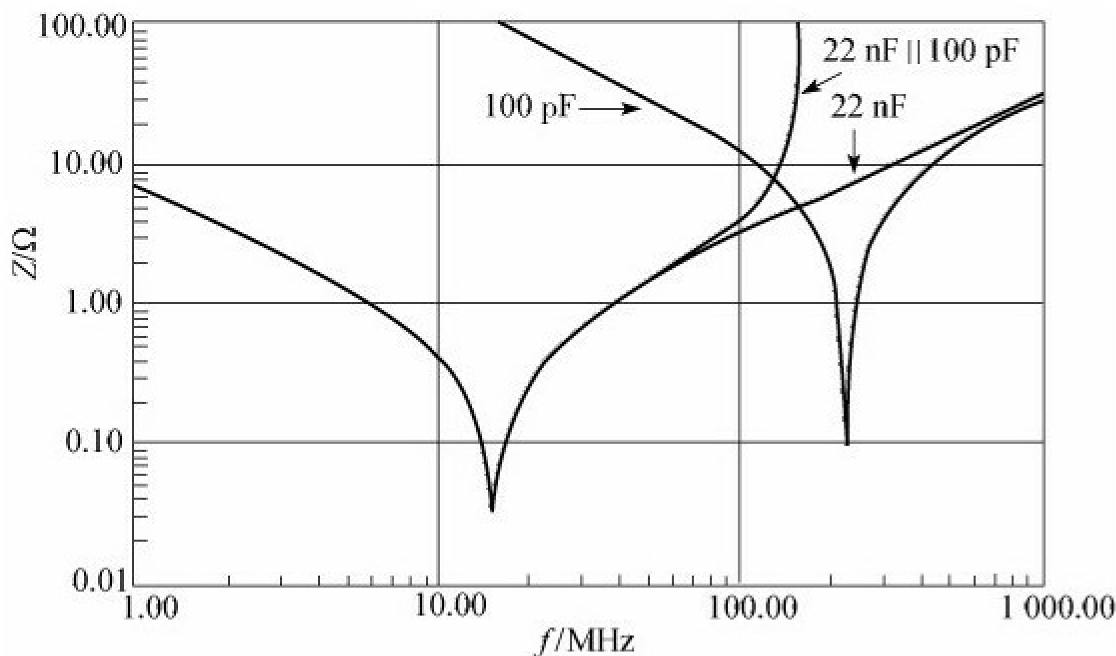


图　6-3　并联电容的幅频特性

以下原则应该明确：

1）随着ESR的减少，谐振点的阻抗会减小，但反谐振点的阻抗会增大。

2）N个相同电容并联使用时，它的最小阻抗可能小于ESR/N。

3）多个电容并联时，阻抗并不一定发生在电容的谐振点。

4）对于给定数量的电容器，比较好的选择是电容值在一个较大的范围均可展开，各个电容值的ESR适中；比较差的选择是仅有少量的电容值，而且电容的ESR都很小。

6.2.5　电容选择的要点

对于RF设计而言，陶瓷电容器、聚酯纤维电容器和聚苯乙烯薄膜电容器都是很好的选择。对于EMI滤波器来讲，对于电容器的介质材料要求并不高，常见的X7R、Y5V、Z5U等松散介质都是不错的选择；通常绝对的电容值、电容器的温度系数、电压变化系数等并不重要。不同种类、不同容值的电容滤波范围也不同，如图6-4所示是典型的插入损耗比对图。

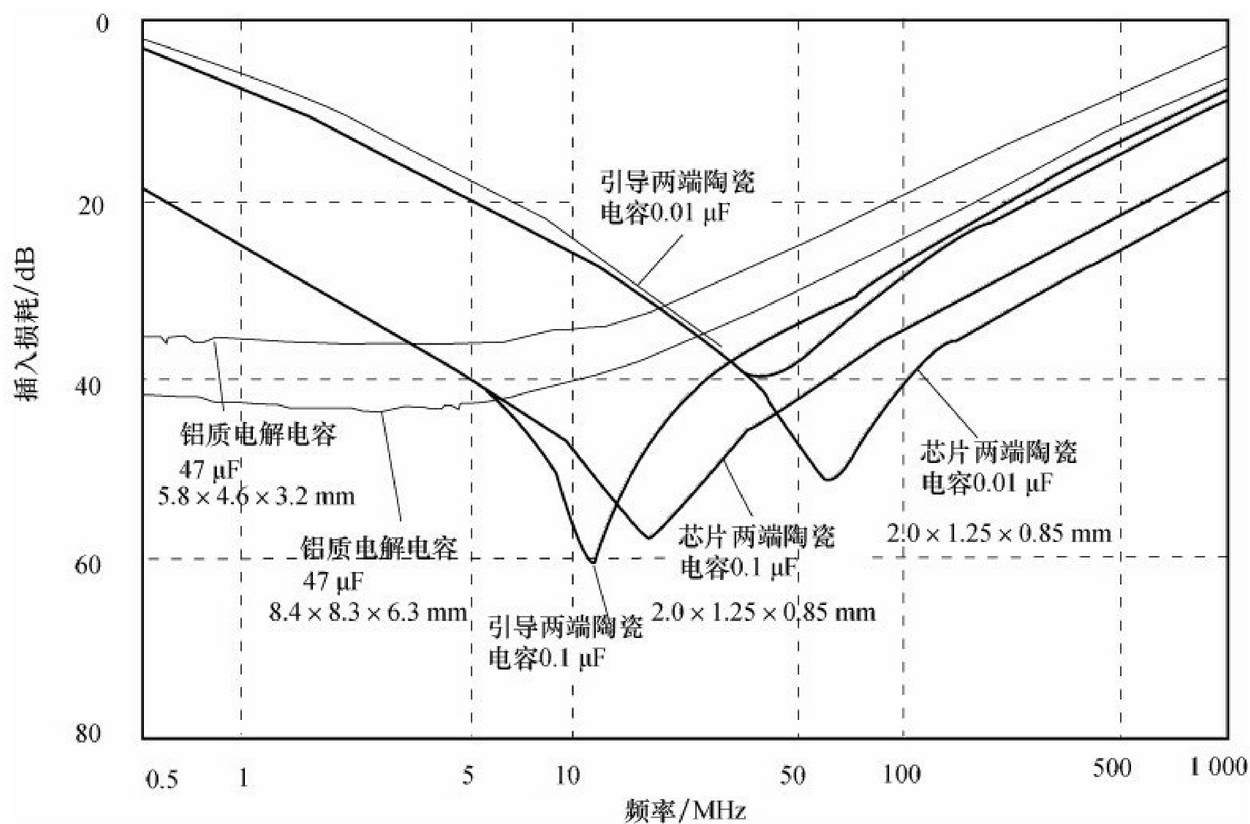


图　6-4　电容插入损耗比对图

一般认为，电容的容量越大，容抗就越小，滤波效果就越好。但是，容量大的电容一般寄生电感也大，自谐振频率低（如典型的陶瓷电容，0.1μF的f_o=5MHz，0.01μF的f_o=15MHz，0.001μF的f_o=50MHz），对高频噪声的去耦效果差，甚至根本起不到去耦作用。分立元件的滤波器在频率超过10MHz时，将开始失去性能。元件的物理尺寸越大，转折点频率越低。这些问题可以通过选择特殊结构的电容来解决。贴片电容的寄生电感几乎为零，总的电感也可以减小到元件本身的电感即传统电容寄生电感的1/3～1/5，自谐振频率可达同样容量的带引线电容的2倍（也有资料说可达10倍），是射频应用的理想选择。

传统上，射频应用一般选择瓷片电容。但在实践中，超小型聚酯或聚苯乙烯薄膜电容也是适用的，因为它们的尺寸与瓷片电容相当。三端电容能将小瓷片电容频率范围从50MHz以下拓展到200MHz以上，这对抑制VHF频段的噪声是很有用的。要在VHF或更高的频段获得更好的滤波效果，特别是保护屏蔽体不被穿透，必须使用馈通电容。

6.3　PCB板上电容的应用

电容是电路板上不可缺少且至关重要的部分，主要起滤波和去耦的作用。

6.3.1　旁路电容

旁路电容的主要作用是产生一个交流分路，从而消去进入易感区的那些不需要的能量。旁路电容一般作为高频旁路器件来减小对电源模块的瞬态电流需求。通常铝电解电容和钽电容比较适合作旁路电容，其电容值取决于PCB板上的瞬态电流需求，一般在10～470μF。若PCB板上有许多集成电路、高速开关电路和具有长引线的电源，则应选择大容量的电容。

旁路电容是为本地器件提供能量的储能器件，它能使稳压器的输出均匀化，降低负载需求。就像小型可充电电池一样，旁路电容能够被充电，并向器件进行放电。为尽量减少阻抗，旁路电容要尽量靠近负载器件的供电电源管脚和地管脚。这能够很好地防止输入值过大而导致的地电位抬高和噪声，如图6-5所示。

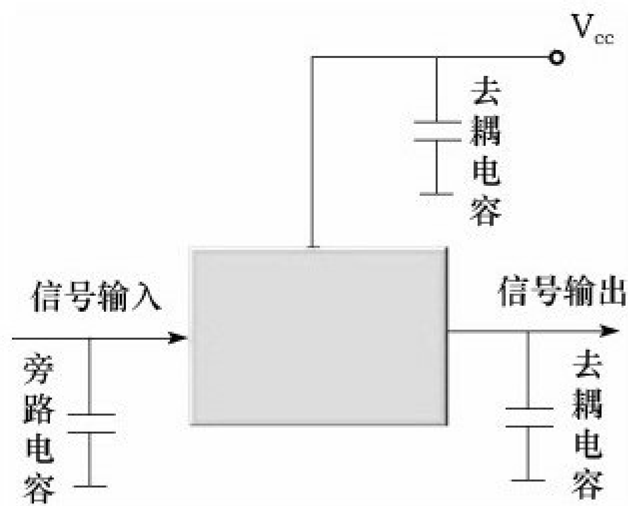


图　6-5　旁路与去耦电容

6.3.2　去耦电容

有源器件在开关时产生的高频开关噪声将沿着电源线传播。去耦电容的主要功能就是提供一个局部的直流电源给有源器件，以减少开关噪声在板上的传播和将噪声引导到地。实际上，旁路电容和去耦电容都应该尽可能放在靠近电源输入处，以帮助滤除高频噪声。去耦电容的取值大约是旁路电容的1/100～1/1000。为了得到更好的EMC特性，去耦电容还应尽可能地靠近每个集成块（IC），因为布线阻抗将减小去耦电容的效力。陶瓷电容常被用来去耦，其值决定于最快信号的上升时间和下降时间。例如，对一个33MHz的时钟信号，可使用4.7～100nF的电容；对一个100MHz时钟信号，可使用10nF的电容。选择去耦电容时，除了考虑电容值外，ESR值也会影响去耦能力。为了去耦，应该选择ESR值低于1Ω的电容。

从电路来说，可以分为驱动的源信号和被驱动的负载。如果负载电容比较大，驱动电路要对电容充电、放电，才能完成信号的跳变，在上升沿比较陡峭的时候，电流比较大，这样驱动的电流就会吸收很大的电源电流，由于电路中的电感和电阻（特别是芯片管脚上的电感，会产生反弹），这种电流相对于正常情况来说实际上是一种噪声，会影响前级的正常工作，这就是耦合。去藕电容就是起到一个电池的作用，满足驱动电路电流的变化，避免相互间的耦合干扰。将旁路电容和去藕电容结

合起来将更容易理解。旁路电容实际也是去耦合的，只是旁路电容一般是指高频旁路，也就是给高频的开关噪声提供一条低阻抗泄防途径。高频旁路电容一般比较小，根据谐振频率一般是0.1μF、0.01μF等，而去耦合电容一般比较大，为10μF或者更大，依据电路中分布参数，以及驱动电流的变化大小来确定。旁路是把输入信号中的干扰作为滤除对象，而去耦是把输出信号的干扰作为滤除对象，防止干扰信号返回电源。这是它们的本质区别。参见图6-5。

去耦电容在集成电路电源和地之间的有两个作用：一是作为集成电路的蓄能电容，二是旁路掉该器件的高频噪声。数字电路中典型的去耦电容值是0.1μF。这个电容的分布电感的典型值是5μH。0.1μF的去耦电容有5μH的分布电感，它的并行共振频率大约在7MHz左右，也就是说，对于10MHz以下的噪声有较好的去耦效果，对40MHz以上的噪声几乎不起作用。1μF、10μF的电容，并行共振频率在20MHz以上，去除高频噪声的效果要好一些。每10片左右集成电路要加一片充放电电容，或1个蓄能电容，可选10μF左右。最好不用电解电容，电解电容是两层薄膜卷起来的，这种卷起来的结构在高频时表现为电感。要使用钽电容或聚碳酸酯电容。去耦电容的选用并不严格，可按C=1/F，即10MHz取0.1μF，100MHz取0.01μF。

VCC网络只有一个点连到VCC平面，这样IC内外的噪声都必须通过这个过孔走到电源平面上，过孔的附加阻抗避免了噪声向系统其余部分

扩散。如图6-6所示。

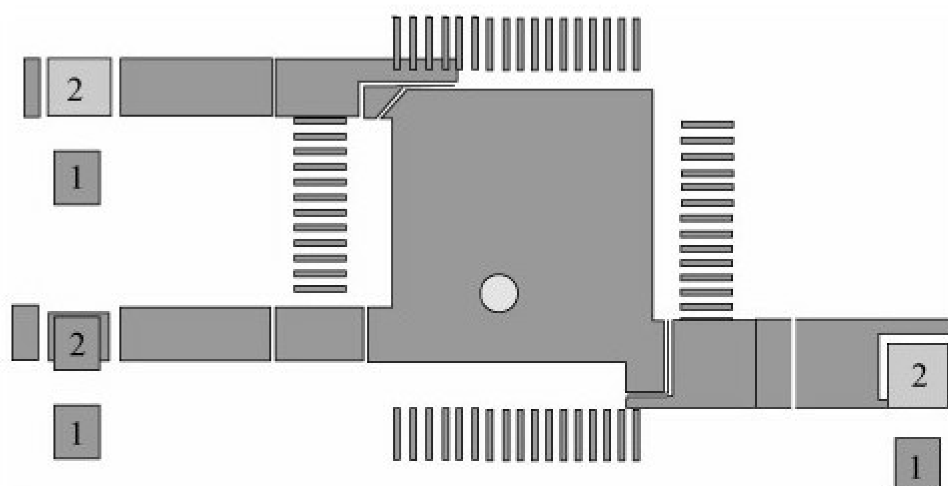


图　6-6　旁路电容的布局

6.3.3 储能电容

储能电容能够保证在负载快速变化时供电电压不下跌。储能电容可以分为系统级储能电容、板级储能电容、器件级储能电容三种。

1.系统级储能电容

储能型电容器通过整流器收集电荷，并将存储的能量通过变换器引线传送至电源的输出端。电压额定值为40～450V（DC）、电容值在220～150000μF之间的铝电解电容器（如EP-COS公司的B43504或B43505）是较为常用的。根据不同的电源要求，器件有时会采用串联、并联或其组合的形式，对于功率级超过10 kW的电源，通常采用体积较大的罐形螺旋端子电容器。

2.板级储能电容

保证负载快速变化到最大时，单板上的供电电压不会下跌。在高频、高速单板上布一定数量的大容量的钽电容（如22μF、33μF）保证单板电压的一致。

3.器件级储能电容

保证负载快速变化到最大时，器件周围的电压不会下跌，对工作频

率较高、功耗较大的器件，建议在其周围摆放1～4个大容量的钽电容，保证其电压的稳定性。

储能电容放置原则：

·靠近供电连接器的输入端。

·连接子板、外设和辅助电路的电源端子附近。

·大功率数字元件附近。

·离电源输入端子最远的位置。

·远离电源数字端子的元件密集区。

·紧邻时钟产生电路。

6.4　滤波电路的设计

对不同设备、不同功能、不同信号、不同传输方式，其滤波的设计均是各不相同的。滤波技术是抑制干扰的一种有效措施，尤其是在对付开关电源的传导干扰和某些辐射干扰方面，具有明显的效果。电源线上的干扰电路以两种形式出现：差模干扰、共模干扰，如图6-7所示。

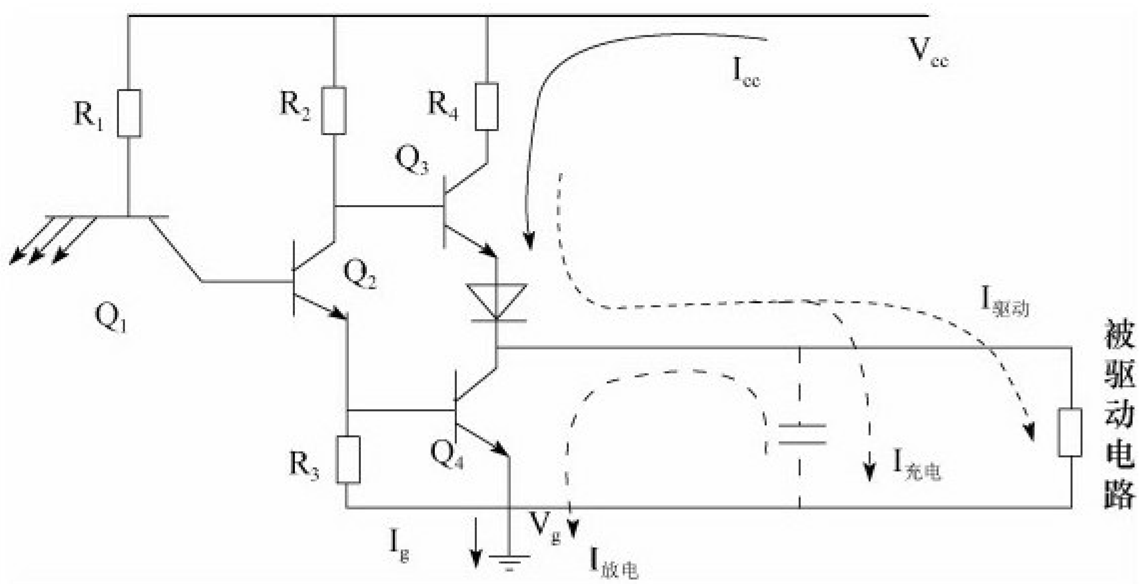


图　6-7　电源线上和地线上的噪声

差模干扰在两导线之间传输，属于对称性干扰；共模干扰在导线与地（机壳）之间传输，属于非对称性干扰，如图6-8所示。通常20kHz以下时，差模干扰占主要部分。1MHz以上时，共模干扰占主要成分。在一般情况下，差模干扰频率低、所造成的干扰较小，而共模干扰频率高，还可以通过导线产生辐射，所造成的干扰较大。因此，欲削弱传导

干扰，将其控制在有关EMC标准规定的极限电平以下，除抑制干扰源以外，最有效的方法就是在开关电源输入和输出电路中加装EMI滤波器。对开关电源产生的骚扰信号，只要选择相应的去耦电路或EMI滤波器，就不难满足EMC标准要求。

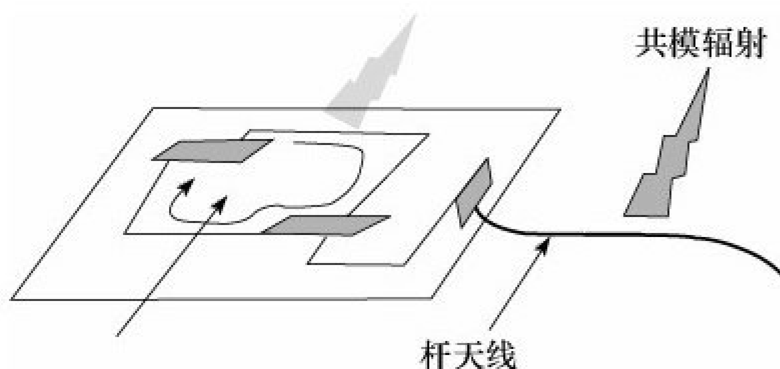


图　6-8　电路板上的两种辐射

减小差模传导干扰的方法是在电源线上串联差模扼流圈、并联电容或用电容和电感组成低通滤波器，来减小高频干扰；减小共模传导干扰的方法是在电源线中串联共模扼流圈、在地与导线之间并联电容器、组成LC滤波器进行滤波，滤去共模传导噪声。共模扼流圈是将电源线的零线和火线同方向绕在铁氧体磁芯上，它对线间流动的电源电流阻抗很小，而对两根导线与地之间流过的共模电流阻抗则很大。

对开关电源来说，电源输入端是电磁干扰从交流电网传入内部和内部干扰反向注入电网的主要途径。为此必须在电源入口处安装一个电源滤波器。电源滤波器对差模干扰和共模干扰都应有抑制作用，所以设计时应考虑其差模插入损耗和共模插入损耗。对交流供电的开关电源来

说，如果没有输入电源滤波电路（见图6-9），要通过电磁兼容测试几乎是不可能的。

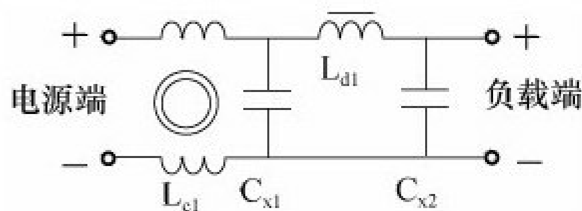


图 6-9 电源滤波电路

滤波网络由共模扼流圈L_{c1}、差模扼流圈L_{d1}和差模电容C_{x1}、C_{x2}组成。为了防止磁芯在较大的磁场强度下饱和而使扼流圈失去作用，差模扼流圈的磁芯必须采用高频特性好且饱和磁场强度大的恒μ磁芯。

6.5 屏蔽

屏蔽就是对两个空间区域进行金属隔离，以控制电场、磁场和电磁波由一个区域对另一个区域的感应和辐射。具体讲，就是用屏蔽体将元部件、电路、组合件、电缆或整个系统的干扰源包围起来，防止干扰电磁场向外扩散，用屏蔽体将接收电路、设备或系统包围起来，防止它们受到外界电磁场的影响。因为屏蔽体对来自导线、电缆、元部件、电路或系统等外部的干扰电磁波和内部电磁波均起着吸收能量（涡流损耗）、反射能量（电磁波在屏蔽体上的界面反射）和抵消能量（电磁感应在屏蔽层上产生反向电磁场，可抵消部分干扰电磁波）的作用，所以屏蔽体具有减弱干扰的功能。

6.5.1 屏蔽的原理

电磁屏蔽与屏蔽体接地与否并没有关系。真正影响屏蔽体屏蔽效能的只有两个因素：一个是整个屏蔽体表面必须是导电连续的，另一个是不能有直接穿透屏蔽体的导体。

1.电屏蔽、磁屏蔽和电磁场屏蔽

按屏蔽所起的作用分，有电屏蔽、磁屏蔽和电磁场屏蔽三种。

（1）电屏蔽

电屏蔽的实质是减少两个设备（或两个电路、组件、元件）间电场感应的影响，它包括静电屏蔽和对高阻抗电场源的近区场低频时变电场的屏蔽两部分。

·屏蔽静电场源对外界的干扰

使用屏蔽体将静电场源包围起来，实际上起不到屏蔽的作用。这是因为屏蔽体的外侧存在感应出的电荷（与屏蔽体内侧感应出的电荷等量，极性相反）。只有将屏蔽体接地，才能将静电场源所产生的电力线封闭在屏蔽体内部，屏蔽体才能真正起到屏蔽作用。

·屏蔽外来静电场的干扰

导体处于静电平衡状态时，屏蔽体的两侧感应出极性相反、电荷量相等的电荷，从而将外来静电场与屏蔽空间隔绝，表面上看达到了屏蔽的目的，但事实上由于静电场改变了屏蔽体的电势，仍将影响被屏蔽的敏感电路工作，因此应将屏蔽体接地，以消除电势的影响，实现有效的屏蔽。

·低频电场的屏蔽

通过电路分析可知，屏蔽体必须选用导电性能良好的材料，也必须接地。只有这样才能有效地减小干扰。一般情况下，要求接地的接触阻

抗小于2mΩ，比较严格的场合要求小于0.5mΩ。若屏蔽体不接地或接地不良，则由于分布电容的作用将会导致加屏蔽后干扰反而变得更大。电屏蔽应具有两个基本要点，即完善的屏蔽体和良好的接地。

一般情况下，电场感应可以看成是分布电容间的耦合，图6-10是一个电场感应的示意图。其中A为干扰源，B为受感应设备，其中U_a和U_b之间的关系为

$U_b=C_1 \cdot U_a/（C_1+C_2）$

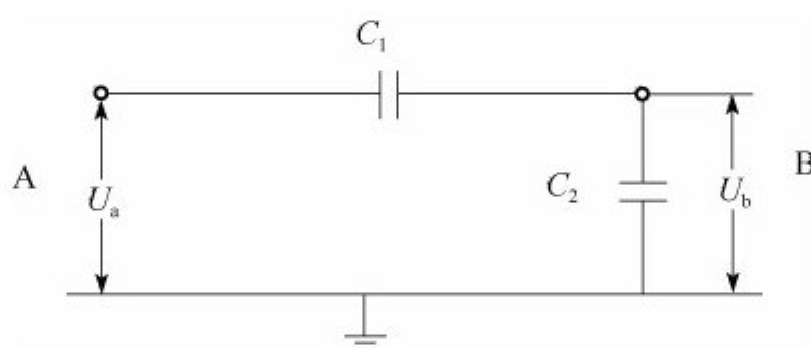


图　6-10　电场感应示意图

C_1为A、B之间的分布电容；C_2为受感应设备的对地电容。根据示意图和等式，为了减弱B上面的地磁感应，使用的方法有：

1）增大A和B之间的距离，减小C_1。

2）减小B和地之间的距离，增大C_2。

3）在AB之间放置一金属薄板或将A使用金属屏蔽罩罩住，C_1将趋

向0数值。

前两种方法比较容易理解，这里主要针对第三种方法进行分析。由图6-11可以看出，插入屏蔽板后（屏蔽板接地），就造成两个分布电容C_3和C_4，其中C_3被屏蔽板短路到地，它不会对B点的电场感应产生影响。而受感应物B的对地和对屏蔽板的分布电容C_3和C_4，实际上是处在并联的位置上。这样，B设备的感应电压U_b'应当是A点电压被A、B之间的剩余电容C_1'与并联电容C_2和C_4的分压，即

$U_b=C_1'\cdot U_a/（C_1'+C_2+C_4）$

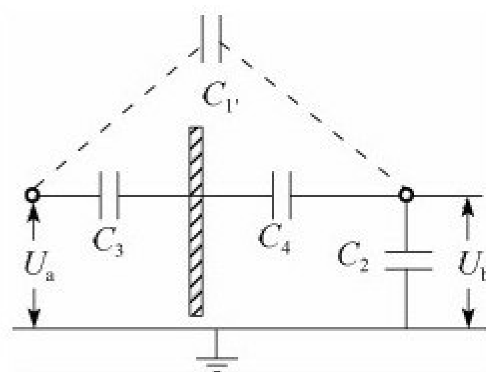


图　6-11　加入金属板后的电场感应图

由于C_1'远小于为屏蔽的C_1，所以在B的感应电压就会减小很多。因此，很多时候都采用这种接地的金属罩作为屏蔽物。

以下是对电场屏蔽的几点总结：

·屏蔽金属板放置靠近受保护设备比较好，这样将获得更大的C 4，

减小电场感应电压。

·屏蔽板的形状对屏蔽效能的高低有明显的影响，例如，全封装的金属盒可以有最好的电场屏蔽效果，而开孔或带缝隙的屏蔽罩可以有最好的电场屏蔽效果，而且开孔或者带缝隙的屏蔽罩，其屏蔽效能会受到不同程度的影响。

·屏蔽板的材料以良性导体为佳，对厚度并无特殊要求。

（2）磁屏蔽

磁屏蔽包括两部分：恒定磁场的屏蔽和对低频时变磁场的屏蔽。磁力一定是闭合的，这个性质说明磁屏蔽无法像电屏蔽体对磁力线（磁场）进行分流，以此来切断干扰源与受感器之间的磁力线交连。磁屏蔽体一般选用钢、铁、坡莫合金等高导磁率的铁磁性材料，这种磁屏蔽体在空气中可使大部分磁量从中流过，从而达到了减弱磁场的目的。这个结论无论对于恒定磁场还是低频交变磁场都是适用的，因为低频时，涡流感应电流所产生的屏蔽作用已很小。

·选用高导磁率的材料，增加屏蔽体的壁厚，以减少屏蔽体的磁阻。

·被屏蔽物要放在屏蔽体中心位置，尽可能不让磁通经过被屏蔽物，以免降低屏蔽效果。

·注意屏蔽体的结构，凡缝隙、通风孔等应顺着磁场方向分布，尽可能不阻断磁通的通过。

·对强磁场可采用双层屏蔽体结构。当屏蔽外部强磁场时，要求外层屏蔽体选用不易磁饱和的材料，如硅钢等；内层则选用容易达到饱和的高导磁材料，如坡莫合金等。反之，屏蔽体的材料使用次序要颠倒过来。

·两层屏蔽体在安装时要注意彼此间的磁路绝缘。如屏蔽体无接地要求，可用绝缘材料作支撑。如要求接地，可用非铁磁材料的金属作支撑。从屏蔽体可兼有电、磁屏蔽功能出发，屏蔽体通常是要接地的。

（3）电磁屏蔽

电磁屏蔽是屏蔽辐射干扰的远区场，即同时屏蔽电场和磁场的一种措施。其目的是要阻止电磁场在空间传播。当干扰源电磁波向屏蔽体入射时，首先在其入射表面感应出电流和电荷，形成新的辐射源。新辐射源产生向前后及两侧传播的电磁波。与入射波在同一空间且传输方向相反的波为反射波；进入屏蔽体且在内部继续传播的波为透射波，透射波由于屏蔽体热损耗的影响以指数规律衰减，在到达屏蔽体另一表面时产生反射和透射，从而大大减弱传导到屏蔽体另一侧空间的电磁能量，起到屏蔽的作用。显然，感应电流和电荷越大，所产生的反射场就越强；热损耗将电磁能量转化成的热能越大，透射波的衰减越多。因此电磁屏

蔽就是选用良导体制成的屏蔽体，通过对电磁波的反射和吸收作用来达到衰减电磁能量，减少辐射干扰的目的。

电磁屏蔽不但要求有良好的接地，而且要求屏蔽体具有良好的导电连续性，对屏蔽体的导电性要求要比静电屏蔽高得多。因而为了满足电磁兼容性要求，常常用高导电性的材料作为屏蔽材料，如铜板、铜箔、铝板、铝箔、钢板或金属镀层、导电涂层。

2.多层屏蔽

屏蔽盒有多种形式，如单层屏蔽盒、双层屏蔽盒、多层屏蔽盒、单腔屏蔽盒、多腔屏蔽盒等。对于多腔屏蔽盒，每一个腔体之间都必须做好屏蔽。屏蔽室采用金属板做屏蔽体效果好，但从采光和通风考虑，屏蔽室通常采用金属网做屏蔽体。金属网的网孔越小，其屏蔽效能就越好。一般采用1.5cm的网孔就可以了。

当采用金属网屏蔽时，多半在连接处的电流导通性能不好，往往不能达到预期的屏蔽效能。解决办法是将金属的连接处用焊料进行热浸处理，使网孔的接触点焊接起来。采用单层金属网屏蔽只能获得40～50dB的屏蔽效能。若要获得更高的屏蔽效能，可采用中间有绝缘衬垫的双层屏蔽。双层屏蔽的内外两层金属网在其他地方是相互绝缘的，只在电源引线处实行电气一点连接。内外两层金属的间距要保持合适的距离。当频率更高时，两层金属网的间距还要大一些。

在屏蔽要求很高的情况下，单层屏蔽往往难以满足要求，这就要采用多层屏蔽。一般多层屏蔽的夹层为空气。双层屏蔽体的屏蔽效能可能小于两个单层屏蔽体的屏蔽效能之和，这是由于穿透第一层屏蔽体的电磁波在两层之间的空间内多次反射，仍会有相当一部分穿透第二层屏蔽体进入屏蔽空间，造成屏蔽效能降低。同时还应注意到，在频率很高时，电磁波在两屏蔽层间会产生谐振。当两层间距为1/4波长的奇数倍时，双层屏蔽具有最大的屏蔽效能；当两层间距为1/4波长的偶数倍时，屏蔽效能最小。所以屏蔽层间的谐振及层间距为1/4波长的偶数倍，都是屏蔽应用中要避免的。

3.屏蔽体的孔缝对屏蔽效能的影响

在频率很高的情况下，实心屏蔽体的屏蔽效能本足以达到要求。但是，实际的屏蔽体由于制造、装配、维修、散热等原因，必须开有孔缝。而实际上，孔缝泄露是影响屏蔽体屏蔽效能的最主要因素。所以有以下结论：在频率很高时（f＞10MHz），屏蔽体屏蔽效能主要取决于孔缝泄露，而对屏蔽材料的厚度及材料种类的选择（只要是导电的），除了满足必要的刚度、强度外，无需给予过多考虑。

6.5.2　屏蔽的规则

底板和机壳的结构设计，即结构材料和装配技术，通常对产品的电磁兼容性能起决定性作用。底板和机壳是为控制设备或功能单元中无用信号通路提供屏蔽的最有效方法。屏蔽的程度取决于结构材料的选择和装配中所用的设计技术两个方面。经过设计的屏蔽仅受设计者在设计接缝、开口、穿透和对底板及机壳的搭接等方面的知识和技巧的限制。

1.屏蔽

屏蔽是对场进行处理。离场源的距离不同的区域，场的性质不同。临界距离是$d_0=\lambda/2\pi \backsimeq \lambda/6$。

（1）场域划分

场域可粗略划分为d＜λ/2π的近场区，d＞λ/2π的远场区；严格划分为$d<d_0/3$即d＜λ/20的近场区，实际可扩展到d＜λ/1.2πd＞$3d_0=\lambda/2$的远场区，λ/20＜d＜λ/2的过渡区。

（2）场域性质

近场是感应场，包括静电场和静磁场，对外不辐射能量。（法拉第屏蔽处理）远场是辐射场，包括交变电场E和交变磁场H, E和H矢量在时

间上同相而向外辐射能量。（对于机箱屏蔽处理，特别是电气连续性问题的处理）过渡区是感应电磁场，场的性质比较复杂。

（3）对设备内部主要是近场问题

用场论来解麦克斯韦方程复杂而不实用，故用近似电路理论处理。即用集中参数电容考察电场引起的耦合，用互感集中参数考察磁场引起的耦合。

·如果波源的电压高、电流小，则电场的作用比磁场的作用明显，可采用电场屏蔽，即用法拉第屏蔽来消除电场的影响。

·如果波源的电压低、电流大，则磁场起主导作用，应采用磁场屏蔽，即使上级回路的磁通发生扭曲或将其引向他方，避免与下级回路交联来消除磁场耦合。

（4）电磁场的屏蔽

使用连续的闭合金属箱体，对抗远场和近场。结构材料为：

·适用于底板和机壳的大多数材料是良导体，可以屏蔽电场，如铝、铜等。主要屏蔽机理是反射而不是吸收。

·对磁场的屏蔽需要铁磁材料，如高导磁率合金和铁。主要的屏蔽机理是吸收而不是反射。

·在强电磁环境中，要求材料能屏蔽电场和磁场两种成分，因此需要结构上完好的铁磁材料。屏蔽效能直接受材料厚度及搭接和接地方法好坏的影响。

·对塑料壳体可以在其内壁喷涂屏蔽层，或在注塑时掺入金属纤维。

2.缝隙

必须尽量减少结构的导电不连续性，以便控制经底板和机壳进出的泄漏辐射。提高缝隙屏蔽效能的结构措施包括增加缝隙深度、减少缝隙长度、在接合面加入导电衬垫、在接缝处涂上导电涂料、缩短螺钉间距等。

1）在底板和机壳每一条缝和不连续处要尽可能搭接好。最坏搭接处对壳体的屏蔽效能降低起决定性作用。

2）保证接缝处金属对金属的接触，以防电磁能的泄漏和辐射。

3）在可能的地方，接缝应焊接，以便接合面连续。在条件受限制的情况下，可用点焊、小间距铆接和螺钉连接来处理。

4）在不加导电衬垫时，螺钉间距一般应小于最高工作频率的1%波长，至少不大于1/20波长。

5）用螺钉或铆接进行搭接时，应首先在缝的中部搭接好，然后逐渐向两端延伸，以防金属表面的弯曲。

6）保证紧固方法有足够的压力，以便在有变形应力、冲击、振动时保持表面接触。

7）在接缝不平整的地方、可移动的面板等处，必须使用导电衬垫或指形弹簧材料。

8）选择高导电率和弹性好的衬垫。选择衬垫时要考虑接合处所使用的频率。

9）选择硬韧材料做成的衬垫。保证同衬垫配合的金属表面没有非导电保护层。

10）当需要活动接触时，使用指形压簧（而不用网状衬垫），并要注意保持弹性指簧的压力。

11）导电橡胶衬垫用在铝金属表面时，要注意电化腐蚀作用。纯银填料的橡胶或线型衬垫将出现严重的电化学腐蚀。银镀铝填料的导电橡胶是盐雾环境下用于铝金属配合表面的最好衬垫材料。

3.穿透和开口

保持屏蔽体的电连续性，但是在实际使用时总会有线路进出屏蔽

体，造成屏蔽体的开口和穿透，这就要注意以下问题：

1）由于电缆穿过机壳会使整体屏蔽效能降低，典型的未滤波的导线穿过屏蔽体时屏蔽效能降低30dB以上。

2）电源线进入机壳时，全部应通过滤波器盒。滤波器的输入端最好能穿出屏蔽机壳外；若滤波器结构不宜穿出机壳，则应在电源线进入机壳处专为滤波器设置隔离舱。

3）信号线、控制线进入/穿出机壳时，要通过适当的滤波器。具有滤波插针的多芯连接器（插座）适于这种场合使用，如图6-12所示。

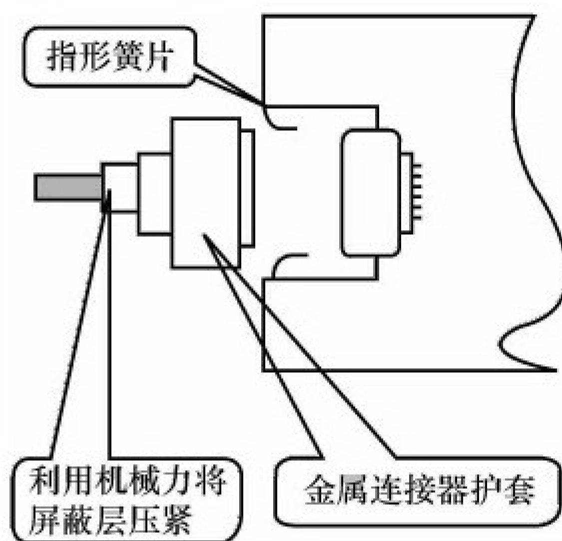


图　6-12　连接器屏蔽的接法

4）穿过屏蔽壳体的金属控制轴，应该用金属触片、接地螺母或射频衬垫接地。也可不用接地的金属轴而用其他绝缘轴贯通波导截止频率比工作频率高的圆管来做控制轴。

5）必须注意在截止波导孔内贯通金属轴或导线会严重降低屏蔽效能。当使用对地绝缘的金属控制轴时，可用短的隐性控制轴，不调节时用螺帽或金属衬垫弹性安装帽盖住。

6）为保险丝、插孔等加金属帽。用导电衬垫和垫圈、螺母等实现钮子开关防泄漏安装。

7）在屏蔽、通风和强度要求不苛刻时，用蜂窝板屏蔽通风口。最好用焊接方式保持连接，防止泄漏。

8）尽可能在指示器、显示器后面加屏蔽，并对所有引线用穿心电容器滤波。

9）在不能从后面屏蔽指示器/显示器和对引线滤波时，要用与机壳连续连接的金属网或导电玻璃屏蔽指示器/显示器的前面。对夹金属丝的屏蔽玻璃，在保持合理的透光度条件下，对30～1000MHz的屏蔽效能可达50～110dB。在透明塑料或玻璃上镀上透明导电膜，其屏蔽效果一般不大于20dB。但后者可消除观察窗上的静电积累。

屏蔽体应具备下述三个要素：一个完整的电连续体；有完善的滤波措施；对于电屏蔽还要有良好的接地。影响屏蔽效能的因素并非不能消除，但要下工夫，如提高导电涂料的性能，合理布置孔、缝的位置及开口方向，加装滤波器连接器、屏蔽铜网及导电衬垫，提高装配工艺水平。总之，解决这一问题需企业重视，设计人员努力。

6.5.3 设备孔的屏蔽

在高频电场下，采用薄层金属作为外壳或内衬材料可达到良好的屏蔽效果，但条件是屏蔽必须连续，并将敏感部分完全遮盖，没有缺口或缝隙（形成一个法拉第笼）。然而在实际中制造一个无接缝及缺口的屏蔽外壳是不可能的，由于屏蔽外壳要分成多个部分进行制作，因此就会有缝隙需要接合，另外通常还要在屏蔽外壳上打孔以便外部连接。

1.屏蔽孔

设计屏蔽外壳的困难在于制造过程中不可避免会产生孔隙，而且设备运行过程中还会需要用到这些孔隙。制造、面板连接、通风口、外部监测窗口及面板粘着组件等都需要在屏蔽外壳上打孔，从而大大降低了屏蔽性能。

尽管沟槽和缝隙不可避免，但在屏蔽设计中对与电路工作频率波长有关的沟槽长度进行仔细考虑是很有益的。任一频率电磁波的波长为：波长（λ）=光速（C）/频率（f）。当缝隙长度为波长（截止频率）的一半时，射频波开始以20dB/10倍频程（缝隙为波长的1/10）或6dB/8倍频程（缝隙为波长的1/2）的速率衰减。通常射频发射频率一定的情况下，缝隙越窄衰减越严重，因为它允许通过的波长越短。当涉及最高频率时，必须要考虑可能会出现的任何谐波，不过实际上只需考虑一次及

二次谐波即可。一旦知道了屏蔽外壳内射频辐射的频率及强度，就可计算出屏蔽外壳的最大允许缝隙和沟槽。

例如如果需要对1GHz（波长为300mm）的辐射衰减26dB，则150mm的缝隙将产生衰减，因此当存在小于150mm的缝隙时，1GHz辐射就会被衰减。所以对1GHz频率来讲，若需要衰减20dB，则缝隙应小于15mm（150mm的1/10）；需要衰减26dB时，缝隙应小于7.5mm（15mm的1/2以上）；需要衰减32dB时，缝隙应小于3.75mm（7.5mm的1/2以上）。可采用合适的导电衬垫使缝隙大小限定在规定尺寸内，从而实现这种衰减效果。

（1）设计难点

由于接缝会导致屏蔽外壳导电率下降，因此屏蔽效率也会降低。在需要穿孔时，可利用厚屏蔽罩上面小孔的波导特性；另一种方法是附加一个小型金属屏蔽物，如一个大小合适的衬垫。多孔薄型屏蔽层：多孔的例子很多，比如薄金属片上的通风孔等，当各孔间距较近时设计上必须要仔细考虑。下面是此类情况下屏蔽效率计算公式：

$SE=[20\lg(f_{c/o}/\sigma)]-10\lg n$

式中，$f_{c/o}$为截止频率；n为孔洞数目；σ为铜的导电率。

注意此公式仅适用于孔间距小于孔直径的情况，也可用于计算金属

编织网的相关屏蔽效率。

（2）接缝和接点

电焊、铜焊或锡焊是薄片之间进行永久性固定的常用方式，接合部位金属表面必须清理干净，以使接合处能完全用导电的金属填满。不建议用螺钉或铆钉进行固定，因为紧固件之间接合处的低阻接触状态不易长久保持。

（3）衬垫及附件装配

导电衬垫的作用是减少接缝或接合处的槽、孔或缝隙，使射频辐射不会散发出去。EMI衬垫是一种导电介质，用于填补屏蔽罩内的空隙并提供连续低阻抗接点。通常EMI衬垫可在两个导体之间提供一种灵活的连接，使一个导体上的电流传至另一导体。大多数商用衬垫都具有足够的屏蔽性能以使设备满足电磁兼容标准要求，关键是在屏蔽外壳内正确地对垫片进行设计。

2.垫片系统

一个需要考虑的重要因素是弹簧垫，弹簧垫能在衬垫和垫片之间产生较高导电率。衬垫和垫片之间导电性太差会降低屏蔽效率，另外接合处如果少了弹簧垫则会出现细缝而形成槽状天线。确保导通性首先要保证垫片表面平滑、干净并进行必要处理以具有良好导电性，这些表面在

接合之前必须先遮住；另外屏蔽衬垫材料对这种垫片具有持续良好的黏合性也非常重要。导电衬垫的可压缩特性可以弥补垫片的任何不规则情况。

所有衬垫都有一个有效工作最小接触电阻，设计人员可以加大对衬垫的压缩力度以降低多个衬垫的接触电阻。大多数衬垫在压缩到原来厚度的30%～70%时效果比较好。因此在建议的最小接触面范围内，两个相向凹点之间的压力应足以确保衬垫和垫片之间具有良好的导电性。另一方面，对衬垫的压力不应大到使衬垫处于非正常压缩状态，因为此时会导致衬垫接触失效，并可能产生电磁泄漏。

压缩性也是转动接合处的一个重要特性，如门或插板等位置。若衬垫易于压缩，那么屏蔽性能会随着门的每次转动而下降，此时衬垫需要更高的压缩力才能达到与新衬垫相同的屏蔽性能。在大多数情况下这不太可能做得到，因此需要一个长期EMI解决方案。

·如果屏蔽外壳或垫片由涂有导电层的塑料制成，则添加一个EMI衬垫不会产生太多问题，但是设计人员必须考虑很多衬垫在导电表面上都会有磨损，通常金属衬垫的镀层表面更易磨损。随着时间增长这种磨损会降低衬垫接合处的屏蔽效率，并给后面的制造商带来麻烦。

·如果屏蔽外壳或垫片结构是金属的，那么在喷涂之前可加一个衬垫把垫片表面包住，只需用导电膜和卷带即可。若在接合垫片的两边都

使用卷带，则可用机械固件对EMI衬垫进行紧固，例如带有塑料铆钉或压敏黏结剂（PSA）的“C型”衬垫。衬垫粘着在垫片的一边，以完成对EMI的屏蔽。

目前可用的屏蔽和衬垫产品非常多。大多数屏蔽材料制造商都可提供各种衬垫以达到的SE估计值，但要记住SE是个相对数值，它还取决于孔隙、衬垫尺寸、衬垫压缩比及材料成分等。衬垫有多种形状，可用于各种特定应用，包括有磨损、滑动及带铰链的场合。目前许多衬垫带有粘胶或在衬垫上面就有固定装置，如挤压插入、管脚插入或倒钩装置等。

设备一般都需要进行屏蔽，这是因为结构本身存在一些槽和缝隙。屏蔽可由一些基本原则确定，但是理论与现实之间还是有差别。例如在计算某个频率下衬垫的大小和间距时还必须考虑信号的强度。表面处理及垫片设计是保持长期屏蔽以实现EMC性能的关键因素。

第7章　背板的设计

为了在背板信道中实现更高的数据传输速率，必须要认真挑选系统所用的有源和无源器件。有源器件是在芯片上实现的电路技术，可以减轻信道上的一些有害效应。在设计背板连接器时，除了需要考虑机械特性、热性能和可靠性外，还必须考虑引脚密度、板卡间距、易布线性、信号完整性等其他因素。

7.1　背板的结构

在PCB设计过程中，要从单板槽位的位置、信号的出线方式等多方面考虑，既实现母板性能指标，又满足EMC的要求。按信号的速率，有高速信号与低速信号之分，在高速信号走线中，信号的回流非常重要，没有好的回流路径，平面跨分割就有可能造成严重的EMC问题。背板的板位分配要考虑到高速部分对低速部分的影响。从EMC设计角度，高速部分会通过传导或辐射影响到低速部分，甚至使设计功能难以实现，要尽可能避免高速信号的镜像电流流入到低速电路的区域里，关键信号特别是高频、高速信号走线、大电流、强信号走线都要尽可能短，由此，对于背板槽位排列，高速板位与低速板位部分要分开，高速部分走线要短，高速板可适当考虑屏蔽。

对于背板，由于主备板、保护板的存在，不可避免会出现多负载情况，如何合理安排槽位，使走线拓扑结构合理，反射减小，是背板设计相当重要的内容。对于时钟线应尽量实现点对点的驱动，避免总线方式，对于点对多点的驱动，要考虑加终端匹配，出于加工工艺及维护的考虑，阻抗匹配原则上首先考虑在相应的单板上处理，不得已情况下考虑在背板上实现匹配，但要注意背板上的元器件应尽可能少。背板的结构如图7-1所示。

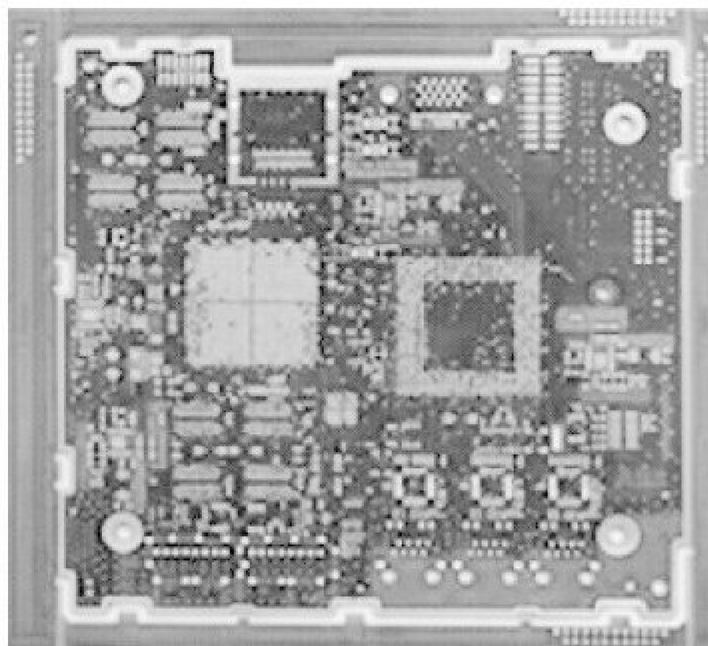


图　7-1　背板的结构

7.1.1　背板连接器

背板连接器（Backplane Connector）是大型通信设备、超高性能服务器和巨型计算机、工业计算机、高端存储设备常用的一类连接器，其主要作用是连接单板（Daughter Card）和背板，单板和背板间成90°垂直结构，传递高速差分信号（Differencial Signal）或单端信号（Single end Signal）及大电流。

2mm HM连接器为首尾拼接式设计，有A、B、C等不同型式，其中A型中的两个定位块（Function block）起导向定位功能（与单板上连接器的定位），可防止插错方向。B型完全没有定位功能，C型作为拼接

的端部，有部分定位功能，如图7-2所示。在一个连接器拼接组或单个连接器的使用中，必须考虑连接器定位问题，2mm连接器有列间屏蔽与外壳屏蔽两种。实际在连接器使用时，应根据地针信号的排布及屏蔽要求等方面考虑选择；从EMC的角度考虑，最好选取带屏蔽外壳的。此外，有专对高速信号传输使用的HS3接插件，接插件设计时已经考虑了针信号间的屏蔽，高速信号传输时接插件产生的串扰较小，信号针的使用率也较高，但价格较贵。

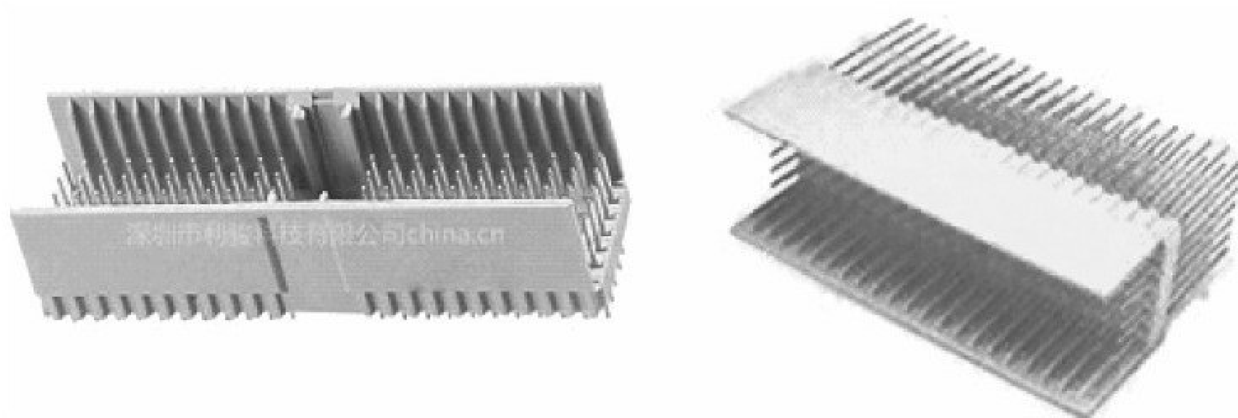


图 7-2 2mm HM连接器

接插件的模型从原理上来看就是传输线的模型，只是信号传输没有参考地平面，通过地针形成回流通路，必然存在许多信号线共用一段地回路，因此接插件的串扰引起的传导干扰就必须重视，如图7-3所示。

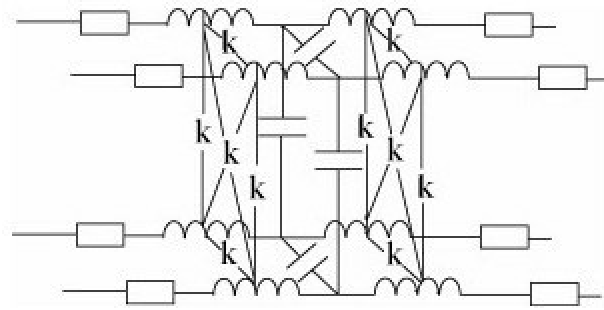


图 7-3 接插件模型

接插件针信号排布，首先确定信号分配，合理分配信号、电源、地针位置与数量，原则是减少串扰、减小辐射、保证地回路，每个信号针附近最好都有回流路径，关键信号线通过地针与其他信号分隔，考虑到电插拔，对于2mm HM接插件，地插针比电源插针长，分配较长的针脚作为地和电源的连接针，推荐使用地针与信号针成梅花型排布，按照高速信号、地的针位进行交错排列，以减小串扰。

7.1.2　驱动电平、驱动器件的选择

背板信号与驱动器件在总体方案设计时就应确定，选择驱动电平要满足背板传输速率的要求，对于传输速率小于100Mbps，含有多负载结构的，背板可选取GTL+电平，器件在满足要求下选用驱动电流小的器件，易于EMI的控制，例如：TI公司的GTI1655、GTL16923之间的驱动电流相差近一倍，对于几百兆的信号速率，LVD电平是很好的选择，其对共模干扰的抑制、匹配方式都易于满足要求，而且电流模式抗干扰能力强，可以在普通板材的背板上传送超过2.5Gbps的信号速率。当然，高速背板设计时对于阻抗控制、走线约束、EMC控制等有更高的要求，对于差分信号线要求同层，并且紧邻平行走线、差分线与其他走线设计应遵循“3M原则”、严格等长等原则，高速差分线对之间以地线隔开。

7.1.3　高速背板设计

随着数据速率超出1Gbps水平，设计人员必须解决其背板系统设计中的新问题。这些背板的信号完整性受趋肤效应、介电损耗、串扰引起的更大噪声及符号间干扰（ISI）等因素的影响，如图7-4所示。

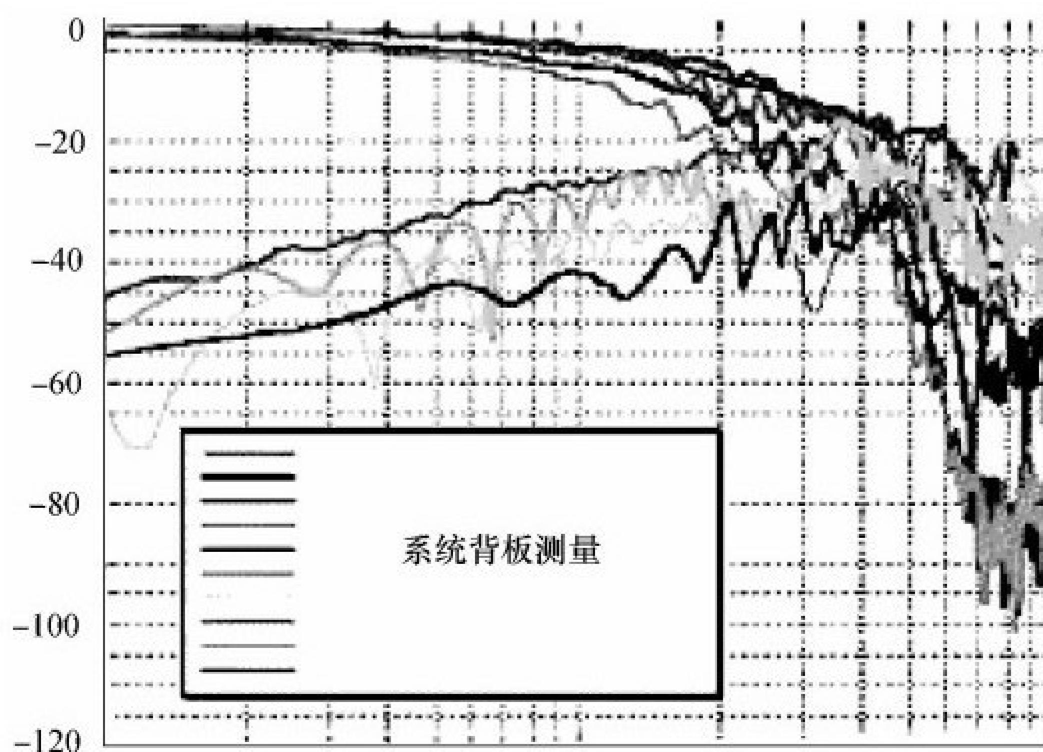


图　7-4　高速背板测量图

1.趋肤效应

趋肤效应是这样一种现象，即随着频率的增加，大部分电流将集中于外部导体上。由趋肤效应所引起的损耗与频率的平方根、走线的宽度

和高度成正比。介电损耗是由板电介质热损耗所引起的，且随频率线性增加。在较高频率上，介电损耗便成为一个较严重的问题。这些损耗不仅降低信号的幅度而且还减慢信号的边缘速度，进而造成信号发散及较差的抖动容限。

因为衰减较少的低频分量与衰减较多的高频分量在接收器上相加，信号发散将导致信号间干扰。结果其视图开口变小，因此更难在接收端上恢复，因而导致无法接受的误码率，这限制了最大位速率。另一种解释：信号变形或发散，导致能量逐位下降，进而产生误码。在较低速率上，可对ISI进行校正，因为有足够的时序余量。但在较高速率上，ISI不再只限于信号边界，而是能影响整个位宽度。

噪声的主要来源是由高密度的连接器及背板走线引起的串扰。串扰是高密度连接器与背板布局布线导致的一种主要噪声源。有两种类型的串扰：近端串扰（NEXT）与远程串扰（FEXT）。靠近受害接收器的发射器发出的信号干扰接收的信号时将引起NEXT。而当接收信号受到与受害接收器相连的“远程发射器”干扰时则会引起FEXT。所有这些信息信道损害均可在背板互连组件中用特殊的信号调整（例如预加重及均衡等）电路来予以补偿或消除。这些电路透过衰减低频分量及放大高频分量来补偿信号损耗，如图7-5所示。

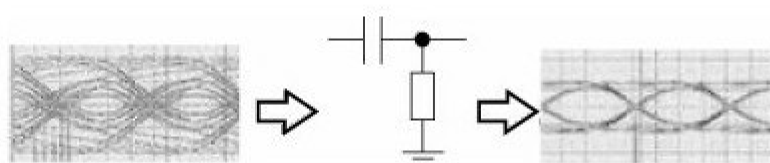


图 7-5 电路补偿

2.信号调整技术

背板接口组件的关键作用是解决损耗及串扰等信息信道损害问题，并由此而延长背板的使用寿命。接口发射器拥有幅度控制及预加重等信号调整电路。同样，背板接口接收器采用均衡技术来控制损耗。另外，这些组件还要求具有JTAG及BIST等可测试特性，以便在制造时能进行系统级测试。美国国家半导体公司的四路5Gbps SerDes可满足所有这些要求。以下对四路5Gbps背板收发器SCAN50C400及其他高速背板接口组件所采用的信号完整性技术进行详细介绍。

（1）预加重与去加重

此项技术在信号发送前对其进行预扭曲，以使接收器上的信号质量如同原始发送的质量。当信号在直流电平上保持超过一个位的时间时，预加重就会抬高高频分量而降低低频分量。在设计这些方法的过程中，系统设计人员必须仔细控制输出幅度以限制输出功率。

（2）接收均衡

接收均衡通过对输入数据运用相对频率特征来补偿信息信道的损耗特征。有两种均衡电路：固定式与自适应式。固定式均衡器对补偿特征进行手工设置，而自适应式均衡器则采用自适应算法来设置最佳补偿特

征，这使用户能将一种组件应用于各种不同的信息信道。它还能对制造偏差及环境变化给信息信道特征带来的变化进行自动补偿。

接收均衡功能既可整合在背板接口组件中，也可在独立组件中执行。在独立组件中执行接收均衡的优势是可提供最佳的布线优势及设计灵活性。

（3）串扰噪声消除

除预加重及接收均衡技术外，在某些系统中也采用串扰消除技术。这些芯片采用这样一种噪声消除机制，即对邻近信息信道上的噪声进行采样，然后再将其从信号中减掉。

7.2　背板的EMC设计

背板一直是PCB制造业中具有专业化性质的产品。其设计参数与其他大多数电路板有很大不同，生产中需要满足一些苛刻的要求，噪声容限和信号完整性方面也要求背板设计遵从特有的设计规则。背板的这些特点导致其在设备规范和设备加工等制造要求上存在巨大差异。

为解决大引脚数连接器的走线问题不得不额外增加铜层，使背板层数增加。苛刻的EMC和阻抗条件也要求在设计中增加层数以确保充分的屏蔽作用，降低串扰，以便增强信号完整性。

7.2.1　接插件

在新的数字系统中，数据转换及传输的速率往往都在几千兆比特。因此电路设计师必须把连接器作为整个传输线的一部分考虑进去，包括阻抗、传播延迟、时滞和串扰等因素。背板则是互联系统众多组件的核心。提升系统传输速度到千兆比特的解决方案就是夹层连接器和电缆背板互连。因此，设计在初始设计阶段就必须考虑到背板和夹层连接器。

在高速系统中，单端信号被差分信号取代，意味着信号通过一对专用线路的电压差来表达。因此，每个差分信号需要两条不同的电线，但是噪声隔离性能（防串扰和EMI）更好，并且工作电压更低。

为了更好地控制阻抗、降低串扰并提高差分信号间的耦合作用，高速连接器都演变成完全屏蔽而且像对称电缆那样运行。差分信号对必须同时到达传输目的地，因此传导线的长度设计必须尽可能减少信号对长度的差异和信号时滞。电镀通孔是电容式信号噪声产生及反射的一个主要来源，所以表面贴或通孔回流的端接方式能提供更好的信号完整性。

表面或压接（Press-fit）安装的背板连接器的电气性能比要求较大电镀通孔（PTH）的传统压接连接器好，但它们的机械强度和可靠性较低。此外，这些连接器无法现场修理，由于需要克服较高的热能并进行表面贴装连接器的回流焊，而可能无法达到背板的平整要求。

基于这些理由，系统供应商至今仍宁愿选用那些能够满足系统带宽要求的压接连接器。也正因为这个原因，连接器供应商仍在继续为12.5Gbps数据速率的设备开发合适的压接背板连接器。然而，即使连接器形状对压接、电镀通孔（PTH）的阻抗和串扰有严重的影响，但大多数连接器供应商的研发重点仍放在改进连接器本身的损耗、阻抗、串扰和偏移特性上。

某种程度上讲，过孔阻抗和串扰也取决于电路板设计中信号过孔所用的反焊盘横截面、电介质材料及尺寸。许多业界人士都认为PTH过孔的阻抗和串扰是背板信道性能的重要瓶颈。背板连接器的选择需要着重考虑的是连接器出现在实际系统中时的背板过孔阻抗和串扰。

在有大功耗应用卡插进背板时，铜层的厚度必须适中以便提供所需的电流，保证该卡能正常工作。所有这些因素都导致背板平均重量的增加，这样就要求传送带和其他输送系统，不仅能够安全地输送大尺寸的原材料板，而且还必须把其增重的因素也考虑进去。

7.2.2　电源、地分配

电源和地的设计对背板的电磁兼容性影响很大，必须要处理好电源和地的连接。

1.电源分割及热插拔对电源的影响

同单板一样，电源、地平面的分割对背板EMC的指标有很大的影响，不当的分割会造成共模辐射加大，一般在背板中使用多层板技术，信号层与地层（电源层）交替排放，尽量避免两层信号层直接相邻，高速信号线布在与地相邻的信号层上，对于部分有相邻布线的PCB，相邻层的布线应垂直分布。

单板的电源是通过背板接入的并送至各单板。在背板上，BGND（工作地）与电源线必须就近平行走线或相邻平面排布，输入的一次电源，如+48V，如果直接给单板供电，应有局部过载保护措施，如单板加装保险丝。母板与单板间的电源连接处也必须采取滤波措施，并就近放置相应的器件。对于分散供电等特殊情况，在背板上+48V不用平面层，用铜或粗线代替，可节省母板层数，大电流、强信号走线的距离尽可能短，高电压、大电流信号电路与小电流、低电压的弱信号电路需要完全分开，考虑带电插拔，在被插电路板上应安装带电插拔座。单板上应设置缓启动电路，在单板与母板直接通过连接器配合使用时，

单板上的继电器、开关电源等对外辐射的器件，应尽量远离母板放置，建议距单板连接器边缘10mm以上。

2.地分割与各种地的连接

从EMC考虑，带屏蔽的2mm连接器，在其周围15mm以内的地方，禁止放置敏感器件；母板表层是完整的屏蔽地平面，即上面不布其他任何信号线，电源与地之间同样需要使它们的回路面积尽可能小；为减小干扰，一条传输线到地平面的距离应该小于到相邻的传输线的距离；保持地平面完整，会使大部分布线的回流面积减小。

对于背板上的BGND（工作地）、PGND（机壳地）、GND（单板工作地）的分割与连接，至今仍缺乏统一的认识。背板的接地需要从系统的角度来考虑，现在的通常做法是插框中所有单板通过与背板的接口信号GND、PGND在背板内实现共地，各插框通过GND、PGND、BGND在机柜内实现共地，机柜再通过接地螺栓与大地相连，各产品具体的接地方法也不尽相同，缺乏统一的规范。从EMC的角度，希望背板上不分PGND与GND，将其合在一起，具体效果正在实验。

1）为减小外界对数字信号的干扰，PCB设计时电源地BGND与各单板工作地GND应分开布线；为防止GND和BGND两者有电压差，而引起单板插拔时插针打火，应在母板上将GND和BGND单点短路连接（PCB设计时已经连接）。

2）为减小雷击时BGND及PGND相互之间的电位差，直流输入端口应加过压保护措施。

3）出厂前机架架体与PGND之间应通过横截面积10mm^{2}的短导线连接，短导线一端通过螺母拧紧在PGND铜柱上，另一端通过固定螺钉拧紧在机架上。固定螺钉与机架的接触面要保证良好接触。

4）出厂前电源盒与PGND之间应通过横截面积10mm^{2}的短导线连接，短导线一端通过螺母拧紧在PGND铜柱上，另一端通过固定螺钉拧紧在电源盒上方盒体螺钉孔位上。固定螺钉与电源盒的接触面要保证良好接触。

5）子架的金属构件必须与机架架体之间保持电气的良好连接。由于插框与机架架体主要是通过插框固定螺钉连接，插框及架体构件喷漆加工时对螺孔及其外沿5mm区域采取保护措施以防止由于绝缘漆引起导电不良。

6）同一机房的各机架的PGND应分别接到保护地铜排上。同一机房的各机架的BGND应分别接到工作地铜排上（按照联合接地的原则，这两个地最终是合在一起的）。如果只能提供一个地，则把BGND和PGND分别接到该地铜排上。要求接地线尽量短，工程安装时如果接地线过长，应截断，避免接地线盘绕。PGND和BGND到地排上的导线截面积必须大于或等于25mm^2，如图7-6所示。

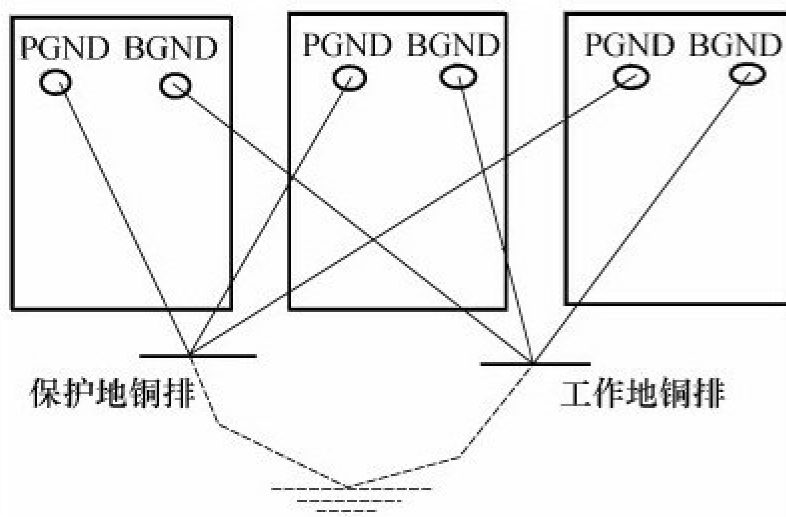


图　7-6　工作地和保护地

7.2.3 屏蔽层

高速PCB中，考虑到电源平面的边缘效应，所有的电源平面必须小于相邻地平面，向内缩进20H（这里的H指的介质厚度），即保证电源层边缘距相邻地层边缘的距离大于20倍的电源层与地层之间的垂直距离，为了更好地实行20H规则，就要控制电源和地平面间的厚度，遵从20H规则会使PCB的电源层与地层间的电容的自谐振频率提高约2～3倍。

对于母板上的信号走线，特别是时钟信号及其他高速信号线离地平面边缘（垂直方向上）至少保持3W（W为线的宽度）以上的距离，使板上的信号走线构成的回路面积尽可能小，这个回路既包括地回路也包括电源回路。如图7-7所示。

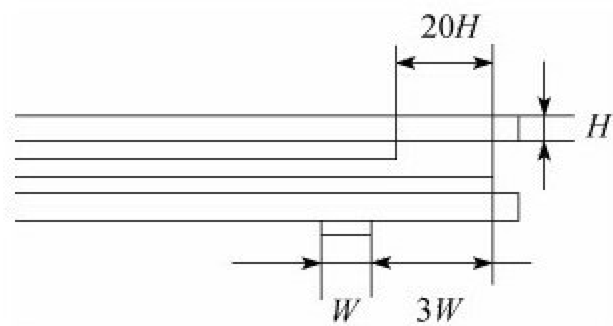


图 7-7 20H与3W原则

不同类型的信号线尽可能间隔大一些，关键信号线周围要有地屏蔽

走线，当作回流或保护线，地屏蔽走线要两头接地，且中间部位也要过孔接地，接地过孔间距最好小于λ/20（λ是传输信号的波长），且不相等，除差分线和线对外，地屏蔽走线最好不要共用，也就是说，通常采取的两根信号线之间只加一根地屏蔽线的办法并不能完全消除信号线之间的干扰。

为更好进行EMC控制，可以参照CPCI背板的设计，背板周边设禁止布线区，背板边缘布一圈地并通过一圈金属化孔与外壳连接，这样可进一步减小对外辐射。

7.2.4　差分信号设计

差分信号在高速电路设计中的应用越来越广泛，电路中最关键的信号往往都要采用差分结构设计。在进行差分信号设计的时候，要遵循表7-1的原则。

表 7-1　差分信号设计原则

名　称	设 计 原 则
板层	最少用4层PCB板，即LVDS信号、地、电源、TTL信号。背板高速系统的设计通常将V_{cc}和地线用专门的层。电源线和地线之间的窄带空间也是极好的高频旁路电容
信号	将陡的CMOS/TTL信号与LVDS信号隔离，否则这些含有噪声的单端CMOS/TLL信号会交叉耦合到LVDS线上，最好将TLL和LVDS信号放在不同的层上，并用电源和地层隔开
V_{cc}	如果可能的话用一个或两个并联多层陶瓷表贴电容（0.1 μF及0.01 μF），放在每个V_{cc}引脚和地线之间，最好尽量靠近V_{cc}引脚使寄生效应最小
收发器	保持发送器和接收器尽可能靠近接插件（LVDS端口侧）。这有助于保证板上噪声不会被带到差分线上，而且避免电路板及电缆线间的交叉EMI干扰
旁路电容	旁路每个LVDS器件，并用分布式散装电容和表贴电容放在靠近电源和地线引脚处时工作状态最好
供电	在电源和地间放一个4.7 μF 35 V钽电容时工作状态最好。钽电容的额定电压较关键，不应低于5 V_{cc}。有些电解电容也工作得较好。电源和地线应用较宽的线

7.2.5　背板上差分布线的设计

背板信号走线避免经过密集过孔区（接插件区），密集过孔区是一个参考平面极不连续的区域，否则，两条走线共用地回路，产生耦合电感，耦合回路面积加大，使辐射增强。

产生的耦合电感量：

L=5 dln（d/W）

式中，L为电感，单位为nH；W为线宽，单位为inch；d为地回路经过过孔区的有效长度，单位为inch。

可见，电感与过孔区的宽度无关，只与长度有关。因此，从过孔区中间穿过的走线比边缘穿过的走线影响要大。

相对于单板，背板上的走线长度要长许多，因此背板阻抗控制就更为重要，然而由于背板层数较多，阻抗很难控制得与各单板一致，需要在各单板上做文章。而且如前面所述，板位分布造成的拓扑结构不同，使匹配方式也不相同，这时应注意接插件至接口器件的信号线要短，避免线头过长造成的反射影响，减少过孔、直角走线等阻抗不连续的因素出现。

1.差分信号优势

差分信号和普通的单端信号走线相比，最明显的优势体现在以下三个方面：

1）时序得到精确的定义，这是由于控制信号线对的交叉点要比控制信号相对于一个参考电平的绝对电压值来得简单。这也是需要精确实现差分线对等长布线的原因。如果信号不能同时到达差分线对的另一端的话，那么源端所能够提供的任何时序的控制都会大打折扣。此外，如果差分线对远端的信号并非严格意义上的等值而反向，那么就会出现共模噪声，而这将导致信号时序和EMI方面的问题。由于差分信号并不参照它们自身以外的任何信号，并且可以更加严格地控制信号交叉点的时序，所以差分电路同常规的单端信号电路相比通常可以工作在更高的速度。

2）由于差分电路的工作取决于两个信号线（它们的信号等值而反向）上信号之间的差值，同周围的噪声相比，得到的信号就是任何一个单端信号的两倍大小。所以，在其他所有情况都一样的条件下，差分信号总是具有更高的信噪比而提供更高的性能。差分电路对于差分对上的信号电平之间的差异非常灵敏。但是相对于一些其他的参考（尤其是地）来说，它们对于差分线上的绝对电压值却不敏感。相对来说，差分电路对于类似地弹反射和其他可能存在于电源和地平面上的噪声信号等这样的问题是不敏感的，而对共模信号来说，它们则会完全一致地出现

在每一条信号线上。

3）差分信号对EMI和信号之间的串扰耦合也具有一定的免疫能力。如果一对差分信号线对的布线非常紧凑，那么任何外部耦合的噪声都会相同程度地耦合到线对中的每一条信号线上。所以耦合的噪声就成为“共模”噪声，而差分信号电路对这种信号具有非常强的抗扰能力。如果线对是绞合在一起的（比如双绞线），那么信号线对耦合噪声的抗扰能力会更强。由于不可能在PCB上很方便地实现差分信号的绞合，那么尽可能地将它们的布线靠近在一起就成为实际应用中一种非常好的办法。

布线非常靠近的差分信号对相互之间也会互相紧密耦合。这种互相之间的耦合会减小EMI发射，特别是同单端PCB信号线相比。可以这样想象，差分信号中每一条信号线对外的辐射是大小相等而方向相反，因此会相互抵消，就像信号在双绞线中的情况一样。差分信号在布线时靠得越近，相互之间的耦合也就越强，因而对外的EMI辐射也就越小。

2.背板的差分布线要求

背板差分布线要满足下列要求：

·所布的差分线对一离开IC就尽早尽可能靠近在一起走线，这有助于消除反射并保证噪声是以共模方式耦合。事实上，相距1mm的差分信号辐射的噪声远远低于3mm布线。

·在一对布线之间匹配其长度，如图7-8所示。方案1和方案2波形几乎是重合的，也就是说，间距不等造成的影响是微乎其微的，相比较而言，线长不匹配对时序的影响要大得多（方案3）。

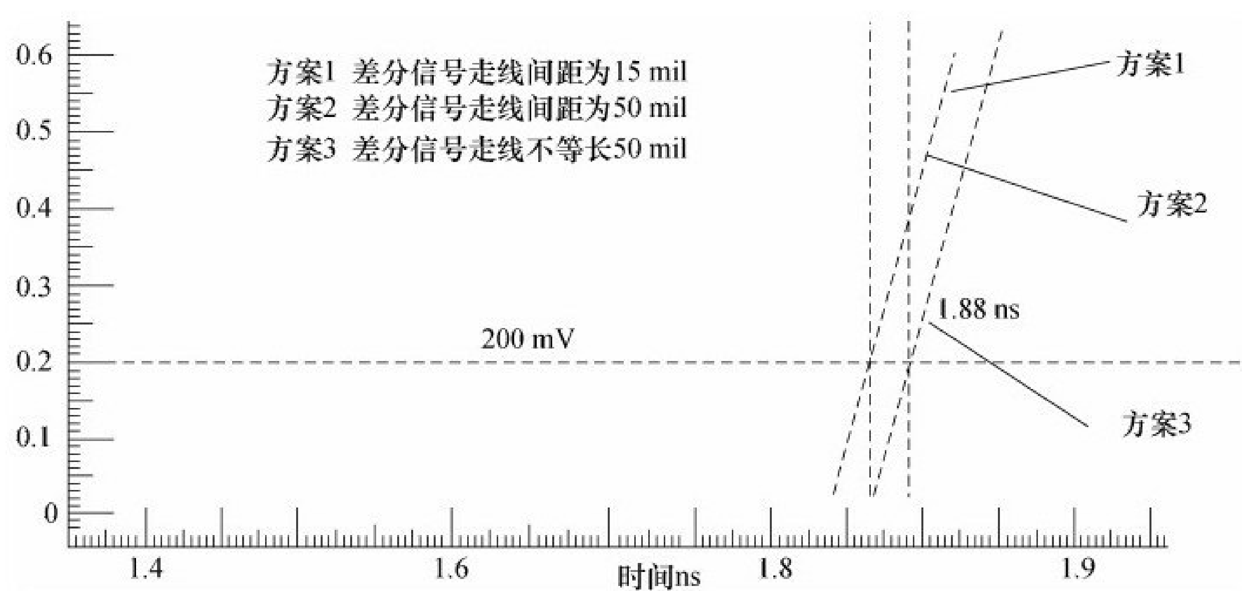


图 7-8 差分走线间距不等和线长不匹配的影响

·对于差分布线不要只依赖于自动布线功能。仔细地检查尺寸用以匹配走线长度并且确保各组差分线之间的隔离。

·使线上过孔的数量最少。避免90°转弯（以防止造成阻抗不连续），用弧线或45°斜线代替。在一对走线内，两条线之间距离要尽量小，以保持接收器的共模抑制。

7.2.6 终端负载的问题

解决终端负载问题主要有以下方法：

·用一个终端电阻匹配传输线上的差分阻抗，在点到点的电缆应用中其值应在90～130Ω之间。电流模式的输出需要用终端电阻来产生适当的差分电压。

·在接收端尽头的线对上跨接一个电阻，表贴电阻最好。

·PCB短线、元件引脚以及从终端电阻到接收器的输入端的距离应最短。终端电阻到接收器输入端的距离应小于7mm（最大12mm）。

·电阻误差要用1%或2%的。从反射的观点来看，一个10%阻抗的不匹配电阻会引起5%的反射。电阻越接近匹配越好。

7.2.7 空闲引脚的处理

1.LVDS输入

让空闲LVDS接收器输入端开路（悬空），因其内部防错电路将锁定输出为高态。这些接收器输入端的空脚不应连到电缆或长的PCB走线等噪声源上，使其在引脚附近悬空。LVDS接收器是高速、高增益器件，如果拾取差分信号将导致接收器动作。这将在输出端产生错误传输而且会增加功耗。

2.LVDS及TTL输出

让空闲LVDS及TTL输出端开路（悬空）以节省功耗。不要将它们连到地线上。

3.TTL输入

连接无用的TTL发送/驱动输入、控制/使能信号，到电源或地或某种可能保持开路的状况。有些器件提供内部下拉（或上拉）器件来偏置其引脚。最好参考数据手册以获得器件特性的信息。这类信息通常包含在引脚描述表中。

7.2.8 背板所用电缆的选择

电缆的辐射问题是最常见的问题之一，90%以上的设备（主要是含脉冲电路的设备）不能通过辐射发射试验都是由于电缆辐射造成的。电缆产生辐射的机理有两种，一种是电缆中的信号电流（差模电流）回路产生的差模辐射，另一种是电缆中导线（包括屏蔽层）上的共模电流产生的共模辐射。电缆的辐射主要来自共模辐射。共模辐射是由共模电流产生的，共模电流的环路面积是由电缆与大地（或邻近其他大型导体）形成的，因此具有较大的环路面积，会产生较强的共模辐射。

双绞线和同轴线在减小磁场干扰方面有很好的效果。双绞线能够有效地抑制磁场干扰，这不仅因为双绞线的两根线之间具有很小的回路面积，而且因为双绞线的每两个相邻的回路上感应出的电流具有相反的方向，因此相互抵消。双绞线的绞节越密，则效果越明显。

尽量使用平衡电缆，如双绞线、双芯电缆或者紧密耦合的差分布线电路。在有些非常短（小于0.3m）的应用中，带状电缆或柔性电路也可以用。在板到板的背板间的应用中，双绞线或双芯电缆由于其稳定性、屏蔽性及平衡性是更好的选择，如图7-9所示。



图 7-9 双绞线

7.2.9 接插件的选择

背板上一般的应用是使用标准连接器——有差分信号、电源、地和单端信号引脚，图7-10就是一种含有差分和单端信号的连接器。

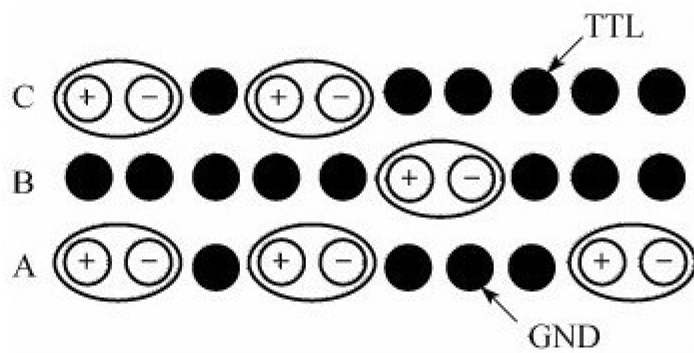


图 7-10 含有差分和单端信号的连接器

在单连接头的连接器上，差分信号通常连接在一行中靠近的两个连接脚上最好，因它们使传输线长度一致。一行中连接器脚长度越短，提供的传输线性能越好。地信号脚主要用于隔离大摆幅信号（TTL）和小摆幅信号（LVDS）。

在进行系统设计之前，以下几点应优先考虑：

1）系统设计时电源和地在系统中的分布。

2）传输线的结构及其布局布线。

3）完成余下的数字部分设计。

4）经常观察和修改整个布局。

5）在背板多点互连应用中，总线LVDS的终端匹配非常简单，只需把一个表面贴装的电阻跨接在一对传输线上即可。这个匹配电阻的阻值应当等于或略大于相关传输线对的差分阻抗。匹配电阻放置在背板上总线的两端。

在通信系统背板的设计中，采用LVDS技术，适当运用一些设计技巧，就可以使复杂的系统有很高的可靠性、高数据率、低噪声及低成本。

第8章　电源完整性设计

电源完整性是指特定电源与理想状态的接近程度，具体取决于电源的自然特性。对于家用设备电源来说，主要是电压幅度和频率，即不管附近的负荷和用电限制如何变化，电压幅度和频率能够保持稳定性的程度。PCB设计的复杂程度越来越高，稳定可靠的供电电源成为保证系统稳定工作的必须条件。当开关器件数目不断增加，核心电压不断减小的时候，电源的波动往往会给系统带来致命的影响。电源完整性，简称PI（Power Integrity）。从广义上说，PI是属于系统完整性（SI）研究范畴之内的，而新一代的信号完整性仿真必须建立在可靠的电源完整性基础之上。虽然电源完整性主要是讨论电源供给的稳定性问题，但由于地在实际系统中总是和电源密不可分，通常把如何减少地平面的噪声也作为电源完整性中的一部分进行讨论。

8.1　电源噪声分析

随着IC技术的不断发展，数字器件的切换速度也越来越快，这就引入了更多的高频分量，同时回路中的电感在高频下就很容易引起电源波动。如图8-1中所示，当与非门输入全为高电平时，电路中的三极管导通，电路瞬间短路，电源向电容充电，同时流入地线。此时由于电源线和地线上存在寄生电感，由公式V=Ldi/dt可知，这将在电源线和地线上产生电压波动，电平上升沿引入ΔI噪声。当与非门输入为低电平时，此时电容放电，将在地线上产生较大的ΔI噪声；而电源此时只有电路的瞬间短路所引起的电流突变，由于不存在向电容充电，使电流突变相对于上升沿来说要小。

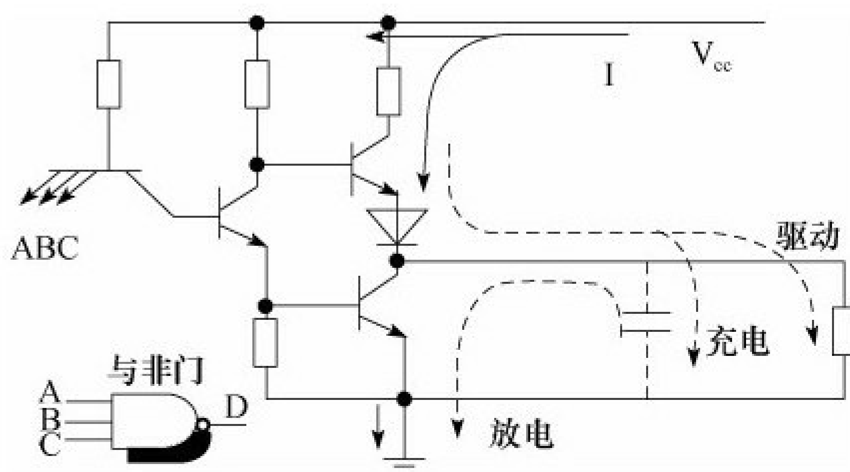


图　8-1　与非门中产生ΔI噪声的电路

从对与非门的电路进行分析可知，造成电源不稳定的根源主要有两

方面：一是器件高速开关状态下，瞬态的交变电流过大；二是电流回路上存在的电感。所谓地电源完整性问题是指在高速PCB中，当大量的芯片同时开启或关闭时，在电路中就会产生较大的瞬态电流，同时由于电源线和地线上电感电阻的存在，就会在两者之上产生电压波动。从电源完整性的本质出发，要解决电源完整性问题，首先对于高速器件来说，通过加去耦电容来滤除它的高频噪声分量，这样就减少信号的瞬变时间。对于回路中存在的电感来说，则要从电源的分层设计来考虑。

8.1.1　噪声问题与分析

芯片都会给出一个正常工作的电压范围，这个值通常是±5%。例如：对于3.3V电压，为满足芯片正常工作，供电电压在3.13～3.47V之间，或3.3V±165mV。对于1.2V电压，为满足芯片正常工作，供电电压在1.14～1.26V之间，或1.2V±60mV。这些限制可以在芯片数据手册中查到。

这些限制要考虑两个部分，第一是稳压芯片的直流输出误差，第二是电源噪声的峰值幅度。老式的稳压芯片的输出电压精度通常是±2.5%，因此电源噪声的峰值幅度不应超过±2.5%。当然随着芯片工艺的提高，现代的稳压芯片直流精度更高，可能会达到±1%以下，TI公司的开关电源芯片TPS54310精度可达±1%，线性稳压源AMS1117可达±0.2%。但要达到这样的精度是有条件的，包括负载情况、工作温度等

限制。因此可靠的设计还是以±2.5%这个值更把握些。如果能确保所用芯片安装到电路板上后能达到更高的稳压精度，那么可为这款设计单独进行噪声余量计算。

电源部分设计，电源噪声余量将使用±5%这个值。计算很简单，但是要注意以下四个问题：

1）稳压芯片输出电压可精确地稳定在3.3V吗？外围器件如电阻、电容、电感的参数也不是精确的，这对稳压芯片的输出电压有影响，所以这里用了3.36V这个值。在安装到电路板上之前，不可能预测到准确的输出电压值。

2）负载情况怎样？这对稳压芯片的输出电压也有影响。

3）工作环境是否符合稳压芯片手册上的推荐环境？器件老化后参数还会和芯片手册上的一致吗？

4）电源噪声最终会影响到信号质量。而信号上的噪声来源不仅仅是电源噪声，反射串扰等信号完整性问题也会在信号上叠加噪声，不能把所有噪声余量都分配给电源系统。所以，在设计电源噪声余量时要留有余地。

不同电压等级，对电源噪声余量要求不一样，按±2.5%计算的话，1.2V电压等级的噪声余量只有30mV。这是一个很苛刻的限制，设计的

时候要谨慎些。模拟电路对电源的要求更高。电源噪声影响时钟系统，可能会引起时序匹配问题。因此必须重视电源噪声问题。

造成电源不稳定的根源主要在于两个方面：一是器件在高速开关状态下，瞬态的交变电流过大；二是电流回路上存在的电感。从表现形式上来看又可以分为三类：同步开关噪声（SSN），有时被称为Δi噪声，地弹（ground bounce）现象也可归于此类（见图8-2a）；非理想电源阻抗影响（见图8-2b）；谐振及边缘效应（见图8-2c）。

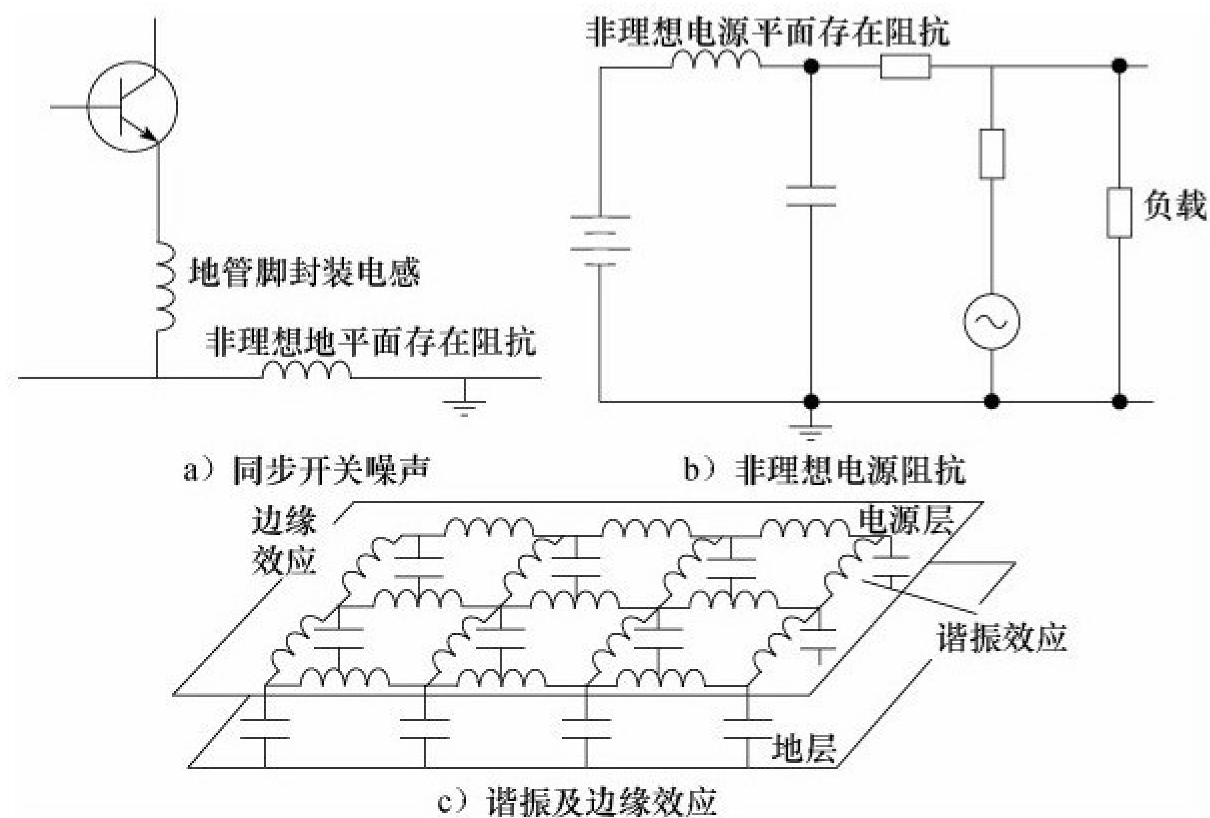


图 8-2 电源噪声

对于一个理想的电源来说，其阻抗为零，在平面任何一点的电位都

是保持恒定的（等于系统供给电压），然而实际的情况并不如此，而是存在很大的噪声干扰，甚至有可能影响系统的正常工作。如图8-3所示。

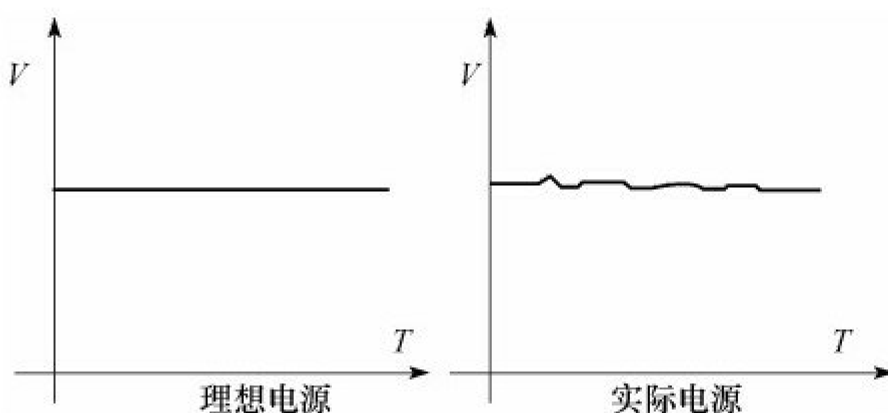


图 8-3 理想电源与实际电源

开关噪声给信号传输带来的影响更为显著，由于地引线和平面存在寄生电感，在开关电流的作用下，会造成一定的电压波动，也就是说器件的参考地已经不再保持零电平。

电源平面其实可以看成是由很多电感和电容构成的网络，也可以看成是一个共振腔，在一定频率下，这些电容和电感会发生谐振现象，从而影响电源层的阻抗。比如一个8英寸×9英寸的PCB空板，板材是普通的FR4，电源和地之间的间距为4.5mil，随着频率的增加，电源阻抗是不断变化的，尤其是在并联谐振效应显著的时候，电源阻抗也随之明显增加，如图8-4所示。

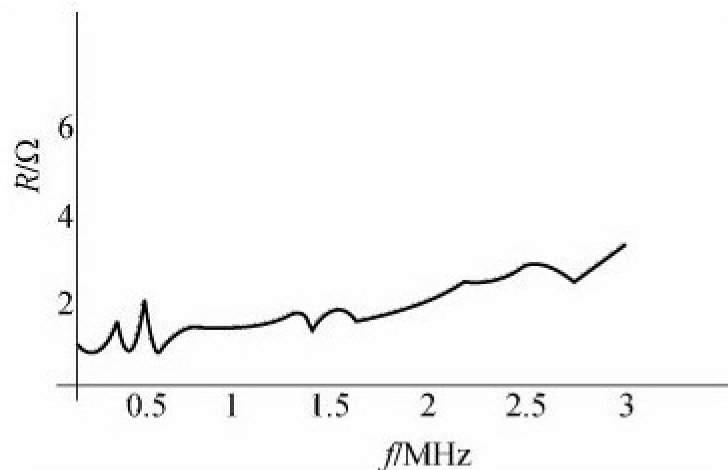


图 8-4 平面的谐振

除了谐振外，电源平面和地平面的边缘效应同样是电源设计中需要注意的问题，这里说的边缘效应就是指边缘反射和辐射现象，如图8-5所示。如果抑制了电源平面上的高频噪声，就能很好地减轻边缘的电磁辐射，通常是采用添加去耦电容的方法，从图8-2c中可以看出去耦电容在抑制边缘辐射中的作用。边缘效应是无法完全避免的，在设计PCB时，要尽量让信号走线远离敷铜区边缘，以避免受到太大的干扰。

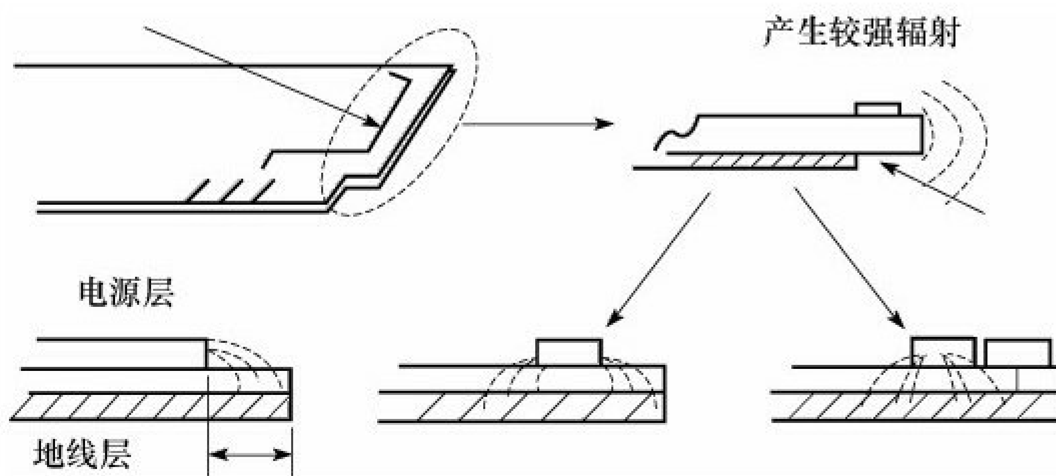


图 8-5 边缘反射和辐射

8.1.2 同步开关噪声

同步开关噪声（Simultaneous Switch Noise, SSN）是指当器件处于开关状态，产生瞬间变化的电流（di/dt），在经过回流途径上存在的电感时，形成交流压降，从而引起噪声，所以也称为Δi噪声。如果是由于封装电感而引起地平面的波动，造成芯片地和系统地不一致，这种现象称为地弹（Ground Bounce）。同样，如果是由于封装电感引起的芯片和系统电源差异，就称为电源反弹（Power Bounce）。所以，严格地说，同步开关噪声并不完全是电源的问题，它对电源完整性产生的影响最主要表现为地/电源反弹现象。同步开关噪声主要是伴随着器件的同步开关输出（Simultaneous Switch Output, SSO）而产生，开关速度越快，瞬间电流变化越显著，电流回路上的电感越大，则产生的SSN越严重。基本公式为：$V_{SSN}=N\cdot L_{Loop}\cdot$（di/dt），式中I指单个开关输出的电流，N是同时开关的驱动端数目，L_{Loop}为整个回流路径上的电感，而V_{SSN}就是同步开关噪声的大小。

同步开关噪声分为两种情况：芯片内部（on-chip）开关噪声和芯片外部（off-chip）开关噪声。如图8-6所示，当内部预驱动电路（pre-driving circuitry）开关打开时产生的噪声就是芯片内部开关噪声，可以看到其回流只经过电源和地，和信号管脚的寄生电感无关；而当预驱动电路关闭时，产生的噪声称为芯片外部开关噪声，这时的电流将流经信

号线和地，但不经过芯片的电源管脚（信号跳变为1到0）。

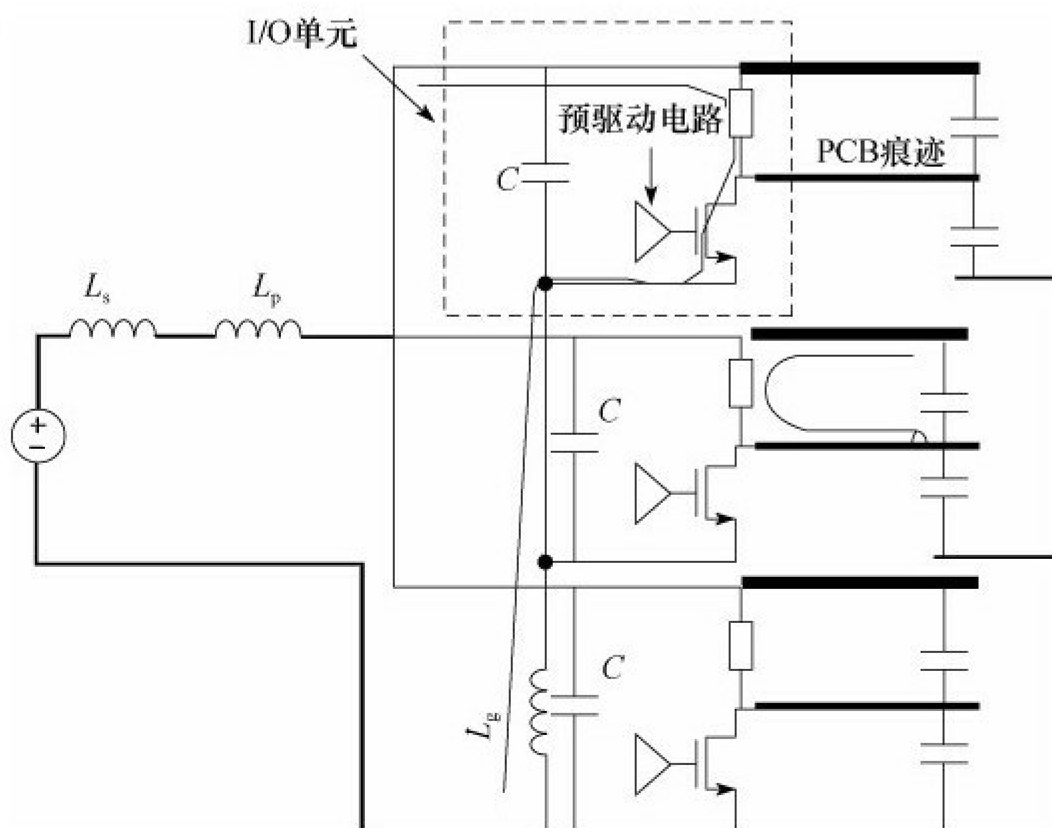


图　8-6　SSN分析模型图

1.芯片内部开关噪声

先分析芯片内部开关噪声的情况，图8-6中的L_p和L_g为封装中电源和地的寄生电感，L_s为系统电源的电感。现假设L为封装电源和地总的电感，由于Lp和Lg上通过的电流是反向的，则$L=L_p+L_g-2M_{pg}$，M_{pg}指L_p和L_g之间的耦合电感。这时芯片实际得到的电压为

$$V_{chip}=V_s-L\frac{di}{dt}-L_s\frac{di}{dt}$$。

因而，在瞬间开关时，加载在芯片上的电源电压会下降，随后围绕V_s振荡并呈阻衰减。上面的分析仅仅是针对一个内部驱动工作的情况，如果多个驱动同时工作，会造成更大的电源压降，从而造成器件的驱动能力降低，电路速度会减慢。通常可以采取以下措施：

1）降低系统供给电源的电感，高速电路设计中要求使用单独的电源层，并让电源层和地平面尽量接近。

2）降低芯片内部驱动器的开关速率和同时开关的数目，以减小di/dt，不过这种方式不现实，因为电路设计的方向就是更快、更密。

3）降低芯片封装中的电源和地管脚的电感，比如增加电源/地的管脚数目，减短引线长度，尽可能采用大面积敷铜。

4）增加电源和地的互相耦合电感也可以减小回路总的电感，因此要让电源和地的管脚成对分布，并尽量靠近。

5）给系统电源增加旁路电容，这些电容可以给高频的瞬变交流信号提供低电感的旁路，而变化较慢的信号仍然走系统电源回路，如图8-7所示。虽然芯片外部开关噪声驱动的负载电容也可以看作旁路电容，但由于其电容很小，所以对交流旁路作用不大。

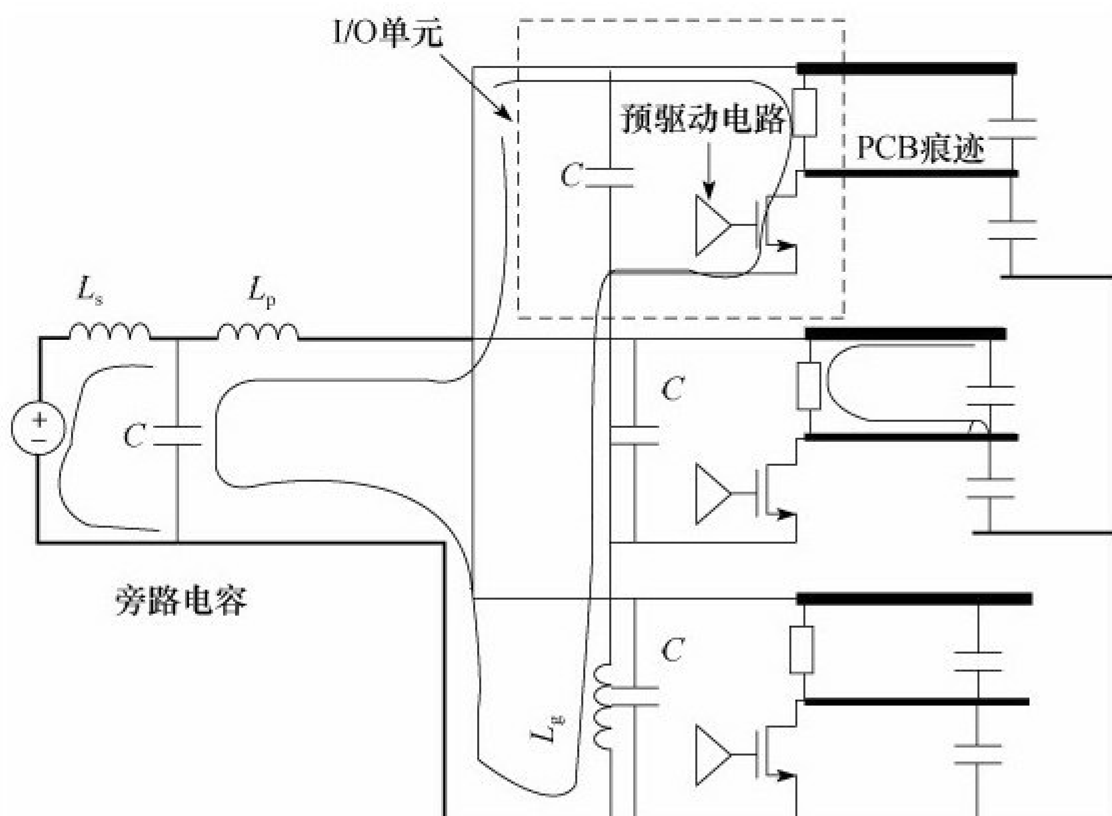


图 8-7 旁路电容对芯片内部开关噪声的作用

6）考虑在芯片封装内部使用旁路电容，这样高频电流的回路电感会非常小，能在很大程度上减小芯片内部的同步开关噪声。

7）更高要求情况下可以将芯片不经过封装而直接装配到系统主板上，这称为DCA（Direct Chip Attach）技术。

2.芯片外部开关噪声

分析芯片外部开关噪声的情况，如图8-8所示。它和芯片内部开关噪声最显著的区别在于计算开关噪声时需要考虑信号线的电感，而且对于不同的开关状态其电流回路也不同，1到0跳变时，回流不经过封装的

电源管脚，0到1跳变时，回流不经过封装的地管脚。类似前面的分析，可计算由于封装电感的影响造成的电压降为（不考虑系统电源电感）$V_{gb}=(L_1+L_g-2M_{1g})\frac{di}{dt}$。

这时，芯片的地并不是和理想的系统地保持同样的零电位，而是存在V_{gb}的电压波动，这种情况称为地反弹（也称地跳），同样对于0到1开关状态，封装电感会给电源造成一定的压降，称为电源反弹。当然，地弹现象是芯片内部和芯片外部同步开关输出的综合影响。但需要注意的是，地弹噪声只根源于封装寄生电感，和系统的电源及地的电感无关，这也是SSN和地反弹在概念上不等同的根本原因。减轻芯片外部开关噪声的方法有以下几种：

1）降低芯片内部驱动器的开关速率和同时开关的数目。

2）降低封装回路电感，增加信号和电源与地的耦合电感。

3）在封装内部使用旁路电容，这样能让电源和地共同分担电流回路，可以减小等效电感。但系统电源使用旁路电容将不会影响地弹噪声的大小。

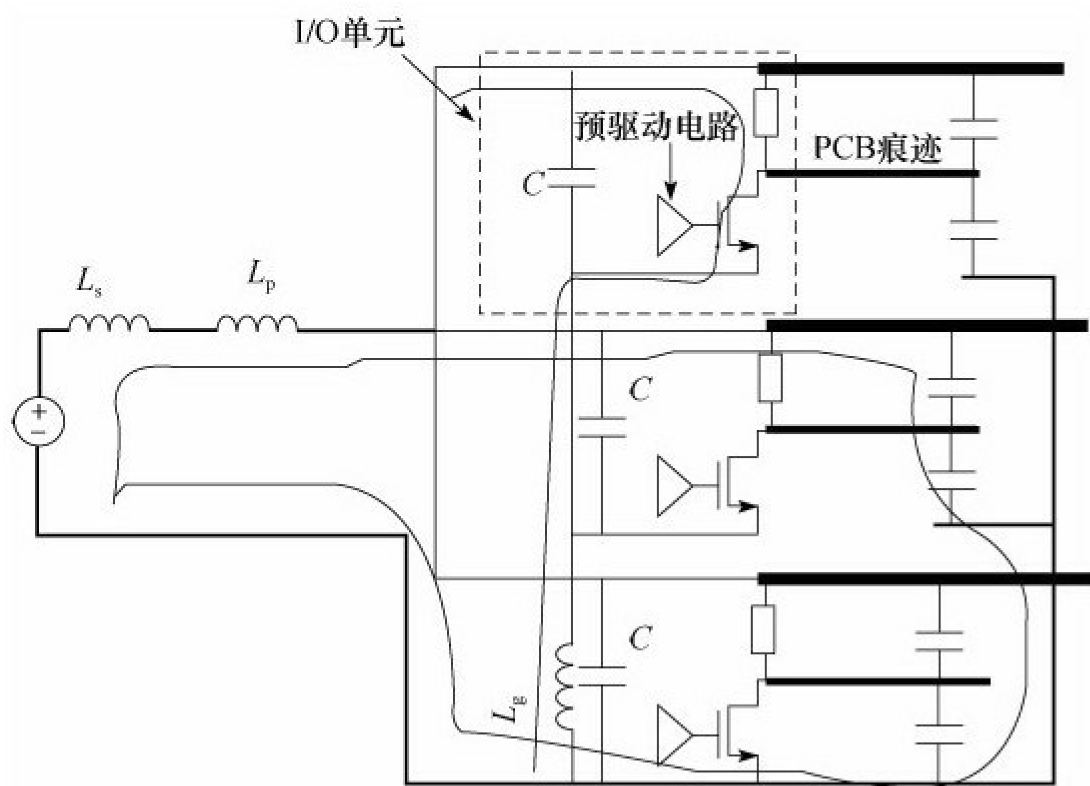


图　8-8　开关状态下的回流芯片外部路径

8.2 电路去耦

在直流电源回路中，负载的变化会引起电源噪声。例如在数字电路中，当电路从一个状态转换为另一种状态时，就会在电源线上产生一个很大的尖峰电流，形成瞬变的噪声电压。配置去耦电容可以抑制因负载变化而产生的噪声，是印制电路板的可靠性设计的一种常规做法，好的高频去耦电容可以去除1GHz的高频成分。陶瓷片电容或多层陶瓷电容的高频特性较好。设计印制线路板时，每个集成电路的电源、地之间都要加一个去耦电容。去耦电容有两个作用：一方面是该集成电路的蓄能电容，提供和吸收该集成电路开门关门瞬间的充放电能；另一方面旁路掉该器件的高频噪声。

8.2.1 去耦电容的配置原则

电源输入端跨接一个10～100μF的电解电容器，如果印制电路板的位置允许，采用以上的电解电容器的抗干扰效果会更好。1μF、10μF电容，并行共振频率在20MHz以上，去除高频率噪声的效果要好一些。在电源进入印制板的地方放置一个1μF或10μF的去高频电容往往是有利的，即使是用电池供电的系统也需要这种电容。

为每个集成电路芯片配置一个0.01μF的陶瓷电容器。数字电路中典

型的0.1/μF的去耦电容有5nH分布电感，它的并行共振频率在7MHz左右，也就是说对于10MHz以下的噪声有较好的去耦作用，对40MHz以上的噪声几乎不起作用。如遇到印制电路板空间小而装不下时，可每4～10个芯片配置一个1～10μF钽电解电容器，这种器件的高频阻抗特别小，在500kHz～20MHz范围内阻抗小于1～10μF而且漏电流很小（0.5μA以下）。去耦电容值的选取并不严格，可按C=1/f计算，即10MHz取0.1μF。对微控制器构成的系统，取0.1～0.01μF之间都可以。

每10片左右的集成电路要加一片充放电电容，或称为蓄放电容，电容大小可选10μF。通常使用的大电容为电解电容，但是在滤波频率比较高时，最好不用电解电容，电解电容是两层薄膜卷起来的，这种卷起来的结构在高频时表现为电感，最好使用钽电容或聚碳酸酯电容。

8.2.2 电容选择

为了降低电源的电阻和电感，在设计中可采取的措施有：

·使用电阻率低的材料，比如铜。

·用较厚、较粗的电源线，并尽可能减少长度。

·降低接触电阻，减小电源内阻。

·电源尽量靠近地，合理使用去耦电容。

因电源阻抗的要求，以往的电源总线形式已经不可能适用于高速电路，目前基本上都是采用了大面积的铜皮层作为低阻抗的电源分配系统。当然，电源层本身的低阻抗还是不能满足设计的需要，需要考虑的问题还很多，比如，芯片封装中的电源管脚，连接器的接口，以及高频下的谐振现象等，这些都可能会造成电源阻抗的显著增加。解决这些问题的最简单也最有效的方法是大量使用去耦电容。无论是降低电源平面阻抗，还是减少同步开关噪声，旁路电容都起着很大的作用，电源完整性设计的重点也在如何合理地选择和放置这些电容。说到电容，各种各样的叫法，旁路电容、去耦电容、滤波电容等，其实无论如何称呼，它的原理都是一样的，即利用对交流信号呈现低阻抗的特性，这一点可以

通过电容的等效阻抗公式看出来：$R_{CAP}=\frac{1}{2\pi fc}$，工作频率越高，电容值越大则电容的阻抗越小。

在电路中，如果电容起的主要作用是给交流信号提供低阻抗的通路，就称为旁路电容；如果主要是为了增加电源和地的交流耦合，减少交流信号对电源的影响，就可以称为去耦电容；如果用于滤波电路中，那么又可以称为滤波电容；除此以外，对于直流电压，电容器还可作为电路储能，利用充放电起到电池的作用。而实际情况中，往往电容的作用是多方面的，不必花太多的心思考虑如何定义。本书统一把这些应用于高速PCB设计中的电容都称为旁路电容。电容在高速PCB电路中的作用，如减少电源波动、降低SSN和串扰及抑制EMI等。如图8-9所示。

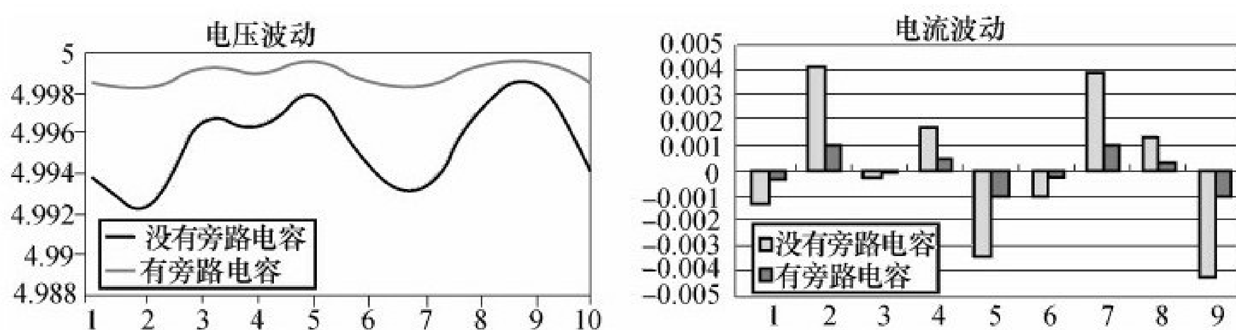


图　8-9　旁路电容减少电源波动

1.片上电容

理想情况下，最好是在硅片上设计足够的片上电容，这样就可以为输出缓冲提供足够的电源，但这往往是不可能实现的。在片上的电容不

够时，就有必要利用外部的去耦电容来补偿。通过下面的步骤，可以来近似计算为了消除信号完整性问题所需要的最小片上电容的值。

1）根据局部电源供给的波动，确定使用的逻辑器件的最大噪声容限，电源的下降只是产生噪声的一个方面，所以允许的噪声容限值要适当减小，用ΔV来表示。

2）确定流经去耦电容的最大回路电流，用ΔI表示。

3）这样，ΔV/ΔI的比值就是片上电容的去耦路径所能允许的最大阻抗。

4）估计片上电容需要通过的开关电流的频率，这个频率有多种估算方法，其中一个方法就是用下面的公式：$F_{\text{tran}} \approx \frac{0.35}{T_{\text{slow}}}$，式中$T_{slow}$是驱动器可能产生的最慢的边沿时间。这里选择最慢的边沿时间是很重要的，因为电容是通高频的。如果在计算中使用最快的边沿时间，那么对于慢的边沿信号就会产生一些信号完整性问题，因为信号的低频分量将不能通过电容。

5）每个I/O单元需要的最小片上电容的值为

$$C_{\min} \approx \frac{\Delta I}{2\pi F_{\text{tran}} \Delta V}$$

如果每个I/O单元的片上电容小于计算得出的最小值C_{min}，那么就需要板级或者底面（land-side）电容进行补偿。正如前面所讨论的，这时主要问题就是芯片与去耦电容之间的串联电感。这个电感应该尽可能小，这样就不会对瞬间电流有什么限制，但是，实际情况几乎不可能给系统的每个I/O都提供一个板级去耦电容，每个电容则必须为几个输出缓冲器提供去耦作用，此外，电容的感性路径也是共享的。所以，为了确定最近的板级去耦电容的要求，就必须要综合考虑感性的去耦路径和去耦电容的值，电感应该足够小，而电容则应该足够大。

2.板级电容

假设片上电容不充足的情况下，可以通过下面的步骤来近似确定板级去耦的要求。

1）根据局部电源的波动来确定逻辑器件所能允许的最大噪声容限，用ΔV来表示。

2）确定去耦电容的感性路径上可能通过的电流最大值。一种方法就是确定系统板上有多少个I/O使用同一个去耦电容，由于每个I/O的返回电流都要通过这个电容返回，那么流经电容的总电流就可以估算出来，用ΔI_{sum}表示。例如，如果I/O和电容数目的比率为3:1，那么每个去耦电容上就会有三个输出缓冲器的回流经过。

3）确定信号边沿的开关频率，和前面的步骤4是相似的，只不过这

里应该使用最快的边沿时间，因为电感是通低频阻高频的。

4）利用下面的公式来计算电容所允许的最大电感。

$$L_{max} \approx \frac{\Delta V}{2\pi F_{tran} \Delta I_{sum}}$$

在上述公式中，将ΔI用ΔI_{sum}代替，计算去耦电容的最小值。记住：在计算电容的最小值时，要使用最慢的上升或下降时间，这样才能保证电容足够大，可以让所有频率的信号都能通过。

显然，电感L_{max}的值取决于I/O单元电路和去耦电容之间的距离，同时也是由封装、接插件、过孔和电容的引线电感等因素所决定的。参考平面上的电感通过三维仿真器或者测量的方法才能得到比较精确的结果，不过也可以通过两维仿真器或者平面电感的计算公式来得到其一阶的近似。需要了解的是，通常由接插件、芯片封装、金线、过孔等产生的电感要比参考平面的电感大很多。

3.电容选择实例

对于一个实际的电路系统，如何正确选取合适的电容呢？下面以一个实际例子来说明，假设电路中有50个驱动缓冲器同时开关输出，边沿速度1ns，负载30pF，电压2.5V，允许波动范围为±2%（如果考虑电源层的阻抗影响，可允许的波动范围可增加），则最简单的一种方法就是看负载的瞬间电流消耗，计算方法如下：

1）先计算负载需要的电流I，$I = \frac{CdV}{dt} = \frac{30\ pF \times 2.5\ V}{1\ ns}$ =75mA，则总的电流需要：50×75mA=3.75 A。

2）计算需要的电容：

$$C = \frac{Idt}{dV} = \frac{3.75\ A \times 1\ ns}{2.5 \times 2\%} = 75\ nF$$

3）考虑到实际情况可能因为温度、老化等影响，可以取80nF的电容以保证一定的裕量，并可采用两个40nF的并联，以减小ESR。

上面的这种计算方法很简单，但实际的效果不是很好，特别是在高频电路的应用上，会出现很多问题。比如上面的这个例子，即便电容的电感很小，只有1nH，但根据dV=Ldi/dt，可以算出大概有3.75V的压降，这显然是无法接受的。因此，针对较高频率的电路设计时，采用另外一种更为有效的计算方法，主要的是看回路电感的影响。仍以刚才的例子分析：

1）先计算电源回路允许的最大阻抗X_{max}。

$X_{max}=\Delta V/\Delta I=0.05V/3.75\ A=13.3\Omega$

2）考虑低频旁路电容的工作范围F_{BYPASS}。

$F_{BYPASS}=X_{max}/2\pi L\ 0=13.3/（2\times3.14\times5）=424kHz$

这是考虑板子上电源总线的去耦电容，一般取值较大的电解电容，这里假设其寄生电感为5nH。可以认为频率低于F_{BYPASS}的交流信号由板级大电容提供旁路。

3）考虑最高有效频率F_{knee}，也称为截止频率。

$F_{knee}=0.5/T_r=0.5/1ns=500MHz$，截止频率代表了数字电路中能量最集中的频率范围，超过F_{knee}的频率将对数字信号的能量传输没有影响。

4）计算出在最大的有效频率（F_{knee}）下，电容允许的最大电感L TOT为

$$L_{TOT} = \frac{X_{max}}{2\pi F_{knee}} = \frac{X_{max} T_r}{\pi} = \frac{13.3 \times 1}{3.14} = 4.24 \text{ pH}$$

5）假设每个电容的ESL为1.5nH（包含焊盘引线的电感），则可算出需要的电容个数N为

$N=ESL/L_{TOT}=1.5nH/4.24\ pH=354$

6）电容在低频下不能超过允许的阻抗范围，可以算出总的电容值C为

$$C = \frac{1}{2\pi F_{BYPASS} \times X_{max}} = \frac{1}{2 \times 3.14 \times 424 \text{ kHz} \times 13.3} = 28.3\ \mu\text{F}$$

7）最后算出每个电容的取值C_n

$C_n=C/N=28.3\mu F/354=80nF$

计算结果表明，为了到达最佳设计效果，需要将354个80nF的电容平均分布在整个PCB板上，但是从实际情况看，这么多电容往往是不太可能的，如果同时开关的数目减少，上升沿不是很快，允许电压波动的范围更大的话，计算出来的结果也会变化很大。如果实际的高速电路要求的确很高的话，只有尽可能选取ESL较小的电容来避免使用大量的电容。

8.3 电容组合的选择

瞬态电流的变化相当于阶跃信号，具有很宽的频谱。因而，要对这一电流需求补偿，就必须在很宽的频率范围内提供足够低的电源阻抗。但是，不同电容的有效频率范围不同，这和电容的谐振频率有关（严格来说应该是安装后的谐振频率），有效频率范围（电容能提供足够低阻抗的频率范围）是谐振点附近一小段频率。因此要在很宽的频率范围内提供足够低的电源阻抗，就需要很多不同电容的组合。

只用一个容值，只要并联电容数量足够多，也能达到同样低的阻抗。的确如此，但是在实际应用中可以算一下，多数时候，所需要的电容数量很大，电路板上密密麻麻的全是电容。既不专业，也没必要。

选择电容组合，要考虑的问题很多，比如选什么封装、什么材质、多大的容值、容值的间隔多大、主时钟频率及其各次谐波频率是多少、信号上升时间等，需要根据具体的设计来确定。

通常，用钽电容或电解电容来进行板级低频段去耦。电容量的计算方法前面讲过了，需要提醒一点的是，最好用几个或多个电容并联以减小等效串联电感。这两种电容的Q值很低，频率选择性不强，非常适合板级滤波。

高频小电容的选择有些麻烦，需要分频段计算。可以把需要去耦的

频率范围分成几段，每一段单独计算，用多个相同容值的电容并联来达到阻抗要求，不同频段选择不同的电容值。但这种方法中，频率段的划分要根据计算的结果不断调整。

一般划分3～4个频段就可以了，这样需要3～4个容值等级。实际上，选择的容值等级越多，阻抗特性越平坦，但是没必要用非常多的容值等级，阻抗的平坦当然好，但是我们的最终目标是总阻抗小于目标阻抗，只要能满足这个要求就行。

在某个等级中到底选择哪个容值，还要看系统时钟频率。前面讲过，电容的并联存在反谐振，设计时要注意，尽量不要让时钟频率的各次谐波落在反谐振频率附近。比如在零点几微法等级上选择0.47、0.22、0.1还是其他值，要计算一下安装后的谐振频率再确定。

还有一点要注意，容值的等级不要超过10倍。比如可以选类似0.1、0.01、0.001这样的组合。因为这样可以有效控制反谐振点阻抗的幅度，间隔太大，会使反谐振点阻抗很大。当然这不是绝对的，最好用软件看一下，最终目标是反谐振点阻抗能满足要求。

高频小电容的选择，要想得到最优组合，是一个反复迭代寻找最优解的过程。最好的办法就是先粗略计算一下大致的组合，然后用电源完整性仿真软件做仿真，再做局部调整，能满足目标阻抗要求即可，这样直观方便，且控制反谐振点比较容易。可以把电源平面的电容也加进

来，联合设计。

图8-10是一个电容组合的例子。这个组合中使用的电容为：2个680μF钽电容，7个2.2μF陶瓷电容（0805封装），13个0.22μF陶瓷电容（0603封装），26个0.022μF陶瓷电容（0402封装）。图中，上部平坦的曲线是680μF电容的阻抗曲线，其他三个容值的曲线为图中的三个V字形曲线，从左到右依次为2.2μF、0.22μF、0.022μF。总的阻抗曲线为图中底部的粗包络线。这个组合实现了在500kHz～150MHz范围内保持电源阻抗在33mΩ以下。在500MHz频率点处，阻抗上升到110mΩ。从图中可见，反谐振点的阻抗控制得很低。

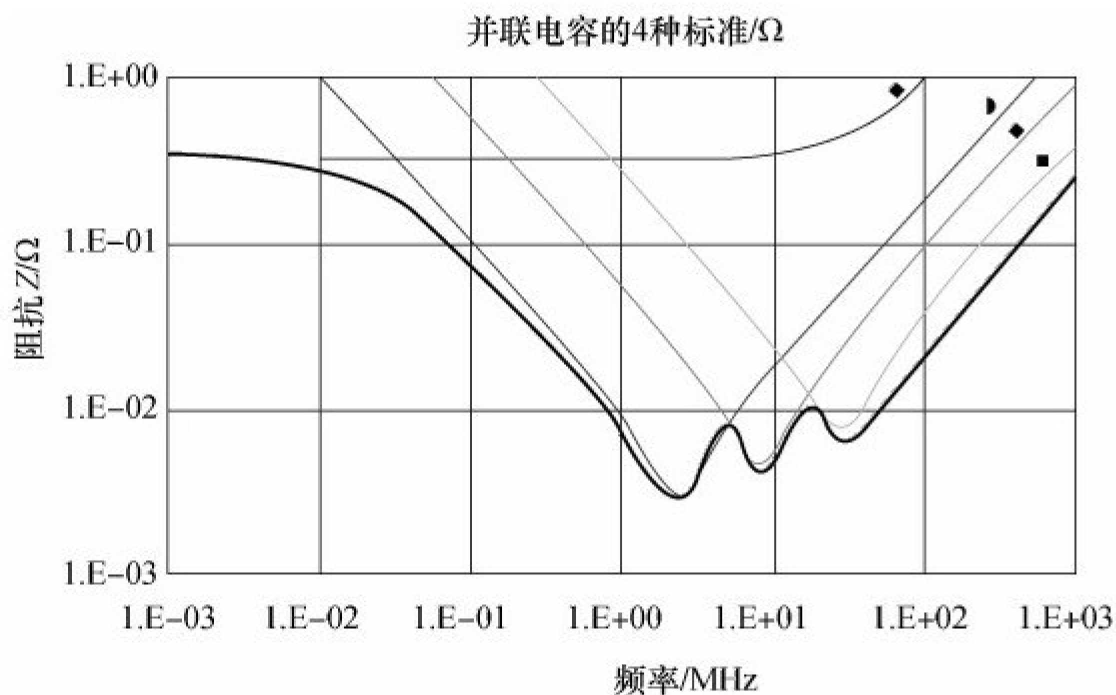


图　8-10　电容组合

小电容的介质一般常规设计中都选择陶瓷电容。NP0介质电容的

ESR要低得多，对于有更严格阻抗控制的局部可以使用，但是注意这种电容的Q值很高，可能引起严重的高频振铃。封装的选择，只要加工能力允许，当然越小越好，这样可以得到更低的ESL，也可以留出更多的布线空间。但不同封装，电容谐振频率点不同，容值范围也不同，可能影响到最终的电容数量。因此，电容封装尺寸、容值要联合考虑。总之最终目标是，用最少的电容达到目标阻抗要求，以减轻安装和布线的压力。

8.4　电容在设计中的注意事项

通过对以上电容特性的分析，可以大致总结出高速PCB布线中对电容处理的要求，简单地说就是降低电感。具体措施主要有：

·减小电容引线/引脚的长度。

·使用宽的连线。

·电容尽量靠近器件，并直接和电源管脚相连。

·降低电容的高度（使用表贴型电容）。

·电容之间不要共用过孔，可以考虑打多个过孔接电源/地。

·电容的过孔要尽量靠近焊盘（能打在焊盘上最佳），如图8-11所示。

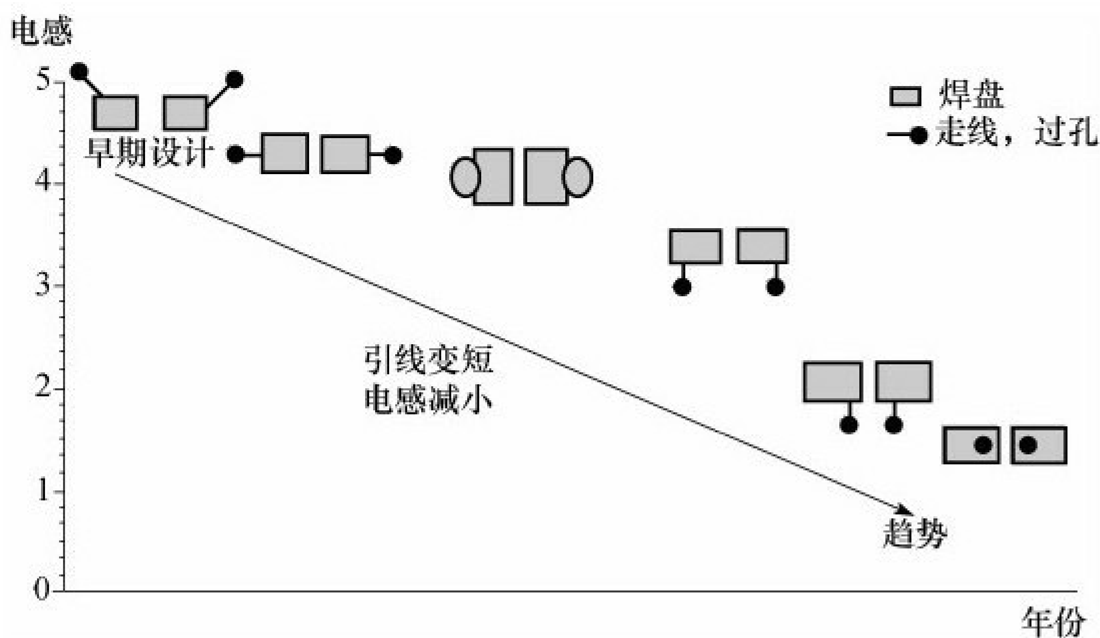


图　8-11　电容引线设计趋势

第一种方法是从焊盘引出很长的引出线，然后连接过孔，这会引入很大的寄生电感，一定要避免这样做，这是最差的安装方式。

第二种方法是在焊盘的两个端点紧邻焊盘打孔，比第一种方法路面积小得多，寄生电感也较小，可以接受。

第三种方法是在焊盘侧面打孔，进一步减小了回路面积，寄生电感比第二种更小，是比较好的方法。

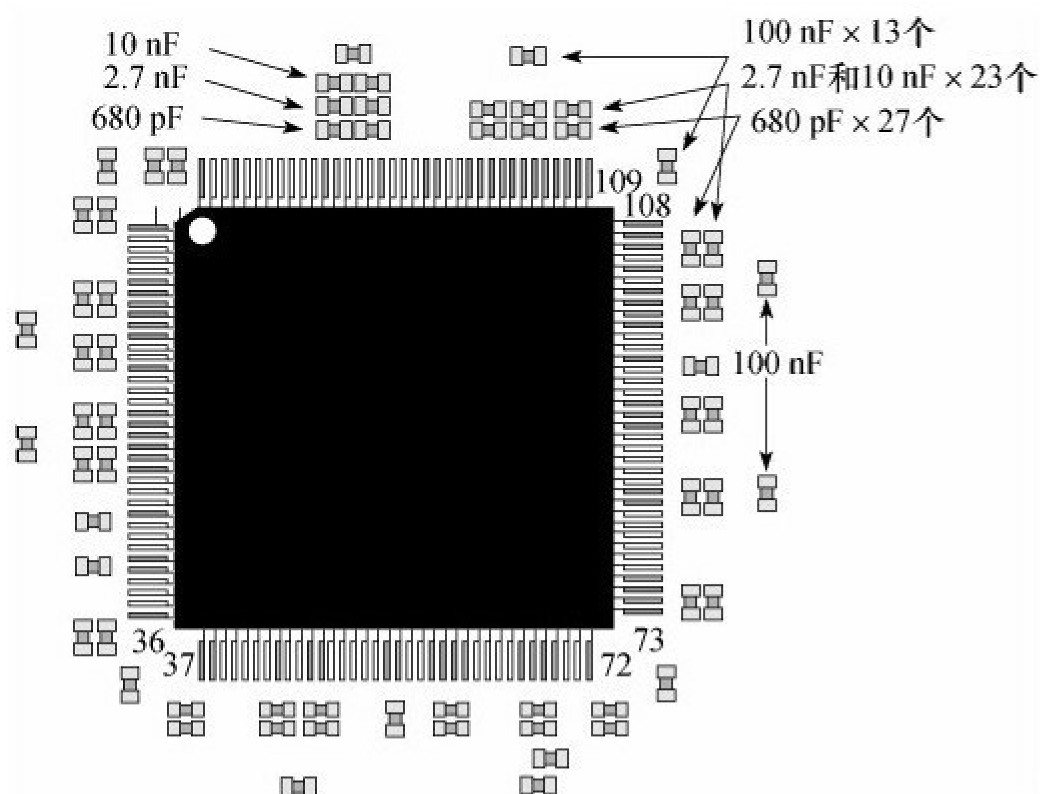
第四种方法是在焊盘两侧都打孔，和第三种方法相比，相当于电容每一端都是通过过孔的并联接入电源平面和地平面，比第三种寄生电感更小，只要空间允许，尽量用这种方法。

最后一种方法是在焊盘上直接打孔，寄生电感最小，但是焊接时可能会出现问题，是否使用要看加工能力和方式。

8.5 电容的摆放

对于电容的安装，首先要提到的就是安装距离。容值最小的电容，有最高的谐振频率，去耦半径最小，因此放在最靠近芯片的位置。容值稍大些的可以距离稍远，最外层放置容值最大的。但是，所有对该芯片去耦的电容都尽量靠近芯片。

放置时，最好均匀分布在芯片的四周，对每一个容值等级都要这样。通常芯片在设计的时候就考虑到了电源和地引脚的排列位置，一般都是均匀分布在芯片的四个边上的。因此，电压扰动在芯片的四周都存在，去耦也必须对整个芯片所在区域均匀去耦。如果把图8-12中的680pF电容都放在芯片的上部，由于存在去耦半径问题，那么就不能对芯片下部的电压扰动很好地去耦。



10 nF
2.7 nF
680 pF
100 nF × 13个
2.7 nF和10 nF × 23个
680 pF × 27个
109
108
100 nF
36
37
72
73

图　8-12　电容的布局

8.6　回路设计

首先对电源线和地线的设计，我们要保证线宽加粗（如宽为40mil，而普通信号线为10mil），这样才能尽可能地减少其阻抗值。随着芯片的速度越来越高，根据5-5规则（印制电路板层数选择的规则，即时钟频率到5MHz或脉冲上升时间小于5ns，则电路板必须采用多层板），设计越来越多地使用多层板，通过专用的电源层进行供电和专用的地层构成回路，这样就减少了线路的电感。

图8-13中所示的是一个四层板的信号回路图，高频信号将从地层返回，在地层理想的情况下（没有分隔和过多的过孔），高频信号线将在地层上形成射频的镜像回路，返回电流将主要从高频信号在地层上的镜像路径返回，而在PCB中，信号线与地层之间的距离非常小（大约是0.3mm），这样就形成了小环路，不仅可以减少电源完整性的问题，也能够减少环路的射频辐射，避免引起其他的电磁兼容性问题。但在当今高集成度的PCB设计中，由于芯片集成度过高，过孔过密，多电源供电及数字器件及模拟器件共存所引起的电源层和地层的分隔等因素，要保证电源回路的畅通无阻则是很困难的。

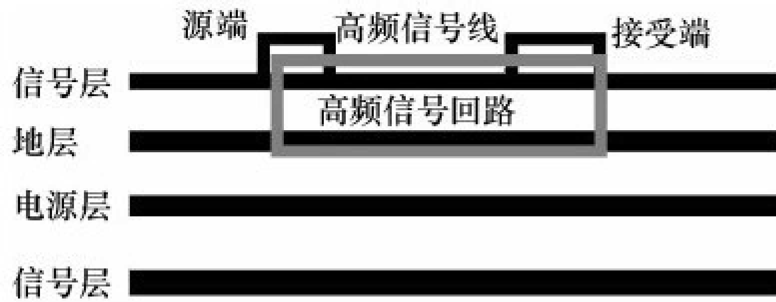


图 8-13 四层板信号回路

8.6.1 最小环路设计

在图8-14中，在数字器件和模拟器件共存的高速PCB中，为了防止数字器件所带来的高频噪声对模拟器件造成影响，我们把数字地和模拟地进行了分隔，分立的数字地和模拟地用0Ω电阻通过一点接地，最后与电源地相连形成回路。这样就把数模两部分噪声进行了隔离，但同时也引起了问题，由于地层的分隔破坏了地层的连续性，阻碍了信号的小环路回路，这就使信号回路阻抗增大，增加了出现电源完整性问题的可能，同时大回路的返回路径也增大了回路的射频辐射和板间的电磁兼容性。

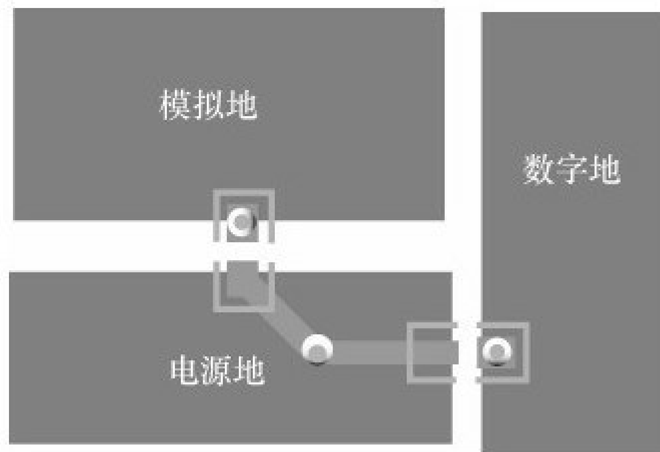


图 8-14 数字地和模拟地分隔的原因

为了避免以上的问题，在数字器件和模拟器件混合布局中提倡采用统一地，就是将数字器件和模拟器件分区布局，而地则不进行分隔。合理地对数模器件进行布局，通过基尔霍夫定律可知，高频下电路地返回路径将沿着最小阻抗，即最小的环路面积返回，数字器件和模拟器件的返回路径也将分别在数字器件和模拟器件所对应的镜像路径返回，它们之间不会引起干扰。

在高集成度的PCB设计中，由于信号线的走线可能比较复杂，形成的回路面积可能比较大。如图8-15所示，在四层板中，某信号源的信线在顶层经过地层和电源层后从地层传输，最后返回。在这个传输路径中，高频信号线所形成的信号回路非常大。为了解决这个问题，我们在靠近信号线的附近，在电源层和地层之间加了一个电容。这样，对于高频信号来说，顶层的信号线在地层上将会产生一个镜像回路，而地层的信号线将在电源层上产生一条镜像回路，这两条镜像回路将与电源层和

地层之间的电容构成回路，这样就尽可能地利用电源层和地层作为回路，减少了返回环路面积，从而减少了产生电源完整性及板间电磁兼容问题的可能性。

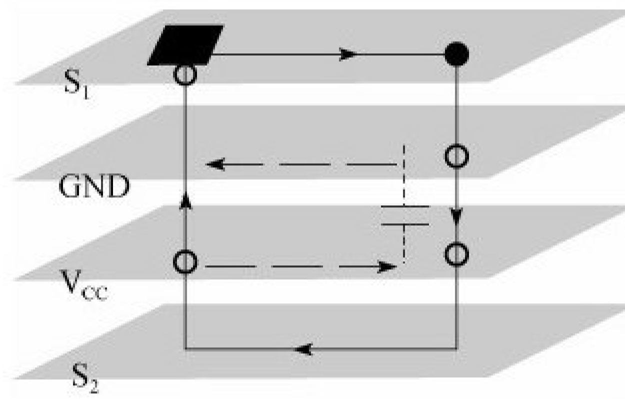


图　8-15　信号的射频返回路径

8.6.2　最小化SSN

SSN是一种难以捉摸其特性的噪声，SSN的存在给电路的工作造成了不稳定，可以采取下面的一些措施来减小SSN的影响：

1）如果可能的话，对关键信号（如选通信号和时钟）采用差分形式的驱动和接收端电路。差分输出是由一对总是具有反相位的信号构成（奇模）。差分接收简单地说就是一种在两个信号的交叉处触发的电路。它能消除共模噪声，显著提高信号的质量。差分方式的传输线对耦合噪声和非理想回路具有更强的免疫性能，这是因为奇模信号之间会形成了一个虚地。即使是电源来不及提供瞬间电流的情况下，差分信号也能正常接收。

2）尽可能增大片上电容。这样就提供了一个电荷“储水池”，且没有电感分隔。如果电容足够大，就可以看成是一个电池，能及时对瞬态的电流进行补偿。

3）最大化器件周围的去耦电容。可能的话最好是使用底面（land-side）电容或者die-side电容。将板级去耦电容尽可能靠近器件的电源和地管脚放置。

4）合理对I/O管脚进行分配，减少一组里面的I/O个数，增强信号和

电源/地管脚之间的耦合。最大化电源和地管脚的数量。将电源和地管脚相邻放置在一起，由于在电源和地管脚之间通过的电流是反相的，这样总电感就可以由于互感而减小。

5）降低信号的边沿速率。要小心，这个方法是把“双刃剑”。较慢的边沿速率对内核噪声更加敏感。试验表明，内核噪声在信号上升或者下降时会耦合到预驱动电路，从而引起信号的抖动。信号转换越慢，噪声也就越容易耦合到信号边沿。

6）将处理器的内核逻辑电路和外部I/O的电源供给分开，这样可以降低SSN耦合到内核的可能性，减少锁存器数据的错误翻转。

7）尽可能减小电感，使用宽而短的电源线，打金线也要短些。

8）最小化去耦电容的电感。尽可能避免非理想回路。PCB走线使用相同的参考层，减小流经去耦电容的电流。非理想回路呈现出感性的不连续性。非理想回路将滤掉信号中的一些高频分量，从而延缓了信号的边沿速率。如果回路绕过的路径较长，这种非理想的回路将在接收端产生一些SI的问题。非理想回路增加了回路的面积，继而产生一些EMI问题。非理想回路将显著地增大跨沟信号之间的耦合系数。

第9章　信号完整性分析

信号完整性（Signal Integrity, SI）是指信号未受到损伤的一种状态。它表明信号通过信号线传输后仍保持正确的功能特性，信号在电路中能以正确的时序和电压做出响应。由IC的时序可知，如果信号在稳态时间（为了正确识别和处理数据，IC要求在时钟边沿前后输入数据保持不变的时间段）内发生了较大的跳变，IC就可能误判或丢失部分数据。若信号具有良好的信号完整性，则电路具有正确的时序关系和信号幅度，数据不会出现错误的捕获，这意味着接收端能够得到正确的数据。相反，若出现信号完整性故障，就会引起任意的信号跳变，使信号不能正常响应，导致系统工作异常，性能下降。

9.1 信号完整性问题

信号完整性问题的真正起因，是不断缩减的信号上升与下降时间。一般来说，当信号跳变比较慢，即信号的上升和下降时间比较长时，PCB中的布线可以建模成具有一定数量延时的理想导线，而确保有相当高的精度。此时，对于功能分析来说，所有连线延时都可以集中在驱动器的输出端。通过不同连线连接到该驱动器输出端的所有接收器的输入端，在同一时刻观察都可得到相同波形。

随着信号变化的加快，信号上升时间和下降时间缩短，电路板上的每一个布线段由理想的导线转变为复杂的传输线。此时信号连线的延时不能再以集中参数模型的方式建模在驱动器的输出端。同一个驱动器信号驱动一个复杂的PCB连线时，电学上连接在一起的每一个接收器上接收到的信号就不再相同。从实践经验中得知，一旦传输线的长度大于驱动器上升时间或者下降时间对应的有效长度的1/6，传输线效应就会产生，即出现信号完整性问题，包括反射、上冲和下冲、振荡和环绕振荡、地电平面反弹和回流。

信号完整性问题能导致或者直接带来信号失真，定时错误，数据不正确，地址和控制线以及系统误工作，甚至系统崩溃。解决不好会严重影响产品性能并带来不可估量的损失，这已成为高速产品设计中非常值得注意的问题。

9.1.1　典型SI问题

信号完整性问题主要研究互连线与数字信号的电压电流波形相互作用时，其电气特性参数如何影响产品的性能。所有这些问题分为以下三种影响和后果：

·时序

·噪声

·电磁干扰

时序是高速系统运行的基础。信号时序取决于信号传播的物理长度引起的延迟，同时也取决于达到阈值时波形的形状。信号波形畸变的原因有多种，但是针对噪声来说，主要有以下三个方面：

·反射噪声：由于阻抗失配、分支、过孔及其他互连中存在的不连续性，使信号通过不连续点时便发生“反射”现象，造成波形畸变，产生反射噪声。

·串扰噪声：信号传输线路周围有电磁场发生。当有多个传输线并行布线时，各自的电磁场互相作用和信号间的能量相互作用产生的信号波动，称为串扰噪声。

·电源/地噪声：对高速电路来说，由于高频信号选择感抗最小的回流路径，较长的地线产生一定的等效串联电感（Equivalent Series Inductance, ESL）会导致该点与地电位之间产生一定的电压降，从而产生了地噪声。同时，对于各电源来说，如果负载高速切换需要较大的负载消耗，而就近的电源供应不能提供足够的输出，也会引起电源电压的短暂下降，从而产生较为严重的电源噪声。

除了以上三种SI问题之外，还有其他的电磁兼容性或者电磁干扰方面的问题也可能会导致信号波形的畸变。当SI问题发生或者满足不了系统噪声容限时，比如说开关接收端产生反射使得信号低于V_{ih}电平或者高于V_{ih}电平（参考值V_{ih}以上的电压被认为是逻辑高电平，$V\ i_{h}$以下的电压被认为是逻辑低电平），或者静态接收端的信号电平大于V_{ih}最大值或者低于V_{ih}最小值，或者电源/地电压波动干扰锁存数据，就会导致逻辑错误、数据丢失、误码甚至发生系统瘫痪。

所有与信号完整性噪声问题有关的效应都与下面四类特定噪声源有关，如图9-1所示。

·单一网络的信号完整性。

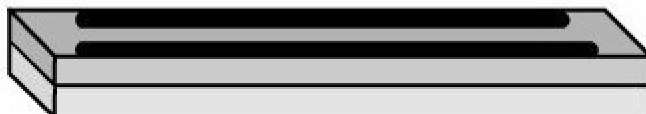
·两个或多个网络间的串扰。

·电源和地分配中的轨道塌陷。

·来自整个系统的电磁干扰和辐射。







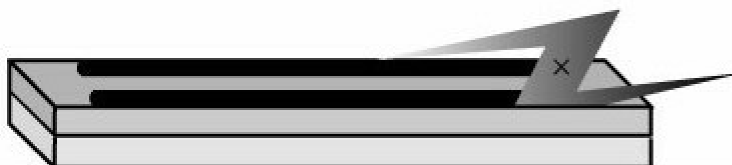


图 9-1 四种信号完整性问题

1.单一网络的信号质量

网络由系统中所有连接在一起的金属组成。例如从时钟芯片输出引脚，引出的走线与其他芯片相连接，连接这些引脚的每条金属就可以看作是属于同一个网络。另外，网络不仅包括信号路径，还包括信号电流的返回路径。单一网络的信号质量与信号路径和返回路径的物理特征都有很大的关系。有端接时，互连线上没有振铃，没有端接时，出现振铃。如图9-2所示。

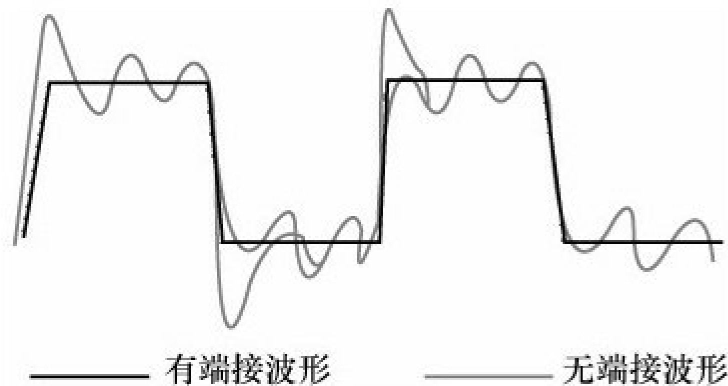


图　9-2　有端接和无端接的互连线信号

任何突变对信号产生的影响均与信号的上升沿有关。随着上升沿变短，失真的幅度增大。也就是说，在33MHz时钟设计中，突变不算问题，但在100MHz时钟设计中就可能成为问题。随着频率升高和上升沿缩短，使信号所感受到的阻抗保持不变变得越来越重要。达到这一要求的方法是使用可控阻抗互连线，甚至更换封装。

2.串扰

当网络传播信号时，有些电压和电流能传递到邻近的静态网络上，即使第一个网络（动态网络）上的信号质量非常好，一些信号也会以有害的噪声形式耦合到第二个静态网络上。

串扰发生在两种不同的情况中：互连线为均匀传输线（电路板上的大多数线条，如图9-3所示）和互连线为非均匀传输线（如接插件和封装）。在可控阻抗传输线上，线条有很宽的均匀返回路径，相对的容性耦合与感性耦合大小是相当的。在这种情况下，这两种效应在静态网络

的近端和远端的叠加方式是不一样的，如图9-4所示。

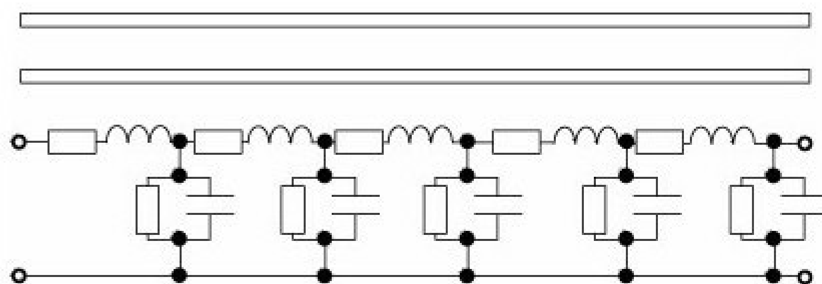


图　9-3　均匀传输线电路模型

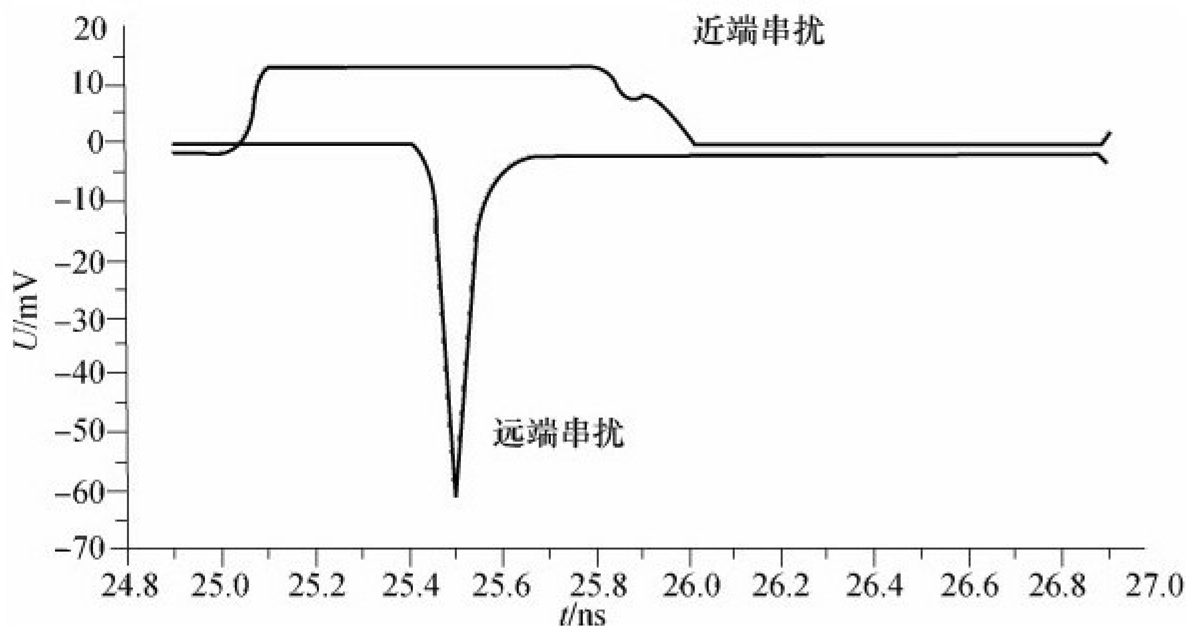


图　9-4　电路板上两个网络间近端与远端的串扰

返回路径为均匀平面时是实现最低串扰的方法，一旦返回路径的均匀平面发生变化，就会增加两个传输线间的耦合噪声。当信号经过接插件且多个信号共用的返回路径是一个返回引脚而不是一个平面时，感性耦合噪声比容性耦合噪声增加得更多。

当感性耦合噪声处于主导地位时，通常把这种串扰归因于开关噪声、地弹、同时开关噪声或者同时开关输出噪声。这类噪声是由耦合电感，即所谓的互感产生的。地弹实际上是由于邻近信号和返回路径间的互感很大才产生的，开关噪声大多发生在接插件和封装处。图9-5所示为邻近信号路径和返回路径间的大互感产生的同步开关输出（Simultaneously Switching Output, SSO）噪声。

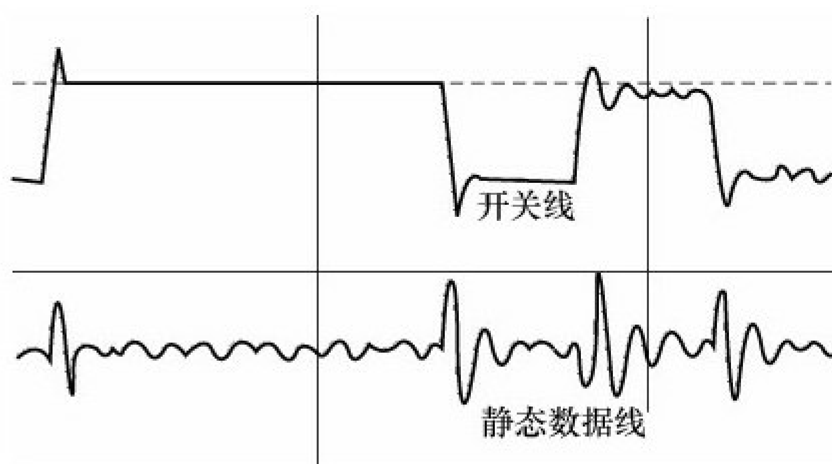


图 9-5 SSO噪声

通过了解容性耦合和感性耦合的本质，可以优化相邻信号线的物理设计而减小耦合。对于特征阻抗相同的导线，使用介电常数较小的材料会减小串扰。串扰的某些方面，特别是开关噪声，会随着互连线长度的增加和上升沿的减少而增加。使用芯片最小尺寸封装（CSP）和高密度互连线（KDI），有助于减小串扰。

3.轨道塌陷噪声

噪声在电源和地分配网络中也是致命的问题，当通过电源和地路径的电流发生变化时（芯片输出翻转），在电源路径和地路径间的阻抗上产生一个压降，这个压降意味着供给芯片的电压减小了，可以看作是电源与地间的电压减小或塌陷。如图9-6所示。

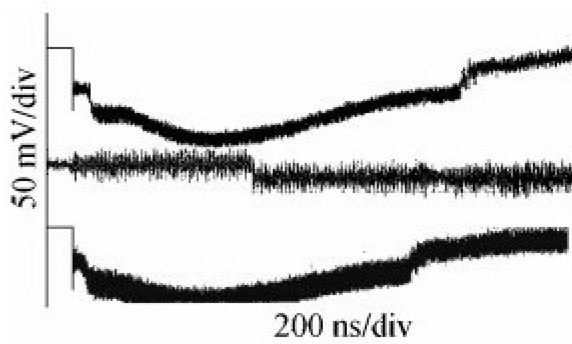


图 9-6 电压变化

4.电磁干扰

电磁干扰是指电子产品向外发出噪声，引起设备、装置或系统工作性能降低的电磁变化现象，主要分为传导干扰和辐射干扰两种。传导干扰是指电磁通过导电介质把信号从一个电网络上耦合（干扰）到另一个电网络上。辐射干扰是指干扰源（电磁）通过空间把其信号耦合（干扰）到另一个电网络上。在PCB设计中，需要考虑的主要是辐射干扰，因为集成电路的引脚、各类接插件等都具有天线的特性，能发射电磁波并影响本系统或其他电系统的正常工作。

9.1.2　SI产生的因素

元器件和PCB板的参数、元器件在PCB板上的布局、高速信号线的布线等因素，都会引起信号完整性的问题，对于PCB布局来说，信号完整性需要提供不影响信号时序或电压的电路板布局。而对电路布线来说，信号完整性则要求提供端接元件、布局策略和布线信息。PCB上信号速度高、端接元件的布局不正确或高速信号的错误布线都会引起信号完整性问题，从而可能使系统输出不正确的数据、电路工作不正常甚至完全不工作。

高速信号会导致PCB上的长互连走线产生传输线效应，它使得PCB设计必须考虑传输线的延时和阻抗匹配问题，因为接收端和驱动端的阻抗不匹配都会在传输线上产生反射信号，而这会对信号完整性产生很大的影响。另一方面，高密度PCB上的高速信号或时钟走线，会对间距越来越小的相邻走线产生很难准确量化的串扰问题，从而产生EMC问题。如图9-7所示。

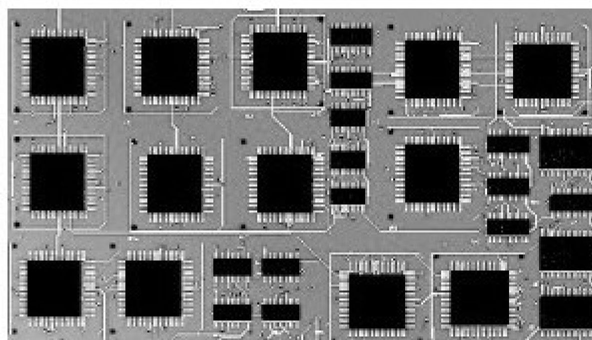


图　9-7　IC封装、电路板走线、布局、过孔产生信号完整性问题

9.1.3　电气封装中的SI

IC器件的封装不是一个在IC芯片和外部之间的透明连接，所有封装都会影响IC的电性能。随着系统频率和边沿速率的增加，封装影响变得更加重要。在两种不同封装中的相同IC，具有两种完全不同的性能特性。这些电性能以寄生器件的形式出现，包括连线或引线之间的电容耦合、电感和电阻值。封装的布局和结构决定了寄生器件的值，这些值在IC整体性能上有重要影响。信号中由封装导致的寄生参数的影响包括接地反弹和噪声、传播延迟、边缘速率、频率响应和输出引线时滞。

1.DQFN封装

目前封装有向更小的CSP（Chip Size Package，芯片级封装）发展的趋势，例如DQFN封装（微缩超薄四方扁平无引脚封装）。新的封装设计能够减少改变器件性能和信号形式的寄生效应。这些有利的特性中，一部分是固有的，例如尺寸减小。但是，新的封装设计不一定能减少寄生效应。同样，两个外部一样的封装，内部可能不一样，而且会有不同的寄生值。

改进封装提高信号性能，包括多重接地和电源引脚、短引线，以及使引脚之间电容耦合最小的布局。多重接地和电源引脚减少了电感，减少了电流不足和接地反弹。更短的引线或者焊锡球减小了电感、电阻和

引线长度，这些都减少了接地反弹。在吉赫兹情况下，所有这些特性有助于减少连线中断和传输线效应的影响。所以，引线越短越好，例如在DQFN上的封装焊接端子或者在倒装芯片和BGA（球栅阵列）上的焊锡球。

DQFN封装集成了一个裸露的芯片踏板，比TSSOP（超薄紧缩小型封装）的散热性能提高了20%。DQFN封装是无铅封装，解决了同平面和导线弯曲带来的组装困扰。其封装感应系数和TSSOP相比降低了60%，电容降低了30%，并且由于缩短了接线和内部信号线的长度，封装性能提高了20%。DQFN封装专为直插pin-out设计，使新的电路板设计（或从TSSOP转移）更简单而经济。如图9-8所示为DQFN封装实物图。

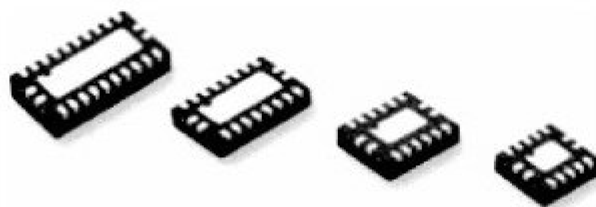


图　9-8　DQFN封装

2.BGA封装

BGA（Ball Grid Array）是球状引脚栅格阵列封装技术、高密度表面装配封装技术。在封装底部，引脚都成球状并排列成一个类似于格子的图案，由此命名为BGA。目前，主板控制芯片组多采用此类封装技

术，材料多为陶瓷。如图9-9所示。

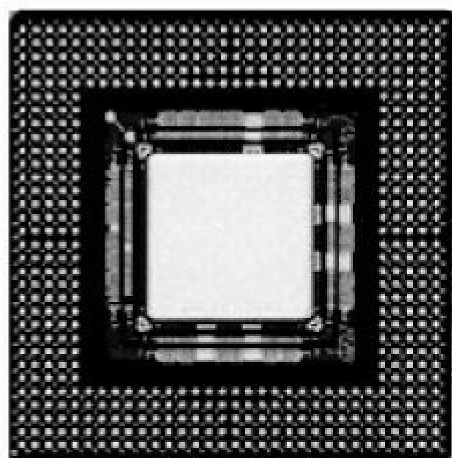


图　9-9　BGA封装

BGA封装方式中，芯片I/O引脚数增多，但引脚间距并不减小，从而提高了组装成品率。而BGA封装所采用的可控塌陷芯片法焊接，可以大大改善DDR内存的电热性能。此外，BGA的引脚要比TSSOP短得多，抗干扰能力更强，可靠性也大幅提高。寄生参数减小，信号传输延迟小，使用频率大大提高。组装可用共面焊接，可靠性高。采用BGA新技术封装的内存，可以使所有计算机中的DRAM内存在体积不变的情况下内存容量提高2～3倍，BGA与TSSOP相比，具有更小的体积、更好的散热性能和电性能。BGA封装技术使每平方英寸的存储量有了很大提升，采用BGA封装技术的内存产品在相同容量下，体积只有TSSOP封装的三分之一。另外，与传统TSSOP封装方式相比，由于芯片面积与封装面积之比相当接近1:1的理想情况，因此BGA封装方式有更加快速和有效的散热途径。

仔细设计衬底布局也能够完成减少寄生器件的封装，并且寄生器件的分布范围有限。与传统的引线封装相比，由于衬底生产工艺，BGA封装可以有更高的来自输出到接地平面的电容耦合。电镀引线被用于电镀衬底的线迹。如果这些引线不被去除，它们作为信号引线，会增加引线上的电容。见表9-1。

表 9-1　BGA 封装的信号完整性

序　号	内　　容
1	信号从芯片出发，经过连接线矩阵，然后到 PCB，然后通过电源/地引脚返回芯片构成一个总的环路。外围东西少，尺寸小意味着整个环路小。在相等引脚数目的条件下，BGA 封装环路的大小通常是 QFP 或者 SOIC 的 1/2 ~ 1/3。小的环路意味着小的辐射噪声，管脚之间的串扰也变小
2	可以高效地设计出电源和地引脚的分布。地弹效应也因为电源和地引脚数目几乎成比例地减少
3	能够使衬底连接电源和接地的连线位置接近于芯片，以此来减少电感和电阻。设计数据和控制连线的位置，使得引脚到引脚的电容耦合及连线长度的差异最小
4	BGA 封装可以有更高的来自输出到接地平面的电容耦合
5	BGA 封装可以把很多的电源和地引脚放在中间，I/O 口的引线放在外围。这仅仅是一种方法，可以用来在 BGA 基片上预先布线，避免 I/O 口走线混乱
6	不需要更高级的 PCB 工艺。它不像直接倒晶封装的方式那样需要考虑芯片和 PCB 尺寸，匹配热量传播效率来防止硅片损坏

3.封装特性

建模是指为元器件创建一种电气表征与描述模型。仿真器可对它进行解释并用它来预测电压和电流波形。有源器件的模型和无源器件的模型是完全不同的。有源器件的模型通常是SPICE兼容模型，或者是输入输出缓冲接口规范（IBIS）兼容模型。

IC封装对器件性能和扩展、系统特性有直接的影响。这些影响主要与波形有关。封装效应包括接地反弹和噪声、时滞及传播延迟。更快的边缘速率和更高的频率使得封装效应变得更加显著。

大部分最新的封装设计改进了信号特性。在某些方面，这些改进是重大的。在这些信号性能的改进中，一部分是由于设计创新，另一部分主要是封装提高的作用，例如封装尺寸的减小。然而，更新或者更小的封装不一定能自动地改善信号性能。来自不同厂商的相同IC不一定有相同的性能。

9.2 SI分析

由于系统时钟频率的增加和上升及下降时间的缩短，信号完整性设计变得越来越重要。然而，绝大多数数字电路设计者并没意识到信号完整性问题的重要性，或者是直到设计的最后阶段才初步认识到。信号完整性一直以来都是硬件工程师必备的设计经验中的一项，但是在数字电路设计中长期被忽略。

现代数字电路的频率可高达吉赫兹，并且上升时间在50ps以内。在这样的速率下，在PCB设计走线上的疏忽即使只有一英尺，由此造成的电压、时延和接口问题也不仅仅局限在这一根线上，还将会影响到全板及相邻的电路板。

9.2.1 设计流程中的SI分析

信号完整性并不是一个新的现象，但是在数字领域早期并没有受到关注。随着信息技术的发展和Internet时代的到来，人们需要通过各种高速数字通信/计算系统来进行联系。在这个巨大的市场中，信号完整性分析在保证这些电子产品系统可靠的运行方面扮演着越来越关键的角色。没有预先SI指导，样机可能永远只能在测试台上，没有布线后SI验证，产品可能到应用中就会出错。SI分析贯穿高速设计整个流程，并且

紧密地和每一个设计步骤结合在一起，如图9-10所示。通常来讲，SI分析有两个状态：布线前分析和布线后分析。

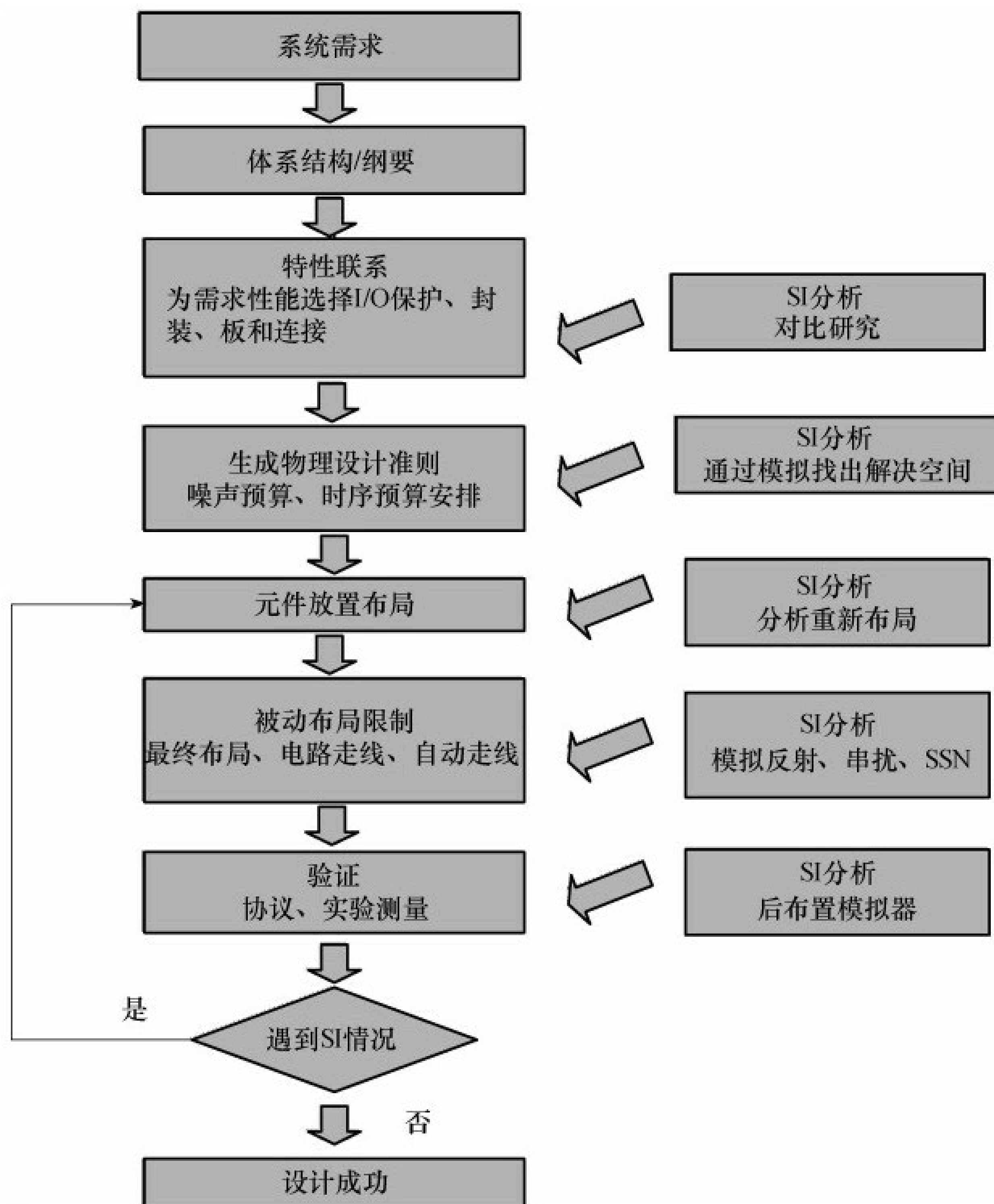


图　9-10　SI流程图

在布线前，SI分析可以用来选择I/O工艺、时钟分布、芯片封装类型、器件类型、板层堆栈、管脚分配、网络拓扑、端接策略等。SI分析综合考虑多种设计参数，形成的方案用来作为器件布局和布线的指导，保证物理版图的信号完整性。它将遵循噪声和时序要求。SI分析将减少反复设计和布局/布线返工，从而减少设计周期。

布线后，SI分析可以验证SI设计指南和设计限制的正确性。它将检查当前设计中的SI冲突，如反射噪声、振铃、串扰和地弹。同时揭示在布线前被忽视的SI问题，因为布线后分析是基于实现物理版图数据而不是预测的数据或者模型，总之它可以得到更精确的仿真结果。

如果在整个设计过程中都完全遵循SI分析，可以快速实现可靠的高性能系统。在过去，版图工程师所制作的物理设计仅仅是用来进行机械制作的机械版图，几乎不涉及任何信号完整性的设计。随着电子系统向高速发展，负责开发硬件的系统工程师逐渐要考虑信号完整性设计，如制定设计规则和布线限制。通常，他们这方面的知识来自以往产品设计师积累的经验，所以他们并不了解SI问题的本质。

面对这种挑战，需要专业的SI工程师的加盟。当考虑使用新工艺时，如新的器件或者新的芯片封装或者板的生产工艺时，SI工程师将从SI方面来分析技术的电气特性，然后通过SI建模和仿真软件进行仿真以

制定布线指南。这些SI工具应该足够精确以建模板级互连，如过孔、走线、平面堆栈。同时还必须具有足够的仿真速度，在进行驱动/负载模型选择和端接策略时进行将是怎样（What If）分析。最后，SI工程师将制定出一系列的设计规则并传递给设计工程师和布线工程师。然后设计工程师（负责整体系统设计）需要确保设计规则被充分执行。在板的初步布线和布局完成以后就可以对关键线网进行局部分析，也可以进行布线后验证。SI分析过程会涉及许多相关网络，因此仿真速度必须要快，即使是它有可能达不到SI工程师所希望的精度。一旦布线工程师得到SI方面的布局和布线规则，他们就可以产生一个优化的基于这些限制的物理设计，并且将提供一个布线系统中有关SI冲突方面的报告。对于这些冲突，布线工程师将与设计工程师和系统工程师一起解决这些SI问题。

9.2.2　SI分析原则

一个数字系统可以从三个不同层次来进行检查：逻辑、电路理论和电磁场。逻辑是这三个级别中抽象程度最高的，在这个层次SI问题是最容易被识别的。电磁场是最具体的，是其他级别建立的基础。大部分SI问题本质上来说是EMI问题，比如说反射、串扰和地弹。总之，从电磁场的角度来理解SI问题的物理行为是十分有益的。

在多层封装结构中，一个开关电流通过过孔将产生EM波，然后在两个平面之间成辐射状向远离过孔方向传播。当波传播到其他过孔时，这些过孔上将产生感应电流，这些感应电流最终将产生平面之间传播的电磁波。当波传播到边缘时，一部分反射回去，还有一部分将辐射到空气中。反射回来的波和前向波叠加在一起形成谐振。如图9-11所示。

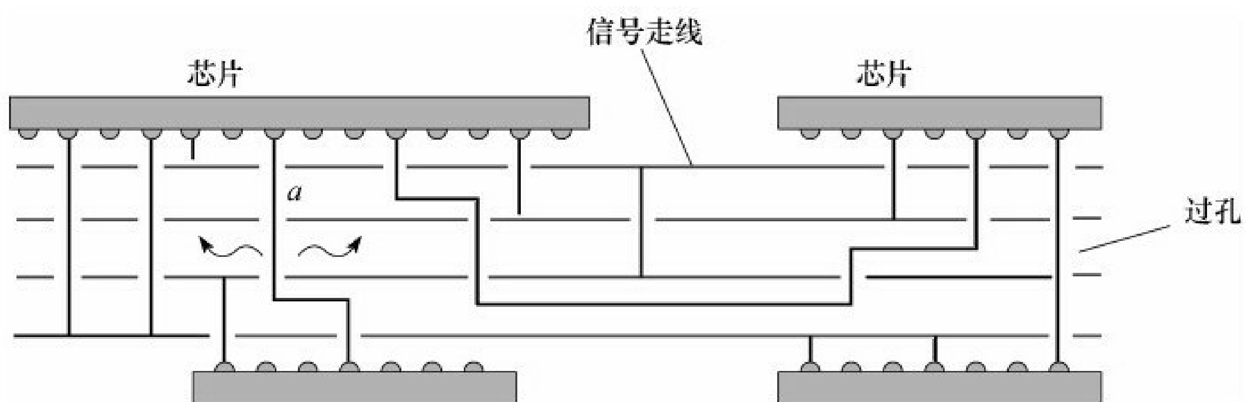


图　9-11　多层封装结构

尽管EM全波分析方法在结构建模方面具有比电路分析高得多的精

度，但目前来说，普通的互连建模方法都是基于电路理论的，而SI分析是采用电路仿真器进行的。主要原因是场分析通常需要更复杂的算法和更强大的计算机资源，而且电路分析方法将在低频时作为准静电场算法提供一种比较好的SI仿真方案。

典型的电路仿真器，比如不同种类的SPICE，采用节点分析方法计算出集总电路元素如电阻、电容和电感的电压和电流。在SI分析中，互连总是先用集总电路元素来建模。如印制电路上的一根线可以简单地建模为具有有限电抗的电阻。有了集总电路模型，导线两端的电压被假设是瞬时改变的而且忽略信号传播的时间。若考虑信号传播时间，就必须用分布电路模型，如用RLC网络来建模导线。决定是否有必要采用分布电路模型，可以用拇指规则，即如果信号上升时间和信号的周期传播时间相比是否相当，如果是的话就必须考虑使用分布电路模型。

一个3cm长的带状线在FR-4材料基板印制电路板上将达到200ps的传输延迟。对于一个33MHz的信号，假设上升时间是5ns，导线上的延迟可以被忽略。但是对于一个500MHz信号300ps上升时间，导线上200ps的传播延迟将变得很重要，必须用分布电路模型来建模导线。通过这个例子，很容易看出在高速电路设计中，面对不断减小的上升时间，进行SI分析必须使用分布电路模型。

考虑在印制电路板上的15cm×15cm面积的实心电源地平面，从电路理论的观点来看，很自然地把它当成一个大而理想的集总电容。假设在

平面上电压相同，则在平面上任何位置，电荷的保存是瞬时完成在的。在直流或者低频时，这种假设是真实的。然而，当逻辑开关达到300ps时，从电源/地平面吸取一个较大的瞬时电流，电源/地上的电流具有明显的延迟。仅仅在开关逻辑周围的小面积范围内，一部分平面电荷能及时补充到需要的地方。电源和地平面之间的电压将随位置的不同而变化。在这种情况下，一个理想的集总电容模型显然不能用来计算这种电流的传输效应。二维分布的RLC电路网络将用来对电源/地进行建模。

总之，随着当前高速设计趋势的发展，更快上升时间将进一步地显示出互连的分布本质。分布电路模型需要用来进行仿真延迟。

9.3 电路设计中的SI问题

随着集成电路输出开关速度的提高及PCB板密度的增加，信号完整性已经成为高速数字PCB设计最关键的因素之一。元器件和PCB板的参数、元器件在PCB板上的布局、高速信号线的布线等因素，也都会引起信号完整性的问题。对于PCB布局来说，信号完整性需要提供不影响信号时序或电压的电路板布局，而对电路布线来说，信号完整性则要求提供端接元件、布局策略和布线信息。PCB上信号速度高、端接元件的布局不正确或高速信号的错误布线都会引起信号完整性问题，从而可能使系统输出不正确的数据、电路工作不正常甚至完全不工作。

9.3.1 上升时间与SI的关系

随着芯片制造工艺的显著改进，硅片尺寸显著减小，晶体管沟道长度大大减小，已经进入亚微米时代。这种趋势导致了逻辑电路工作在更高的速度，上升和下降时间已经降到了百皮秒级别。随着深亚微米时代的到来，如果开关速度比现在更快也没什么好惊讶。由于许多SI问题直接和dv/dt及di/dt相关，快速的上升时间显然会恶化一些噪声现象，如振铃、串扰和电源/地开关噪声。具有更快时钟频率的系统通常具有较短的上升时间，使得他们面临更多的SI问题。但是即使是工作在20MHz时钟频率的产品，当使用了快速上升时间的逻辑产品，仍然可能会碰到一

些200MHz系统具有的SI问题。

9.3.2　传输线效应、反射及串扰

在芯片封装或者印制电路板中，导线和其参考平面形成传输线，如图9-12所示。当导线处于两个金属平面之间就形成带状线。一对均匀间距的平行导线，如管脚和电缆或者插座，都是传输线（线对）。一对金属平面和一个正交的过孔形成了另外一种类型的传输线（发射线）。

图9-12中的传输线的作用是把信号从一点传递到另一点。所有的传输线都有一些基本的参数，如单位长度电阻R、电感L、电导G和电容C、单位长度时延和特征阻抗。对于简单传输线结构如平行板可以通过分析获得，对于其他结构类型的传输线，通常采用软件仿真平台来得到这些参数。

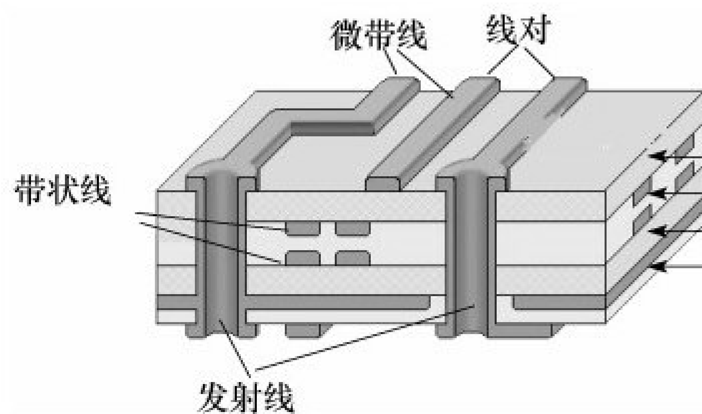


图　9-12　封装和印制电路板中存在的几种常用的传输线

在SI分析中，由于许多互连的电气模型可以被当作传输线，所以理

解传输线理论的基本概念并了解高速设计中常用的传输线效应就显得十分重要了。

1.反射

反射就是传输线上的回波。当信号延迟时间远大于信号跳变时间时，信号线必须当作传输线。当传输线的特征阻抗与负载阻抗不匹配时，信号功率（电压或电流）的一部分传输到线上并到达负载处，但是有一部分被反射了。若负载阻抗小于源阻抗，反射为负；反之，反射为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面不连续等因素的变化均会导致此类反射。反射是一种传输线效应，如图9-13所示。

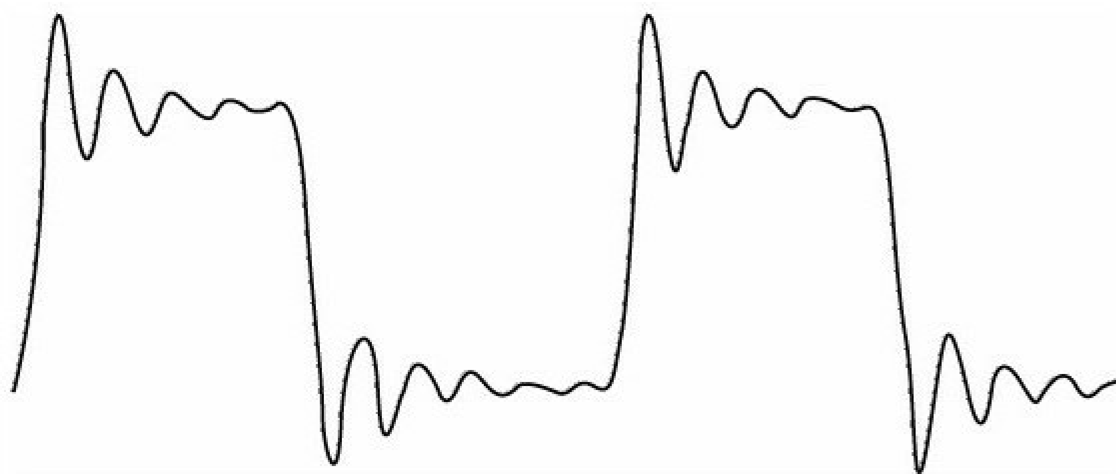


图　9-13　传输线末端阻抗不匹配引起的反射

在高速系统中，反射噪声增加时延，引起过冲、下冲和振铃。产生反射噪声的根本原因是信号传输路径上存在的阻抗不连续性。当一个信

号换层导致了阻抗不连续（制造工艺变化或设计考虑等），在不连续的边界点上就会产生反射。当导线越过有孔平面，跨越缝隙，出现分支（stub）或靠近相邻导线，此时产生了阻抗不连续，可以观察到反射。如果负载和传输线的特征阻抗不匹配，同样也会发生反射。为了最小化这种反射，常用可行的方法包括阻抗控制（通过线的几何和介质常数），消除分支，选择适当的端接方案（串行、并行、RC、戴维南等），并且尽量使用一个实心金属平面作为回流的参考平面。

2.串扰

当信号线沿着传输线传播时，信号路径和返回路径之间将产生电力线，围绕在信号路径和返回路径周围也有磁力线圈。这些场不是被限制在信号路径和返回路径之间的空间内，相反，它们会延伸到周围的空间。我们把这些延伸的场称为边缘场。距离导线越远的地方，边缘场就越微弱。如图9-14所示。

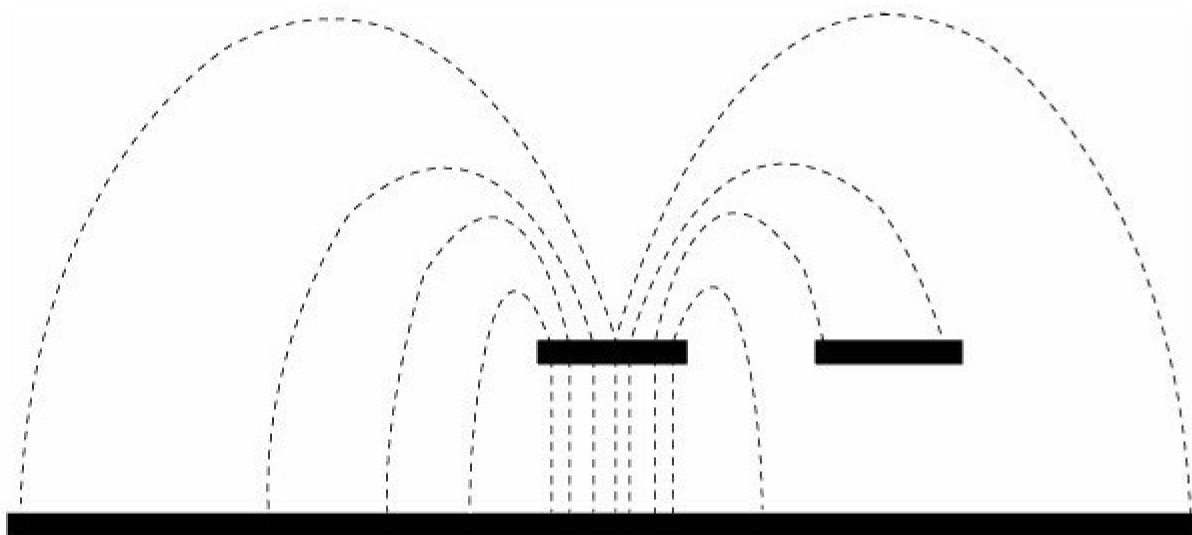


图　9-14　边缘场

串扰是两条信号线之间的耦合，信号线之间的互感和互容引起线上的噪声。容性耦合引发耦合电流，而感性耦合引发耦合电压。串扰噪声源于信号线网之间、信号系统和电源分布系统之间、过孔之间的电磁耦合。串扰有可能引起假时钟和间歇性数据错误等，对邻近信号的传输质量会造成影响。实际上，并不需要完全消除串扰，只要将其控制在系统所能承受的范围之内。PCB板层的参数、信号线间距、驱动端和接收端的电气特性、基线端接方式对串扰都有一定的影响。为了控制串扰，可以增加走线间距，对信号线包地，尽量减少并行长度，让导线尽量靠近参考平面。

9.3.3 电源/地噪声

电源/地噪声在高速电路设计中通常占据30%以上的噪声分量。由于电源/地分布系统的复杂性使其成为SI分析中一种最难建模的EM效应。在芯片封装和印制电路板中，电源/地平面和过孔形成了电源分布系统。大量器件同时开关所需要的瞬时电流会引起电源和地平面上的电压波动，称为SSN。由于电源/地系统提供的非理想回流路径，SSN将减慢信号传输速度。耦合到其他静态信号网络上将引起逻辑错误或者打乱锁存的数据，也可能引起数/模混合电路的共模噪声。

1.电源系统的噪声来源

稳压电源芯片本身的输出并不是恒定的，会有一定的纹波。这是由稳压芯片自身决定的，一旦选好了稳压电源芯片，对这部分噪声无法控制。

稳压电源无法实时响应负载对于电流需求的快速变化。稳压电源芯片通过感知其输出电压的变化，调整其输出电流，从而把输出电压调整回额定输出值。多数常用的稳压源调整电压的时间在毫秒到微秒量级。因此，对于负载电流变化频率在直流到几百千赫兹之间时，稳压源可以很好地做出调整，保持输出电压的稳定。当负载瞬态电流变化频率超出这一范围时，稳压源的电压输出会出现跌落，从而产生电源噪声。现

在，微处理器的内核及外设的时钟频率已经超过了600MHz，内部晶体管电平转换时间下降到800ps以下。这要求电源分配系统必须在直流到1GHz范围内都能快速响应负载电流的变化，但现有稳压电源芯片不可能满足这一苛刻要求。我们只能用其他方法补偿稳压源这一不足，这涉及电源去耦问题。

负载瞬态电流在电源路径阻抗和地路径阻抗上产生压降。PCB板上任何电气路径不可避免地会存在阻抗，不论是完整的电源平面还是电源引线。对于多层板，通常提供一个完整的电源平面和地平面，稳压电源输出首先接入电源平面，供电电流流经电源平面，到达负载电源引脚。地路径和电源路径类似，只不过电流路径变成了地平面。完整平面的阻抗很低，但确实存在。如果不使用平面而使用引线，那么路径上的阻抗会更高。另外，引脚及焊盘本身也会有寄生电感存在，瞬态电流流经此路径必然产生压降，因此负载芯片电源引脚处的电压会随着瞬态电流的变化而波动，这就是阻抗产生的电源噪声。在电源路径表现为负载芯片电源引脚处的电压轨道塌陷，在地路径表现为负载芯片地引脚处的电位和参考地电位不同（注意，这和地弹不同，地弹是指芯片内部参考地电位相对于板级参考地电位的跳变）。

2.噪声建模

在今天这种日益增长的IC转换速度和I/O数量，采用新技术的封装可以达到200ps的转换时间，吸取多达20 A的电流。SSN随着这种趋势的

发展显著增加。同时，随着封装设计工程师尝试采用降低工作电压来解决散热问题，SSN更容易影响器件性能的可靠性。为了应对这种挑战，封装结构中的电源/地平面的电气属性就需要精确建模了。电源/地平面是分布电路。电源/地平面之间的SSN的物理行为本质上说是一种EM现象。为了精确仿真SSN，波传输、发射、边缘辐射、过孔耦合和封装谐振都需要精确的考虑。

9.4　SI解决措施

解决信号完整性问题的方法主要有电路设计、合理布局和建模仿真。电路设计中，通常采用以下方法来解决信号完整性问题：控制同步切换输出数量，控制各单元的最大边沿速率（di/dt和dv/dt），从而得到最低且可接受的边沿速率。为高输出功能电路（如时钟驱动器）选择差分信号，在传输线上端接无源元件（如电阻、电容等），以实现传输线与负载间的阻抗匹配。端接策略的选择应该是对增加元件数目、开关速度和功耗的折中，且端接串联电阻R或RC电路应尽量靠近激励端或接收端。

布线非常重要，设计者应该在不违背一般原则的前提下，利用现有的设计经验，综合多种可能的方案，优化布线，消除各种潜在的问题。一方面要充分利用现有的、已经经过验证的布线经验，将它们应用于布线工作中；另一方面要积极利用一些信号完整性方面的仿真工具，约束、指导布线。

合理进行电路建模仿真是最常见的信号完整性解决方法。在高速电路设计中，仿真分析越来越显示出优越性。它给设计者以准确、直观的设计结果，便于及早发现问题，及时修改，从而缩短设计时间，降低设计成本。在进行电路建模仿真过程中，设计者应对相关因素作合理估计，依据适当的仿真工具建立合理模型。对于IC应用，可利用仿真来选

择合理的端接元件并优化元器件布局，完成正确的端接策略和布局约束机制，从而解决信号完整性问题。

9.4.1　隔离

一块PCB板上的元器件有各种各样的边值（Edge rates）和各种噪声差异。对改善SI最直接的方式就是依据器件的边值和灵敏度，通过PCB板上元器件的物理隔离来实现，如图9-15所示。在例子中，供电电源、数字I/O端口和高速逻辑电路，这些对时钟和数据转换等敏感电路有严重影响的部分将被优先考虑。第一个布局中放置时钟和数据转换器在相邻于噪声器件的附近。噪声将会耦合到敏感电路及降低它们的性能。第二个布局做的有效电路隔离将有利于系统设计的信号完整性。

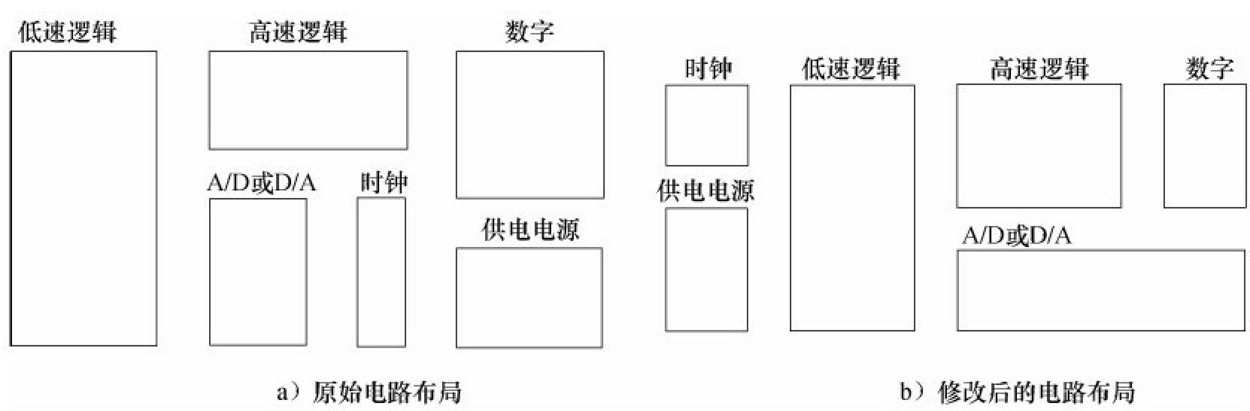


图　9-15　电路布局

9.4.2　阻抗匹配

阻抗控制和终端匹配是高速电路设计中的基本问题。通常每个电路设计中射频电路均被认为是最重要的部分，然而一些比射频更高频率的数字电路设计反而忽视了阻抗和终端匹配。

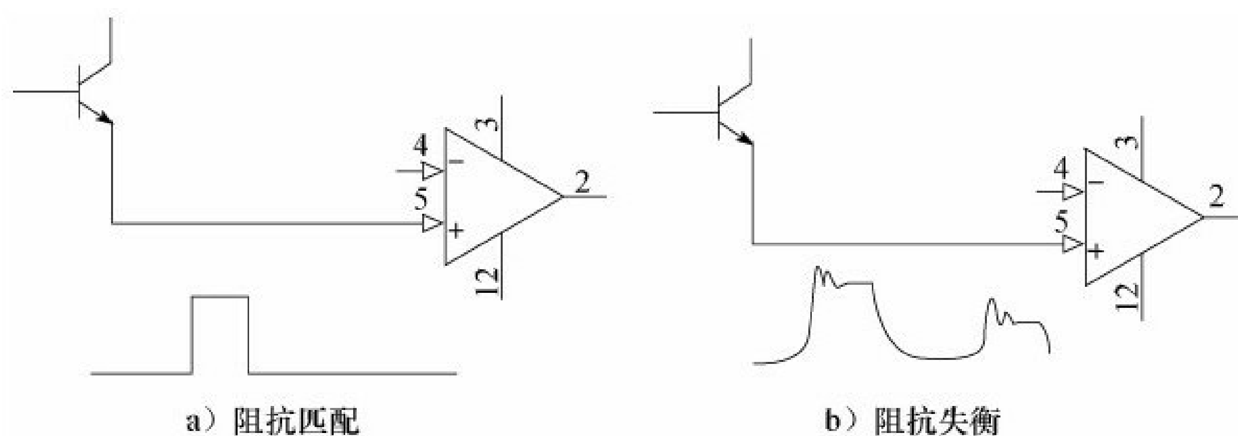
阻抗失配可对数字电路产生如下致命的影响：

·数字信号将会在接收设备输入端和发射设备的输出端间造成反射。反射信号被弹回并且沿着线的两端传播直到最后被完全吸收。

·反射信号造成信号在通过传输线的响铃效应，响铃将影响电压和信号时延和信号的完全恶化。

·失配信号路径可能导致信号对环境的辐射。

图9-16所示为阻抗匹配与阻抗失衡的情况对比。



a）阻抗匹配　　b）阻抗失衡

图　9-16　阻抗匹配与阻抗失衡情况对比

由阻抗不匹配引起的问题可以通过终端电阻降到最小。终端电阻通常是在靠近接收端的信号线上放置一至两个分立器件，简单的做法就是串接小的电阻。

终端电阻限制了信号上升时间及吸收了部分反射的能量。值得注意的是利用阻抗匹配并不能完全消除破坏性因素。然而认真选用合适的器件，终端阻抗可以很有效地控制信号的完整性。见表9-2。

表 9-2　端接特性

端接类型	成本	增加延迟	功耗	临界参数	特性
串联	低	是	低	$R_S = Z_0 = R_0$	好的 DC 噪声极限
并联	低	小	高	$R = Z_0$	功率消耗是一个问题
RC	中	小	中	$R = Z_0$ $C = 20 \sim 600$ pF	阻碍带宽同时增加容性
戴维南	中	小	高	$R = 2Z_0$	对 CMOS 需要高功率
二极管	高	小	低	—	极限过冲；二极管振铃

并不是所有的信号线都需要阻抗控制，需要考虑信号线的长度，与延迟时间（T_d）以及信号上升时间（T_r）有关。通用的对阻抗控制规则是T_d（延迟）应大于T_r的1/6。

1.串联/源端接（series/source termination）

图9-17描述了串联/源端接方法。在源Z_s和分布式的线迹Z_0之间，加上了源端接电阻R_s，用来完成阻抗匹配。R_s还能吸收负载的反馈。R_s必须离源驱动电路尽可能的近。R_s的值在等式R_s=（Z_0-Z_s）中是实数值。

一般R_s大约取15～75Ω中一个值。

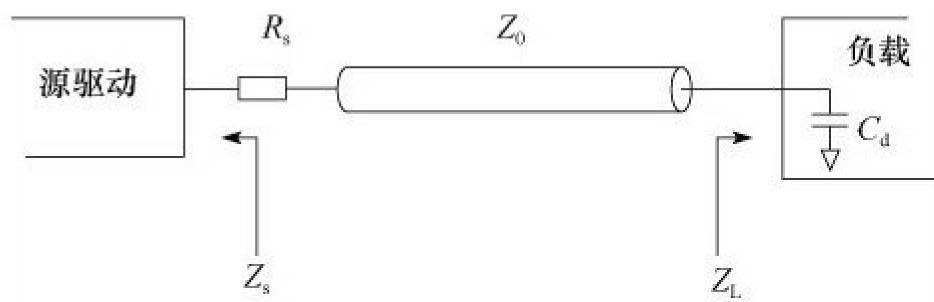


图　9-17　串联/源端接电路

2.并联端接

图9-18描述了并联端接方法。附加一个并联端接电阻R_p，这样$R_p//Z_l$就和Z_0相匹配了。但是这个方法对手持式产品不适用，因为R_p的值太小了（一般为50Ω），而且这个方法很耗能量，并且还需要源驱动电路来驱动一个较高的电流（100mA@5V，50Ω）。由于Z_0LC_d的值还使这个方法增加了一个小的延时，这里$Z_0L=R_p//Z_L$和C_d是负载的输入分流电容。

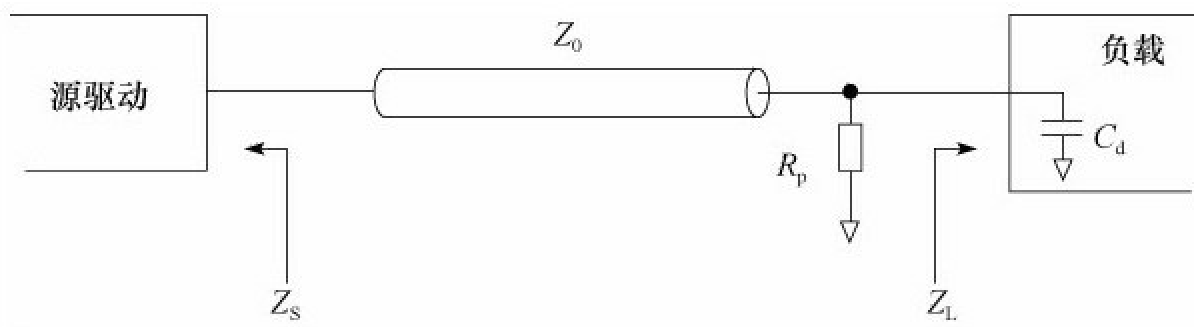


图　9-18　并联端接电路

3.RC端接

图9-19描述了RC端接方法。这个方法类似于并联端接，但是增加了一个C_1。和在并联端接方法中一样，R用于提供匹配Z_0的阻抗。C_1为R提供驱动电流并过滤掉从线迹到地的射频能量。因此，相比并联端接方法，RC端接方法需要的源驱动电流更少。R和C_1的值由Z_0、T_{pd}（环路传输延迟）和C_d确定。

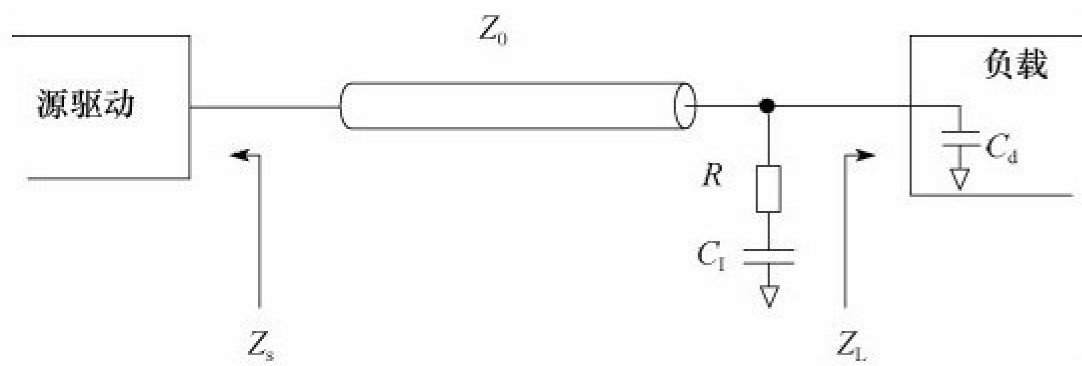


图 9-19 RC端接电路

时间常数，$RC=3T_{pd}$，这里$R//Z_L=Z_0$，$C=C_1//C_d$。

4.戴维南端接

图9-20描述了戴维南端接方法。此电路由上拉电阻R_1和下拉电阻R_2组成，这样就使逻辑高和逻辑低与目标负载相符。

R_1和R_2的值由$R_1//R_2=Z_0$决定。

$R_1+R_2+Z_L$的值要保证最大电流不能超过源驱动电路容量。

举例来说，R_1=220Ω，R_2=330Ω

$$V_{ref} = \frac{R_2}{R_1 + R_2} \times V_{cc} = \frac{330}{330 + 220} \times 5 = 3\ V$$

这里V_{cc}是驱动电压。

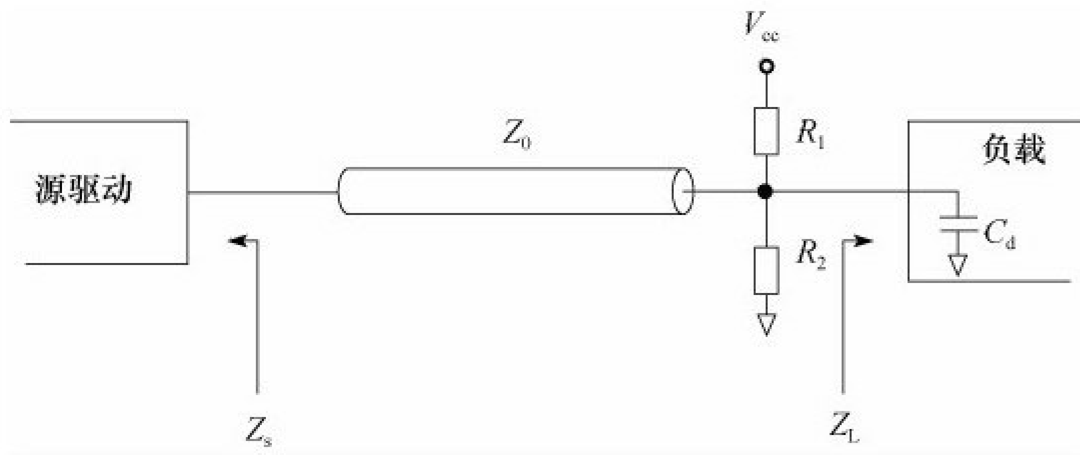


图 9-20 戴维南端接电路

5.二极管端接（diode termination）

图9-21所示描述了二极管端接方法。除了电阻被二极管替换以降低损耗之外，它与戴维南端接方法类似。D_1和D_2用来限制来自负载的过多信号反射量。与戴维南端接方法不一样的是，二极管不会影响线性阻抗。对这种端接方法而言，选择肖特基二极管和快速开关二极管是比较好的。

这种端接方法的优点在于不用已知Z_0的值，而且还可以和其他类型

的端接方法结合使用。通常在MCU的内部应用这种端接方法来保护I/O端口。

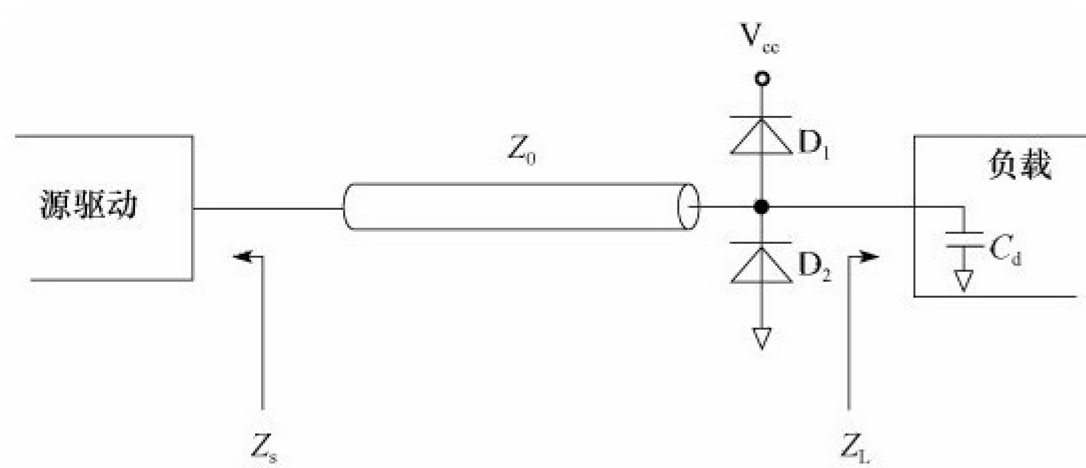


图 9-21 二极管端接电路

9.4.3 内电层与分割

高速线跨分割区时，如果不加入电容，那么这些高速信号线的回流会绕过分割区，这样就会产生一个很大的环路。这种环路会产生以下问题：一是严重增加信号路径的电感；二是有可能同其他信号的回路路径环路叠加，使之在走线之间生成电感，增加串扰；三是大的环路会形成大的对外辐射，对EMI不利；四是大的环路还很容易接收外界的干扰。

解决方案：紧挨着高速线放置连接2个分割区的小电容，这些高速线就会增加一条通过电容的回路，这条回路的环路面积大大减少，阻抗变小，信号的回路路径也就会选中这条路径。至于选多大电容，从理论上分析，当然是越大越好，但是往往容值大的，其等效电阻和等效电感也就越大，这对高频信号极为不利，而且从制造来说，大容值电容占的空间也较大，往往也会造成极大的困难。总之，选跨分割电容，要选容值大但等效电阻电感小、体积小、价格合理的电容。

在电流环路设计中会被数字电路设计者忽视的因素，包括对单端信号在两个门电路间传送的考虑。如图9-22所示，从门A流向门B的电流环路，然后再从地平面返回到门A。

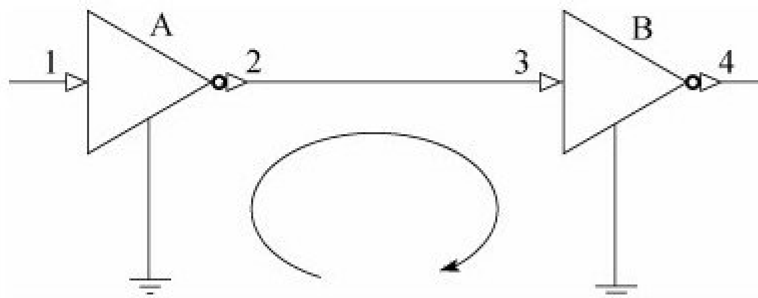


图　9-22　电流环路

图9-22中将会出现两个潜在的问题：

1）A和B两点间地平面需要通过一个低阻抗的通路来连接，如果地平面间连接了较大的阻抗，在地平面引脚间将会出现电压倒灌。这就必将会导致所有器件的信号幅值的失真并且叠加输入噪声。

2）电流回流环的面积应尽可能地小，环路好比天线。通常，一种更大环路面积将会增大环路辐射和传导的机会。每一个电路设计者都希望回流电流可直接沿着信号线，这样就成为最小的环路面积。

用大面积接地可以同时解决以上两个问题。大面积接地可以提供所有接地点间小的阻抗，同时允许返回电流尽量直接沿着信号线返回。

在PCB设计者中一个常见的错误是在地电层上打过孔和开槽。图9-23显示了当一条信号线在一个开过槽的地电层上的电流流向。回路电流将被迫绕过开槽，这就必然会产生一个大的环流回路。

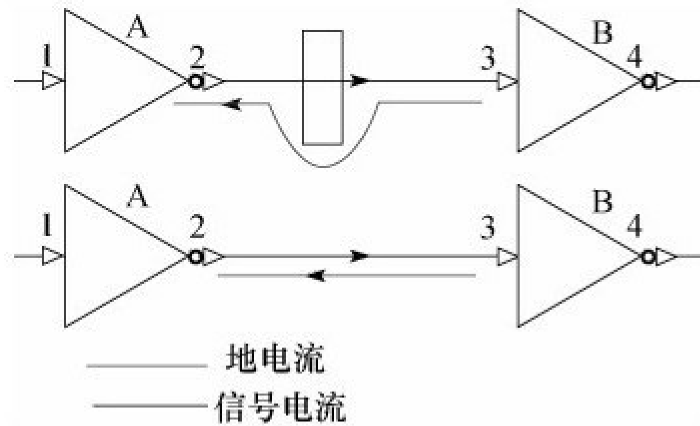


图 9-23 电流流向

通常，在地、电源平面上是不可以开槽的。然而，在一些不可避免要开槽的场合，PCB设计者必须首先确定在开槽的区域没有信号回路经过。同样的规则也适用于混合信号电路。

PCB板中除非用到多个地层。特别是在高性能ADC电路中可以利用分离模拟信号、数字信号及时钟电路的地层有效减少信号间的干扰。需要再次强调，在一些不可避免要开槽的场合，PCB设计者必须首先确定在开槽的区域没有信号回路经过。

在带有一个镜像差异的电源层中也应注意层间区域的面积。如图9-24所示，在板卡的边缘存在电源平面层对地平面层的辐射效应。从边沿泄漏的电磁能量将破坏临近的板卡，如图9-24a所示。适当减少电源平面层的面积（见图9-24b），以至于地平面层在一定的区域内交叠。这将减少电磁泄漏对邻近板卡的影响。

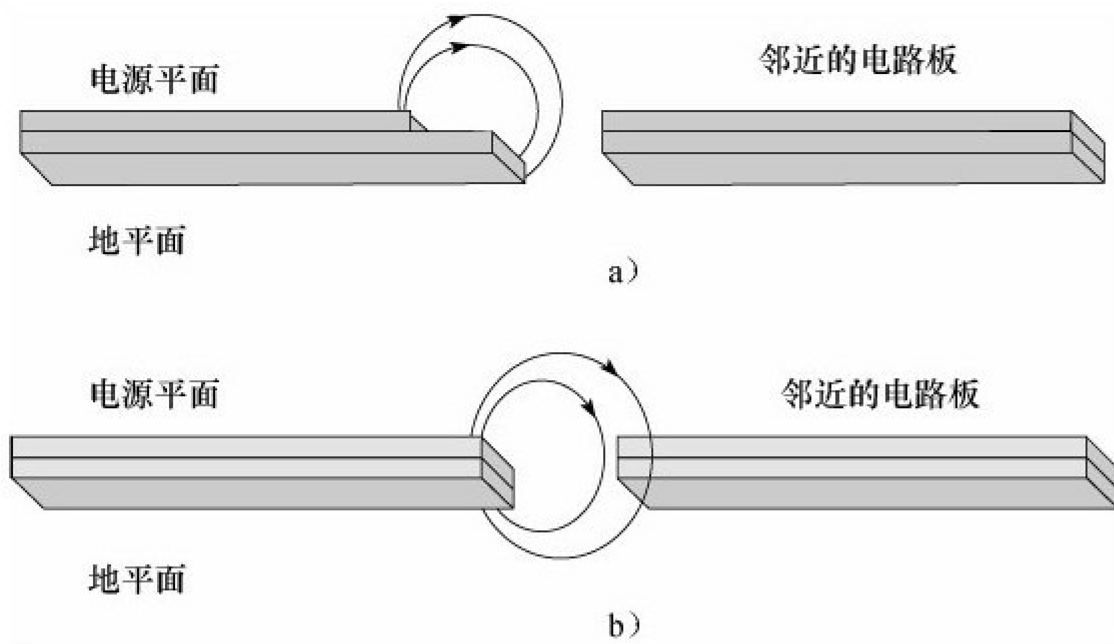


图　9-24　电源和地的边缘发射

9.4.4　信号布线

信号上升沿时间的减小，信号频率的提高，电子产品的EMI问题，越来越受到电子工程师的关注。高速PCB设计的成功，对EMI的贡献越来越受到重视，几乎60%的EMI问题可以通过高速PCB设计控制来解决。

1.信号走线屏蔽规则

如图9-25所示，在高速PCB设计中，时钟等关键的高速信号线，走线需要进行屏蔽处理，如果没有屏蔽或只屏蔽了部分，都是会造成EMI的泄漏。建议屏蔽线，每1000mil，打孔接地。

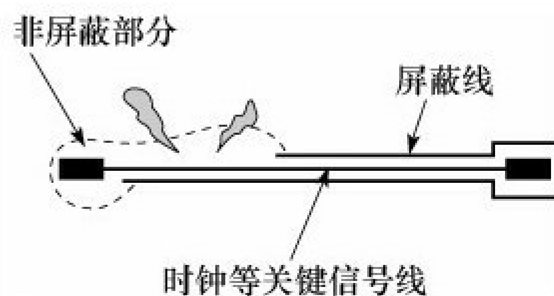


图　9-25　屏蔽走线

2.高速信号的走线闭环规则

由于PCB板的密度越来越高，很多PCB LAYOUT工程师在走线的过程中，很容易出现高速信号线的专线闭环，如图9-26所示。

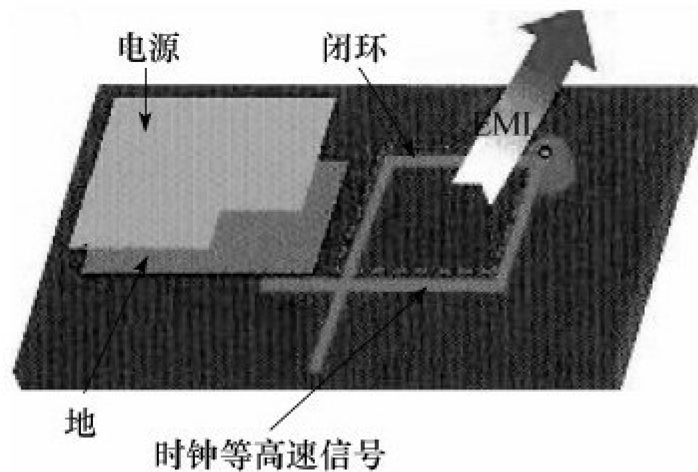


图　9-26　闭环走线

时钟信号等高速信号网络，在多层的PCB走线的时候产生了闭环的结果，这样的闭环结果将产生环形天线，增加EMI的辐射强度。

3.高速信号的走线开环规则

高速信号的闭环会造成EMI辐射，开环同样会造成EMI辐射，如图9-27所示。

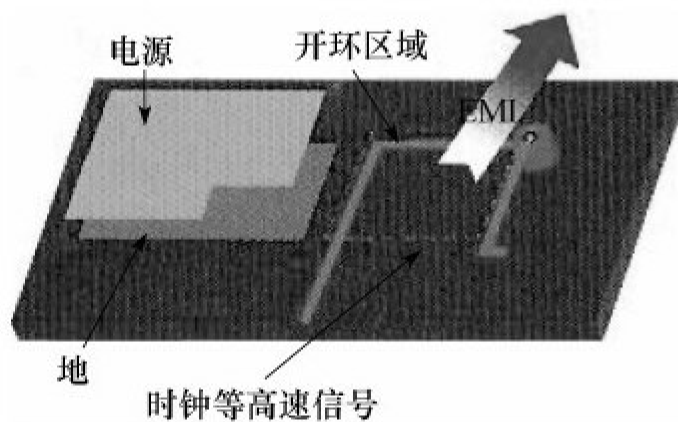


图　9-27　开环走线

时钟信号等高速信号网络，在多层的PCB走线的时候产生了开环的结果，这样的开环结果将产生线形天线，增加EMI的辐射强度。在设计中也要避免。

4.高速信号的特征阻抗连续规则

高速信号在层与层之间切换的时候必须保证特征阻抗的连续，否则会增加EMI的辐射，如图9-28所示。

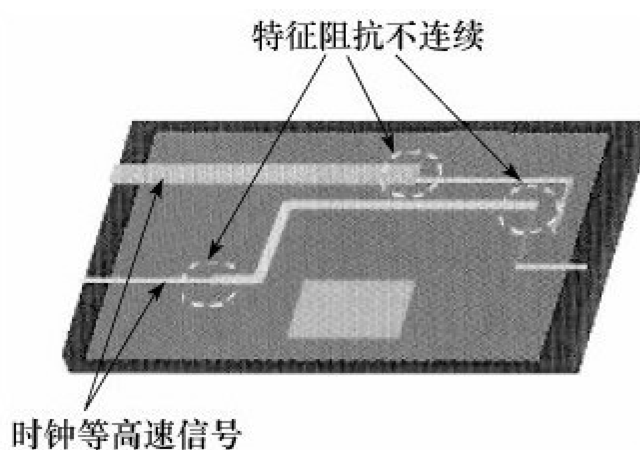


图 9-28 特征阻抗连续性

同层布线的宽度必须连续，不同层的走线阻抗必须连续。

5.高速PCB设计的布线方向规则

相邻两层间的走线必须遵循垂直走线的原则，否则会造成线间的串扰，增加EMI辐射，如图9-29所示。

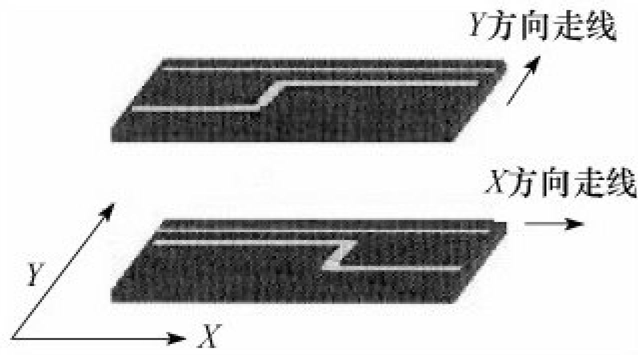


图　9-29　走线方向

相邻的布线层遵循横平竖垂的布线方向，垂直的布线可以抑制线间的串扰。

6.高速PCB设计中的拓扑结构规则

在高速PCB设计中有两个最重要的内容，就是线路板特征阻抗的控制和多负载情况下的拓扑结构的设计。在高速的情况下，可以说拓扑结构的是否合理直接决定了产品的成功还是失败。

图9-30是经常用到的菊花链式拓扑结构。这种拓扑结构一般用于几兆赫兹的情况下为宜。高速的拓扑结构建议使用后端的星形对称结构。



图　9-30　拓扑结构

7.走线长度的谐振规则

检查信号线的长度和信号的频率是否构成谐振，即当布线长度为信号波长的1/4或整数倍时，此布线将产生谐振，而谐振就会辐射电磁波，产生干扰。如图9-31所示。

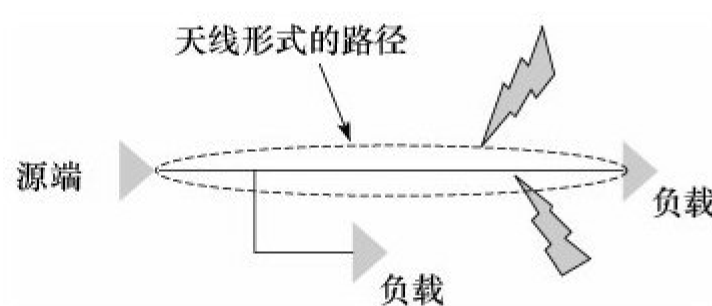


图　9-31　走线长度

8.回流路径规则

所有的高速信号必须有良好的回流路径。尽可能地保证时钟等高速信号的回流路径最小。否则会极大增加辐射，并且辐射的大小和信号路径和回流路径所包围的面积成正比，如图9-32所示。

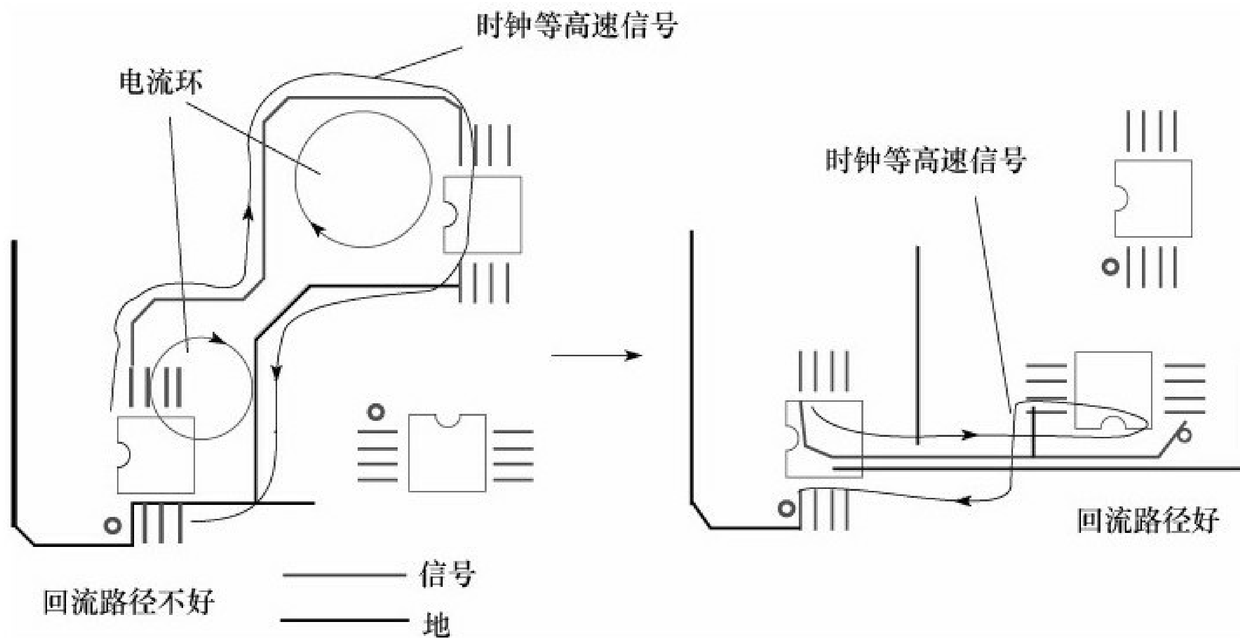


图 9-32 回流路径

9.器件的退耦电容摆放规则

退耦电容的摆放位置非常重要。不合理的摆放位置根本起不到退耦的效果。退耦电容的摆放的原则是：靠近电源的管脚，并且电容的电源走线和地线所包围的面积最小。如图9-33所示。

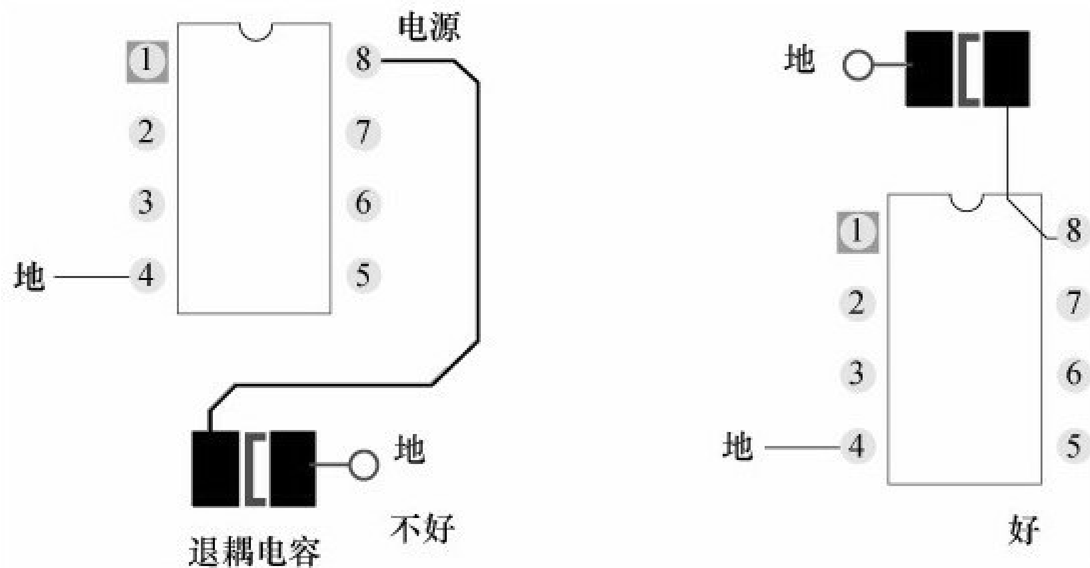


图 9-33 退耦电容

保证信号完整性最重要的就是信号线的物理布线。PCB设计者不仅要在尽可能短的时间完成设计，而且还要保证信号的完整性要求。掌握如何平衡可能出现的问题与信号的间距将推动系统设计的进程。高速电流不能有效处理信号线中的不连续。在图9-34a中最容易出现信号不连续的问题。在低速电路中对通常不需要考虑信号的不连续性，而在高速电路中就必须考虑这个问题。因此，在电路设计中采用图9-34b和图9-34c所示的方式，可以有效保证信号的连续性。

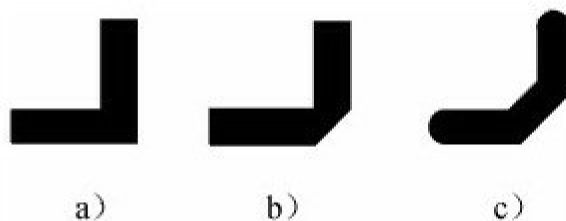


图 9-34 高速电路拐角

在高速电路设计中，对信号布线存在另一个共性问题。如果没有特别的原因，应该尽可能消除所有的短接线。在高频率电路设计中，短接线就如同由于信号线的阻抗匹配而引发的辐射一样。

在高速电路设计的布线中特别要注意差分对的布线。差分对是通过两条完全互补信号线驱动的。差分对可以很好地避免噪声干扰和改进S/N率。然而差分对信号线对布线有特别高的要求：

·两条线必须尽可能靠近布线。

·两条线必须长度完全一致。

在两个没排列在一起的器件间布差分对信号线，如何合理地布线是一个关键问题。

图9-35a中走线由于两条信号线的长度不一致，将会出现一些不确定风险。正确的布线应采取图9-35b中的方式。在差分对布线中的通用规则是：保持两条信号线同等间距并相互靠近。

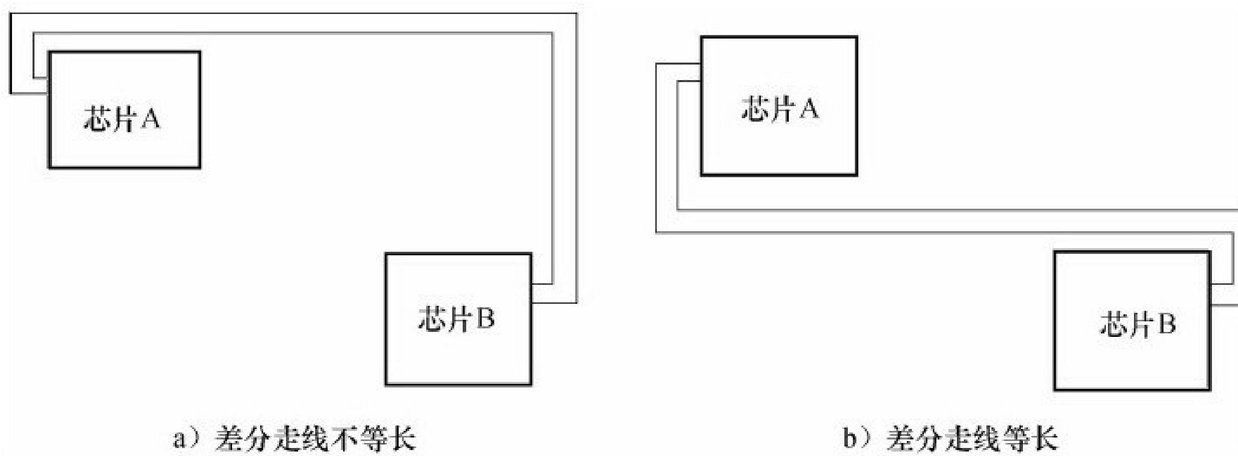


图　9-35　差分布线

9.4.5 串扰

串扰的危害很大，由于两条线之间耦合电容的影响，侵害线上的变换引起受害线不需要的变换，从而引起电路逻辑失灵，使接收器出现重复的逻辑变换，从而使受害线上信号完整性受到破坏。解决串扰问题并没有十分有效的方法，只能减小而不能完全消除。图9-36中显示出在一个PCB中相邻的三对并排信号线间的串扰区域及关联的电磁区。当信号线间的间隔太小时，信号线间的电磁区将相互影响，从而导致信号的恶化，这就是串扰。

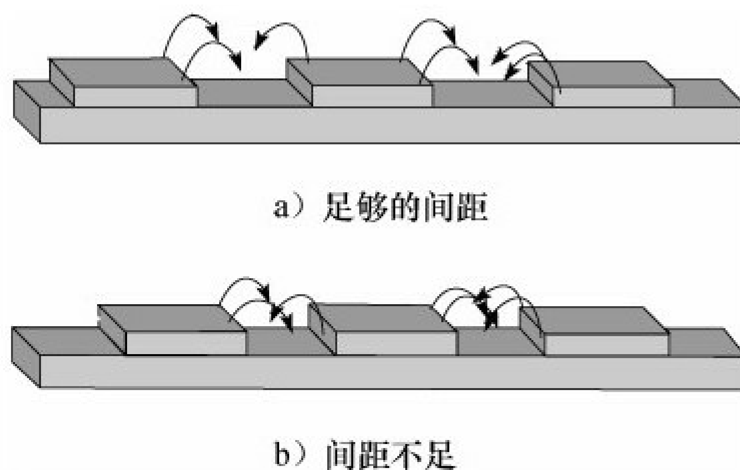


图 9-36 串扰

串扰可以通过增加信号线间距解决。然而，PCB设计者通常受制于日益紧缩的布线空间和狭窄的信号线间距；由于在设计中没有更多的选择，从而不可避免地在设计中引入一些串扰问题。显然，PCB设计者需

要一定的管理串扰问题的能力。一个通常业界认可的规则是3W规则，即相邻信号线间距至少应为信号线宽度的3倍。然而，实际中可接受的信号线间距依赖于实际的应用、工作环境及设计冗余等因素。因此，当串扰问题不可避免时，就应该对串扰定量化。这都可以通过计算机仿真技术表示。利用仿真器，设计者可以决定信号完整性效果和评估系统的串扰影响效果。

解决串扰时，最好的方法是不能引起侵害线上的逻辑错误，其有效方式是：

1）在侵害线和受害线之间加入地线是解决串扰的一个有效方式，它能极大减小串扰，其不足是增大了芯片面积，所以不能在芯片中全范围地应用，可以用在一些全局的线中，它比加大线间距有效得多。

2）改变线间距可以在微量上减小串扰，但是用加大线间距离的方法减小串扰远远比不上在两线之间加入地线的方法。

3）加大受害线上的驱动或是加入缓冲器或反向器。与受害线输入端相连器件的驱动电阻越大，侵害线对受害线的干扰越大，说明了如果受害线上驱动器件驱动能力很强时会有效减小串扰。在发生串扰的地方，最好的办法是用驱动能力强的器件代替驱动能力弱的器件；如果不想替换器件按比例适当地加入缓冲器。

9.4.6　电源退耦

去耦电容放置在负载器件的电源和地之间，主要有两个作用：一方面是作为负载器件的蓄能电容，避免由于电流的突变而使电压下降，相当于滤除纹波；另一方面旁路掉该器件的高频噪声。在很多设计中，去耦电容通常使用容量相差一个数量级以上的两个甚至更多的电容并联，为的是提高电源供应电路从高频到低频的瞬态响应。

理论上电容越大，低频的通过性越好，滤波效果也越好，但电容器的原理和结构也决定了大容量电容的分布参数，如等效电感和等效电阻都明显高于小电容，同时PCB走线也存在一定的分布参数。只是这些分布参数在低频时表现并不明显，所以布局安排上可以将大容量电容放得远离有源器件。如图9-37所示。

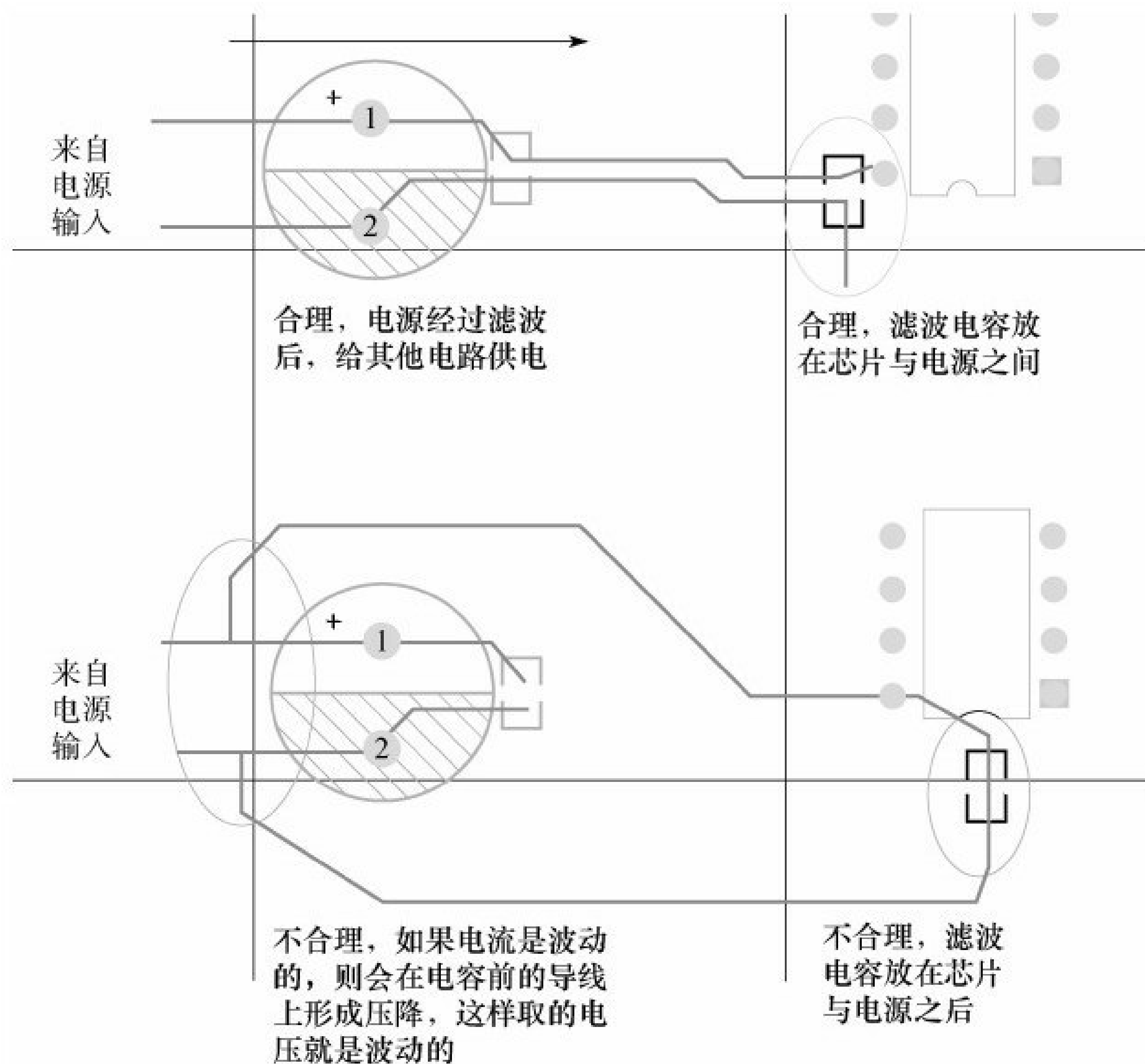


图　9-37　走线的拓扑结构

随着工作频率升高，滤波器件的感抗和PCB线路感抗开始呈现，且频率越高感抗越大，对供电回路的纹波影响越明显，因此需要选用感抗小的小容量电容提供良好的去耦。同时还应缩短滤波电容两端到负载的电源与地的距离，尽可能将去耦电容和负载器件放置在同一层。为降低EMI，也应尽量减小电源线和地回路之间包围的面积，如图9-38所示。

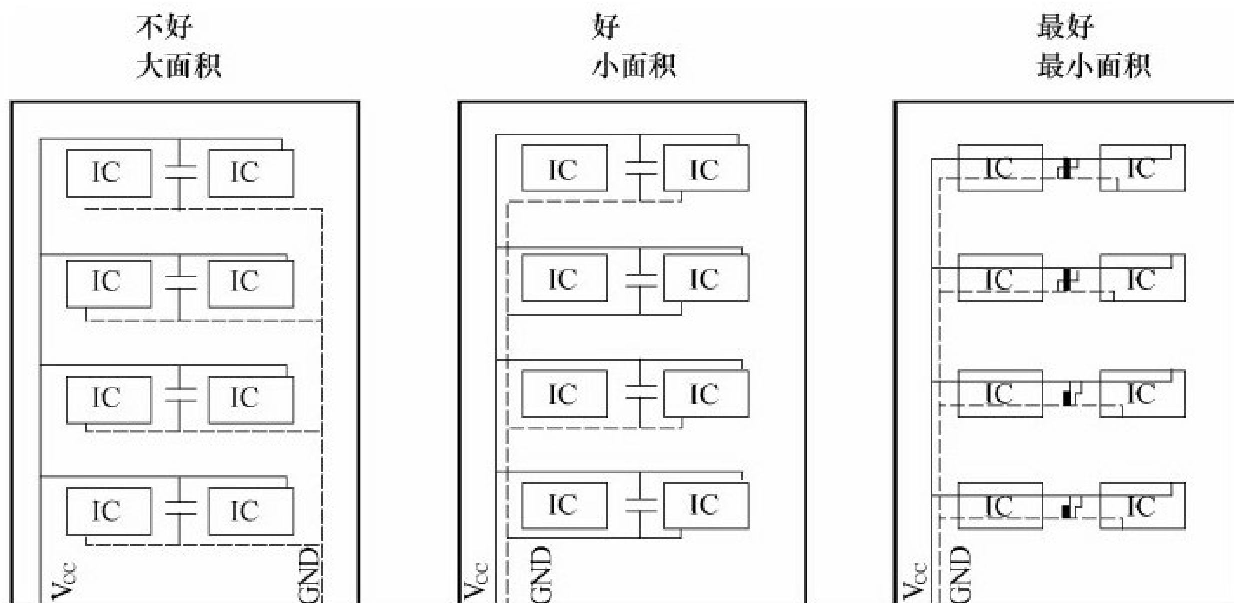


图　9-38　减小环路

电源退耦是现在数字电路设计中标准惯例，将有助于减少电源线上噪声问题。一个干净的电源对设计一个高性能电路至关重要。叠加在电源上的高频噪声将会对相邻的每个数字设备带来问题。典型的噪声来源于地弹、信号辐射或者数字器件自身。最简单的解决电源噪声方式是利用电容对地的高频噪声退耦。理想的退耦电容为高频噪声提供了一条对地的低阻通路，从而清除了电源噪声，如图9-39和9-40所示。依据实际应用选择退耦电容，多选择表贴电容尽可能靠近电源引脚，而容值应大到足够为可预见的电源噪声提供一条低阻对地通路。采用退耦电容通常会遇到的问题是不能将退耦电容简单地当成电容。有以下几种情况：

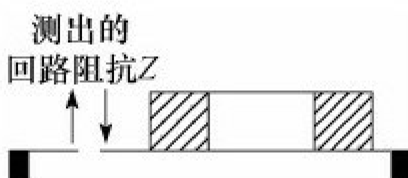


图　9-39　回路阻抗结构

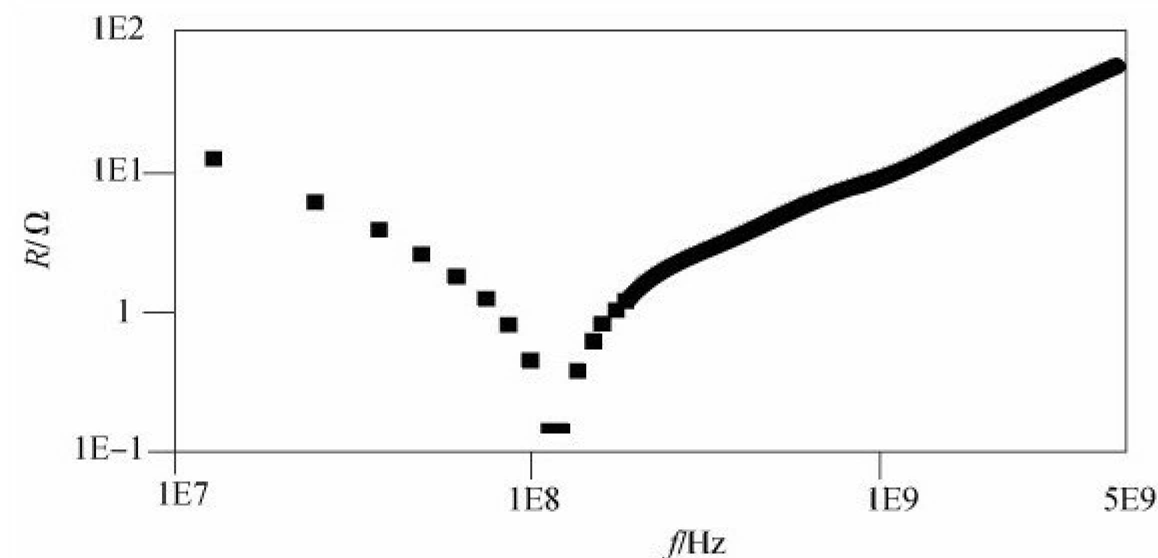


图　9-40　1nF 0603封装的去耦电容回路阻抗

·电容的封装会导致寄生电感。

·电容会带来一些等效电阻。

·在电源引脚和退耦电容间的导线会带来一些等效电感。

·在地引脚和地平面间的导线会带来一些等效电感。

·电容将会对特定的频率引发共振效应和由其产生的网络阻抗对相邻频段的信号造成更大的影响。

·等效电阻（ESR）还将影响对高速噪声退耦所形成的低阻通路。因此在电路设计时需要遵循以下的一些要求：

·器件上V_{cc}和GND引脚引出的引线需要被当作小的电感。因此建议在设计中尽可能使V_{cc}和GND的引线短而粗。

·选择低ESR效应的电容，这有助于提高对电源的退耦。

·选择小封装电容器件将会减少封装电感。改换更小封装的器件将导致温度特性的变化。因此在选择一个小封装电容后，需要调整设计中器件的布局。

·在设计中，用Y5V型号的电容替换X7R型号的电容器件，可保证更小的封装和更低的等效电感，但同时也会为保证高的温度特性花费更多的器件成本。

·在设计中还应考虑用大容量电容对低频噪声的退耦。采用分离的电解电容和钽电容可以很好地提高器件的性价比。

9.5　信号完整性最小化原则

信号完整性是贯穿于高速数字电路设计中的最重要的问题之一，在数字电路设计中保证信号完整性需要遵守一些必需的设计方法。

9.5.1　串扰最小化

减小信号路径和返回路径间的互容和互感。设计原则是：

·对于微带线或带状线来说，保持相邻信号路径的间距至少为线宽的3倍。

·在返回路径中必须跨越间隙，且只能使用差分对。

·对于表面线条，耦合长度尽可能短，并使用厚的阻焊层来减小远端串扰。

·对于远端串扰严重的耦合长度很长的传输线，采用带状线布线。

·使用介电常数最低的叠层介质材料。

·如果使用防护布线，尽量使其达到满足要求的宽度，并用过孔使防护线与返回路径短接，如果方便的话，可以沿着防护线增加一些短接过孔，这些过孔不像两端的过孔那样重要，但也有一定的改善作用。

·电源平面和返回平面尽量接近，以减小电源返回路径的地弹噪声。

·所有的空引脚都应接地。

9.5.2 减小轨道塌陷

减小电源分配网络的阻抗，设计原则是：

·减小电源和地路径间的回路电感。

·电源平面和地平面相邻并尽量靠近。

·使用多个成对的电源平面和地平面。

·同向电流相隔尽量远，反向电流相隔尽量近。

·电源过孔和地平面过孔尽量靠近。

·在电源平面和地平面上布线时，应使过孔的直径尽量大。

·低频时使用一定量的去耦电容来代替稳压器件。

·在封装中使用尽可能多的低电感去耦电容。

·I/O设计中使用差分对。

9.5.3　网络中信号质量问题的最小化

保持整个路径中瞬态阻抗保持不变，设计原则为：

·使用可控布线。

·信号应使用低电压平面作为参考平面。

·在点到点拓扑结构中，无论单向还是双向，都要用串联端接策略。

·终端电阻应尽可能接近封装焊盘。

·每个信号都必须有返回路径，它位于信号路径的下方，其宽度至少是信号线宽的3倍。

·在上升时间小于1ns的系统中，不要使用轴向引脚电阻，应使用SMT电阻并使其回路电感最小。

·在差分对中尽量避免不对称性，所有布线都应该如此。

·对于所有的板级差分对，平面上存在很大的返回电流，要尽量避免返回路径中的所有突变。如果有突变，对差分对中的每条线都要做同样的处理。

·如果损耗很重要，应尽量使用宽的信号线，不要使用小于5mil的布线，布线尽量短。

9.5.4　减小电磁干扰

减小驱动共模电流的电压，增大共模电流的阻抗，屏蔽、滤波是解决问题的有效方法，设计原则如下：

·减小地弹。

·所有布线与板子边缘距离至少为线宽的5倍。

·采用带状布线。

·高速或大电流器件放在离I/O口尽量远的地方。

·芯片附近放置去耦电容。

·在所有差分对接口处使用共模信号扼流滤波器。

·使用屏蔽电缆时，保持屏蔽层与外壳接触良好。

·使开孔的直径远小于可能泄漏的最低频率辐射的波长。使用数量多而直径小的开孔比数量少而直径大的开孔要好。

第10章　静电放电与防护设计

静电是物体表面的静止电荷。物体在接触、摩擦、分离、电解等过程中，发生电子或离子的转移，正电荷和负电荷在局部范围内失去平衡，就形成了静电。当物体表面的静电场梯度达到一定的程度，正电荷和负电荷发生中和，就出现了静电放电（ESD）。静电放电可以出现在两个物体之间，也可由物体表面经电荷直接向空气放电。

IC与外部世界的接口必然伴随着静电放电（ESD）问题。当高电势的带电体接触到电路的外引脚时，静电放电现象就会发生。因为每个输入或输出引脚的电容很小，所以ESD产生的电压很大，可能毁坏芯片上的器件。

导致ESD现象的一种常见的情况是人用手去接触集成电路。对于这个效应，人体可等效为一个几百皮法的电容串联一个几千欧的电阻。根据环境不同，人体等效电容的电压可以从几百伏到几千伏。这样人体接触到芯片的引脚，芯片就很容易毁坏。有趣的是，即使人体没有真正接触到芯片，ESD也会发生。这是因为在高电场下，只要人的手指离芯片引脚非常近，手指就会通过空气与芯片引脚间产生“电弧”。

10.1　静电特性

静电是一种电能，它留存在物体表面，静电是正电荷和负电荷在局部范围内失去平衡的结果，它是通过电子或离子转移而形成的。静电放电（Electro Static Discharge, ESD）是指不同静电电位的物体相互靠近或直接接触引起的电荷转移。也就是说，静电放电耦合到电子设备主要有两种方式：直接传导和空间耦合，耦合又分为电场耦合和磁场耦合。

10.1.1　静电产生的根源与特点

物质都是由分子组成的，分子是由原子组成的，原子由带负电的电子和带正电荷的质子组成。在正常状态下，一个原子的质子数与电子数相同，正负平衡，所以对外表现出不带电的现象。但是电子环绕在原子核周围，一经外力即脱离轨道，离开原来的原子核而侵入其他的原子B。A原子因缺少电子数而带有正电现象，称为阳离子；B原子因增加电子数而带负电现象，称为阴离子。如图10-1所示，造成不平衡电子分布的原因是电子受外力而脱离轨道，这个外力包含各种能量（如动能、位能、热能、化学能、电磁能等）。在日常生活中，任何两个不同材质的物体接触后再分离，即可产生静电。

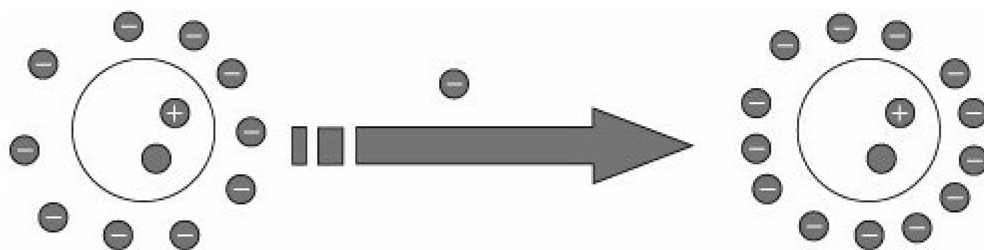


图　10-1　静电产生的过程

当两个不同的物体相互接触时，就会使得一个物体失去一些电荷，如电子转移到另一个物体使其带正电，而另一个得到一些剩余电子则带负电。若在分离的过程中电荷难以中和，电荷就会积累使物体带上静电。所以物体与其他物体接触后分离就会带上静电。通常在从一个物体上剥离一张塑料薄膜时就是一种典型的“接触分离”起电，在日常生活中脱衣服产生的静电也是“接触分离”起电。

固体、液体甚至气体都会因接触分离而带上静电。为什么气体也会产生静电呢？因为气体也是由分子、原子组成的，当空气流动时分子、原子也会发生“接触分离”而起电。所以在我们的周围环境甚至我们的身上都会带有不同程度的静电，当静电积累到一定程度时就会发生放电。

1.静电产生的根源

静电产生的原因主要有摩擦分离、电场感应、静电感应三种方式。

（1）接触摩擦分离起电

两种不同的物体相互接触摩擦分离，各自产生数量相同、极性相反

的电荷，此类起电方式大量出现在各行各业和日常生活中。在工业生产中，如粉碎、筛选、滚压、搅拌、喷涂、过滤、抛光等工序，都会发生摩擦起电。

（2）静电感应起电

当一个中性物体靠近带电体，或带电体移近一个中性物体时，由于带电体电场作用，中性物体在靠近带电体的一端出现与带电体所带电荷极性相反的电荷，而远离的一端出现与带电体电荷极性相同的电荷。这类起电方式也是存在的。

（3）电磁感应起电

现代工业和日常生活中用的动力电、照明电等都利用了电磁感应发电原理。静电技术应用也都是利用电磁感应发电原理的低压电变换成高压电的新技术应用。

2.静电的特点

静电现象是电荷的产生和消失的过程中产生的电现象的总称。静电具有以下特点：

·静电电量小而电压高。

·高压静电可能会发生放电。

·绝缘体上的静电消失得很慢。

·静电感应突出。

·静电受环境条件，特别是湿度的影响比较大。

3.ESD三种形式

静电放电形式与带电体的几何形状、电压和带电体的材质有关。ESD有以下三种方式：

（1）人体形式

该形式指当人体活动时，身体和衣服之间的摩擦产生摩擦电荷。当人们手持ESD敏感的装置而不先泄放电荷到地，摩擦电荷将会移向ESD敏感的装置而造成损坏。

（2）微电子器件带电形式

该形式指这些ESD敏感的装置，尤其对塑料件。当在自动化生产过程中，会产生摩擦电荷，而这些摩擦电荷，通过低电阻的线路非常迅速地泄放到高度导电的牢固接地表面，因此造成损坏；或者通过感应使ESD敏感的装置的金属部分带电而造成损坏。

（3）场感应类形式

该形式有强电场围绕，这可能来自于塑性材料或人的衣服，会发生电子转化跨过氧化层。若电位差超过氧化层的介电常数，则会产生电弧以破坏氧化层，其最后为短路。

10.1.2　静电的危害

集成电路元器件的线路缩小，耐压降低，线路面积减小，使得器件耐静电冲击能力减弱，静电电场和静电电流成为这些高密度元器件的致命杀手。同时大量的塑料制品等高绝缘材料的普遍应用，导致产生静电的机会大增。日常生活中如走动、空气流动、搬运等都能产生静电。人们一般认为只有CMOS类的晶片才对静电敏感，理论上，集成度高的元器件电路对静电都很敏感。

1.静电对电子元件的影响

静电对电子元件的影响主要表现在：

·静电吸附灰尘，改变线路间的阻抗，影响产品的功能与寿命。

·因电场或电流破坏元件的绝缘或导体，使元件不能工作（完全破坏）。

·因瞬间的电场或电流产生的热导致元件受伤，虽然仍能工作，但寿命受损。

2.静电损伤的特点

静电造成的损伤主要表现以下5方面：

（1）隐蔽性

人体不能间接感知静电，除非发生静电放电，但发生静电放电，人体也不一定有电击的感觉。这是因为人体感知的静电放电电压为2～3kV。

（2）潜伏性

有些电子元器件遭到静电损伤后性能没有明显下降，但屡次累加放电会给器件造成内伤而形成隐患，而且增加了器件对静电的敏感性。已产生的问题并无任何方法可解决。

（3）随机性

电子元件什么情况下会遭到静电破坏呢？可以这么说，从一个元件生产后，一直到它损坏，以前所有的过程都遭到静电的威胁，而这些静电的产生也具有随机性。由于静电的产生和放电都是瞬间发生的，很难预测和防护。

（4）复杂性

静电放电损伤分析工作，因电子产品的精细、微小的结构特点而费时、费事、费钱，要求较复杂的技术往往需要使用扫描电镜等精密仪器，而且有些静电损伤现象也难以与其他原因造成的损伤加以区别，使人误把静电损伤失效当作其他失效，这是对静电放电损害未充分认识之

前，常常归咎于早期失效或情况不明的失效，从而不自觉地掩盖了失效的真正原因。

（5）严重性

ESD问题表面上看来只影响了制废品的用家，但理论上亦影响了各层次的制造商。

10.2　静电消除与避免

控制静电的基本方法是“泄漏”、“中和”和“屏蔽”。为了使静电能及时“泄漏”掉，必须为静电提供泄漏通路；为了能“中和”掉静电，必须提供相反符号的带电粒子；为了能“屏蔽”静电，必须提供具有屏蔽功能的环境。

10.2.1　静电泄漏和耗散

对多数人来说，解决静电最实际的方法就是“泄漏”。其实，静电的产生并不可怕，可怕的是静电的积累。随时产生的微小能量在持续累积后，就可能具备可怕的破坏性。在干燥地区和干燥季节，电荷的释放相对困难，所以静电的积累及由其产生的后果会非常明显。虽然如此，把积累的静电释放掉还是一件非常简单的事，只需要接地就行了。

1.防静电材料

电子产品在制造的整个过程中都不可避免要移动，器件从一个地方移动到另一个地方，在移动过程当中它们会与各种各样的材料接触。结果，即使是最明显的防护措施，如手腕带，也不能保证为ESD敏感器件能够提供足够的保护。在缺少离子风机情况下，或0级（小于200V）敏感度的器件，必须使用静电控制材料或采用特别的ESD控制措施。

·抗静电材料（Antistatic）：能够有效地阻止静电荷在自身及与其接触材料上的积累。

·静电耗散材料（Static Dissipative）：用于减缓带电器件模型（CDM）下快速放电的材料。按照静电协会（ESDA）和电子工业联合会（EIA）的定义，其表面电阻在10^5～10^{12}Ω之间。抗静电材料和静电耗散材料可直接用于多数充电和放电失效过程中防护，甚至包括了自动生产线。当然在使用当中须经过简单的测试。不过，这并不是说它们是万能的，有时也需要使用导静电材料。

·导静电材料（Conductive）：是指表面电阻小于10^5Ω的材料。它们通常被用于器件与同电位分流连接，在某些时候，它们还被用于区域的静电场屏蔽。很少有实例表明，器件会对纯粹的静电场敏感。实际上，使用导静电材料仅仅对表面声波（SAW）过滤的器件和光掩膜集成电路（IC）的器件是必要的，因为它们的金属尖端结构中有微小的空气间隙（这种结构会让静电场增强）。此外，非连续型金属氧化物半导体（MOS）器件在有非常长的天线引入线接触器件时，由于场强影响放大，也会被静电场损坏。

在对这三种材料的理解上容易有一些误区。如，许多材料既是抗静电材料又是静电耗散材料，而通常导电材料与一些绝缘材料也会产生静电，但这些材料不能视为抗静电材料。要清楚材料的区别，懂得它们在什么情况下的应用，对于实施和保持有效的ESD控制体系非常关键，同

时也是正确评价防静电材料供应商产品有效性的关键因素。这些材料特性不能对正常的生产过程造成影响。此外，耐磨损性、热稳定性、污染的影响及很多其他特性也应当成为评价材料特性时需要考虑的因素。见表10-1。

表 10-1　防静电材料

材料分类	体积电阻率/Ω · m	表面电阻/Ω
静电导体	≤10^{6}	≤10^{7}
静电耗散材料	10^{6} ~ 10^{10}	10^{7} ~ 10^{11}
静电非导体	≥10^{10}	≥10^{10}

（1）抗静电材料的特性和使用

绝缘材料与其他材料相接触会产生静电，这是因为物体接触时，会发生电荷（电子或分子离子）的迁移。抗静电材料能够让这种电荷的迁移最小化。但是，因为摩擦起电取决于相互作用的两种物质或物体，所以单独说某种材料是抗静电的并不准确。

准确的说法应该是，一种材料对另一种材料来讲是抗静电的。实际中，所指其他材料既有绝缘材料，如印制线路板（PWB）环氧树脂基材，也有导电材料，如PWB上的铜带。它们在某些过程及取放当中都可能带电。

多数商用抗静电材料是对生产过程中的多数材料是抗静电的，因此才被称为抗静电材料。它们有三种不同类型：1）通过抗静电剂表面处理；2）合成时混入抗静电剂在表面形成抗静电膜的材料；3）本身就有

抗静电性的材料。

常用的抗静电剂能够减少许多材料的静电，因此应用广泛。它们一般是溶剂或载体溶液混入抗静电表面活性剂，如季铵化合物、胺类、乙二醇、月桂酸氨基化合物等而制成。使用抗静电剂能够在材料之间形成一层主导材料表面特性的薄膜。这些抗静电剂都是表面活性剂，其减少摩擦电压的机理还不得而知。然而，研究发现，这些表面活性剂都具有吸收水分子的特性，它们能够促使材料表面吸收水分。实际应用同样也是，抗静电剂的效果受环境湿度的影响很大。此外，抗静电剂也可减少摩擦力，有利于减少摩擦电压。

因为抗静电剂具有一定的导电性能，所以在适当湿度的条件下，它们能够通过耗散来泄放静电。但实际中，后一种特性可能更容易得到重视，因而它也就成为了评估抗静电材料的最主要指标。但是，抗静电材料更重要的功能应当是其在没有接地的状态下减少静电产生的功能，而不是导电性。

（2）静电耗散材料的特性和使用

很多时候静电的产生不可避免，因此安全地消除静电显得更为重要。许多抗静电材料在接地或与地板等大的平面导体接触的时候也具备静电耗散功能。静电耗散材料具有相似的体积电阻，或用导电材料覆盖，如用于工作台的台垫等。耗散材料在接触带电器件时，能够使放电

的电流得到限制。

EIA和ESDA对静电耗散材料的定义是，表面电阻在105～1012Ω的材料。Bossard等学者的研究表明，105Ω下限电阻对于能量敏感器件的保护来讲是适当的，这类器件会因热熔导致失效。

除表面电阻率之外，静电耗散材料另一个重要特性是将其静电荷从物体上泄放的能力，而描述这一特性的技术指标是静电衰减率。按照孤立导体静电衰减模型，静电衰减周期与其泄放电路的电阻与电容乘积（RC）呈指数关系：

$V(t)=V_0e^{-t/\tau}$

式中，V（t）为衰减后静电电压；V_0为衰减前静电电压；t为时间；τ=RC，是时间常数。

研究静电泄放能力，典型的假设是，在特定的时间内，如2s内，将静电电压衰减到一个特定的百分比，如1%，对一个盛放PWB的周转箱来说，其电容大约为50pF，这时其电阻应为

$$R < \frac{t/C}{\ln[V_0/V(t)]} = \frac{2/5 \times 10^{-11}}{\ln 100} = 8.7 \times 10^9\ \Omega$$

这个阻值正好在静电耗散材料阻值范围中。此外，对静电耗散材料来说，相对湿度也是重要的因素，在静电衰减测试当中要予以控制和记

录。

（3）导静电材料的特性和使用

表面电阻小于$1\times10^5\Omega$的材料被定义为导静电材料。导静电材料可以将导静电材料或静电耗散材料上的静电转移到自身的表面。它通常用于分流目的，将器件的引脚连接到一起以保证引脚之间的电位相同。

要想达到分流的目的，须保证以下两点：

1）在快速放电中保持等电位。这一限制与材料的电感有关。测试实验中发现，8000V的脉冲电压能损坏放在导静电泡沫材料中的、对HBM放电非常敏感的器件（小于50V）。虽然测试证明，对器件引脚进行分流保护在工厂生产环境中已经足够，但是有证据表明，分流保护仍然不能排除可能的损伤。最近公布的一些实验数据证明了这一点。

2）分流必须让器件引脚闭合。许多静电放电，特别是带电器件模型（CDM）下的放电，放电的时间只有1ns，如果分流用物体距离器件几英寸，此时器件引脚上的ESD会在电流流过分流导电材料形成的等电位连接之前就损伤了器件。

典型的导静电材料是混入了碳粉的高分子聚合材料（如前面所提到的导电泡棉）或采用真空熏镀金属层的材料（如屏蔽袋）。虽然，105Ω是导静电材料和静电耗散材料的界限值，但它并不是提供CDM保

护的下限值。这一点，在只有10～104Ω导电材料可以选择时非常有用。使用导静电材料会导致CDM损伤的风险增加。

2.接地

接地就是将静电通过一条导线的连接泄放到大地，这是防静电措施中最有效的。导体通常用接地的方法：软接地，地线串接阻值较高的电阻器后再与大地相连，如图10-2所示；硬接地，将地线直接接地或通过一低电阻接地。



图 10-2 软接地

接地通过以下方法实施：

·人体通过手腕带接地。

·人体通过防静电鞋（或鞋带）和防静电地板接地。

·工作台面接地。

·测试仪器、工具夹、烙铁接地。

·防静电地板、地垫接地。

·防静电转运车、箱、架尽可能接地。

·防静电椅接地。

10.2.2　静电屏蔽

为了避免外界电场对仪器设备的影响，或者为了避免电器设备的电场对外界的影响，用一个空腔导体把外电场遮住，使其内部不受影响，且电器设备对外界不产生影响，这就叫做静电屏蔽。

空腔导体不接地的屏蔽为外屏蔽，空腔导体接地的屏蔽为全屏蔽。空腔导体在外电场中处于静电平衡，其内部的场强总等于零。因此，外电场不可能对其内部空间发生任何影响。若空腔导体内有带电体，在静电平衡时，它的内表面将产生等量异号的感生电荷。如果外壳不接地，则外表面会产生与内部带电体等量而同号的感生电荷，感应电荷的电场将对外界产生影响，这时空腔导体只能对外电场屏蔽，却不能屏蔽内部带电体对外界的影响，所以叫外屏蔽。如果外壳接地，即使内部有带电体存在，这时内表面感应的电荷与带电体所带的电荷的代数和为零，而外表面产生的感应电荷通过接地线流入大地。外界对壳内无法影响，内部带电体对外界的影响也随之而消除，所以这种屏蔽叫做全屏蔽。如图10-3所示。

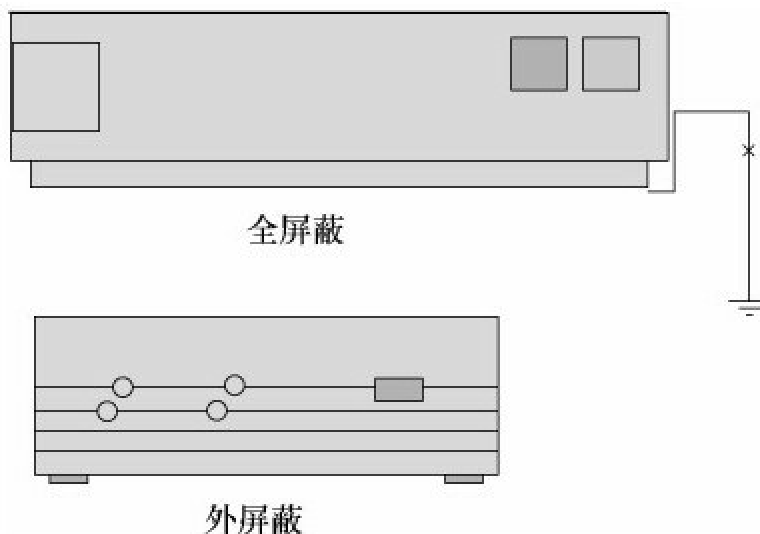


图 10-3 静电屏蔽

为了防止外界信号的干扰，静电屏蔽被广泛地应用。例如电子仪器设备外面的金属罩，通信电缆外面包的铅皮等，都是用来防止外界电场干扰的屏蔽措施。在静电平衡状态下，不论是空心导体还是实心导体；不论导体本身带电多少，或者导体是否处于外电场中，必定为等势体，其内部场强为零，这是静电屏蔽的理论基础。静电敏感元件在储存或运输过程中会暴露于有静电的区域中，用静电屏蔽的方法可削弱外界静电对电子元件的影响，最通常的方法是用静电屏蔽袋和防静电周转箱作为保护。另外防静电衣对人体的衣服具有一定的屏蔽作用。

10.2.3　离子中和

绝缘体往往容易产生静电，对绝缘体静电的消除，用接地方法是无效的，通常采用的方法是离子中和（部分采用屏蔽）。一个带电体周围会产生电场，不同点的电场强度不同，电场驱使电荷平衡。如果一个带电体周围被正、负两种空气离子包围，相反极性的离子会向该带电体移动，并产生电流。这种中和的电流会让带电体上电荷和周围空气的电导平衡。简言之就是带电体吸引相反电荷的空气离子。例如，离子风棒（见图10-4）可产生大量的带有正负电荷的气流，被压缩气高速吹出，可以将物体上所带的电荷中和掉。当物体表面所带电荷为负电荷时，它会吸引气流中的正电荷，当物体表面所带电荷为正电荷时，它会吸引气流中的负电荷，从而使物体表面上的静电被中和，达到了消除静电的目的。

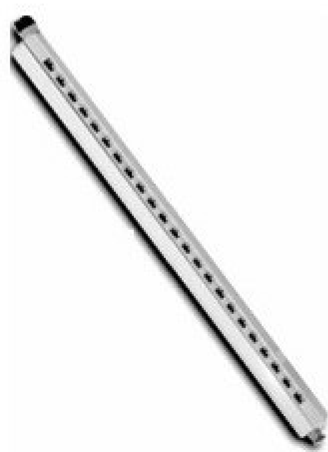


图　10-4　离子风棒

10.2.4　防静电设备

在防静电材料和防静电设备中，均是按这三种方式派生出来的产品，可分为防静电仪表、接地系统类防静电产品、屏蔽类防静电包装、运输及储存防静电材料、中和类静电消除设备，以及其他防静电用品。

1.防静电仪表

防静电仪表种类繁多，主要有以下5种。见表10-2。

表 10-2　防静电仪表

名　　称	用　　途
手腕带/脚带/防静电鞋综合检测仪也叫人体综合测试仪	用于检测手腕带、脚带、防静电鞋是否符合要求
除静电离子风机检测仪	定期对离子风机平衡度和衰减时间进行检测及校验，以确保离子风机工作在安全的指标范围
静电场探测仪也叫静电测试仪或者静电电压表	测量静电场以反映静电的存在，以电压形式读数，用来测试环境的静电强度。一般受环境影响和静电瞬间特性，很难真实反映理论情况
静电屏蔽袋测试仪	用于检测静电屏蔽袋的屏蔽效果
表面电阻测量仪	用于测量材料表面电阻，体积电阻

2.接地类防静电产品

接地类防静电产品见表10-3。

表 10-3　防静电产品

名　　称	用　　途
静电手腕带	用于各种操作工位，手腕带种类很多，建议一般采用配有 1 MΩ 电阻的手腕带，线长应留有一定余量
电手表	需要其他防静电措施的补救（如：增设离子风机、戴防静电脚跟带等）才能取得较好的防静电效果
脚带/防静电鞋	厂房使用防静电地面后，应佩戴防静电鞋带或穿防静电鞋
台垫	用于各工作台表面的敷设，各台垫串上 1 MΩ 电阻后与防静电地可靠连接
电地板	防静电地板分为：PVC 地板、聚胺酯地板、活动地板
电蜡和防静电油漆	防静电蜡可用于各种地板表面增加防静电功能及使地板更加明亮干净。静电油漆可用于各种地板表面，也可涂于各种货架、周转箱等容器上

3.防静电包装运输及储存材料

防静电包装以及储存材料见表10-4。

表 10-4　防静电包装储存材料

名　　称	用　　途
防静电元件盒、箱	用于车间单板和部件的周转、运输及储存
屏蔽袋	用于单板和部件的包装、运输和储存，具有一定的防潮效果
胶带	用于各种包装箱等
IC 料条及 IC 托盘	用于生产车间 IC 元器件的储存、搬运。禁止在使用前，露天存放 IC；或拆开包装运输
电货架、手推车及工作台	防静电货架、手推车广泛用于电子装配车间的单板、部件的周转、搬运等。防静电货架及工作台要有防静电地连接，手推车上的防静电垫应有金属链与防静电地接触
电工作服工作鞋	在具有静电敏感元器件，具有一定洁净度要求的加工车间，一般应严格要求员工穿戴防静电工作服工作鞋
电手指套	操作工位员工需经常手拿工件或静电敏感元器件时，有必要戴防静电手指套

4.中和类设备

中和类设备主要有离子风机、风枪，如图10-5所示。



图　10-5　离子风枪

10.3　静电作用对SMD的击穿电压

静电放电（ESD）是大家熟知的电磁兼容问题，它可引起电子设备失灵或使其损坏。当半导体器件单独放置或装入电路模块时，即使没有加电，也可能造成这些器件的永久性损坏。对静电放电敏感的元件被称为静电放电敏感元件。为了消除静电的影响，要使用静电放电保护设备。见表10-5。

表10-5　静电放电保护设备规格

名　称	电阻值	名　称	电阻值
腕带到插头、夹子	1 MΩ ±250 kΩ	接地方块接地	<20 Ω
工作桌面接地线到接地	1 MΩ ±250 kΩ	工作桌面的按扣接地	<20 Ω
地毯接地线到接地	1 MΩ ±250 kΩ	焊接头接地	<20 Ω
设备外壳接地	<20 Ω		

在电子工业中，随着集成电路的集成度越来越高，其内绝缘层越来越薄，互连导线宽度与间距越来越小，例如CMOS器件绝缘层的典型厚度约为0.1μm，其相应耐击穿电压在80～100V；VMOS器件的绝缘层更薄，击穿电压在30V。而在电子产品制造中及运输、存储等过程中所产生的静电电压远远超过MOS器件的击穿电压，往往会使器件产生硬击穿或软击穿（器件局部损伤）现象，使其失效或严重影响产品的可靠性。见表10-6。

表 10-6　静电对 SMD 的击穿电压

表面贴装器件	击穿电压/V	表面贴装器件	击穿电压/V
砷化镓	5 ~ 100	肖特基二极管	300 ~ 2 500
MOS FET	100 ~ 200	屏蔽薄膜电阻器	300 ~ 3 000
FE-ROM	100 ~ 150	晶体三极管	300 ~ 700
运算放大器	190 ~ 2 500	逻辑发射 TTL	1 000 ~ 2 500
CMOS	200 ~ 3 000		

如果一个元件的两个针脚或更多针脚之间的电压超过元件介质的击穿强度，就会对元件造成损坏。这是MOS器件出现故障最主要的原因。氧化层越薄，则元件对静电放电的敏感性也越大。故障通常表现为元件本身对电源有一定阻值的短路现象。对于双极性元件，损坏一般发生在薄氧化层隔开的已进行金属喷镀的有源半导体区域，因此会产生泄漏严重的路径。

另一种故障是由于节点的温度超过半导体硅的熔点（1415℃）时所引起的。静电放电脉冲的能量可以产生局部地方发热，因此出现这种机理的故障。即使电压低于介质的击穿电压，也会发生这种故障。一个典型的例子是，NPN型三极管发射极与基极间的击穿会使电流增益急剧降低。

10.4　静电防护的设计方法

首先可以在半导体芯片内建ESD保护架构。也可以在物理电路设计方面下工夫，较敏感的电路元件应该尽量远离通孔或接缝处，如果可能的话，线缆连接器的接地应该要在系统信号引脚接触前先连接到系统的接地，通过这样的方式，线缆上所发生的放电事件就比较不会造成干扰或破坏。有效的方法是使用保护元件来将电流导离较敏感的元件。也就是在电子系统的连接器或端口处放置ESD保护元件，使得电流流经保护元件，且不流经敏感元件，以维持敏感元件的低电压，使其免受ESD应力影响，进而有效控制ESD事件的发生。

10.4.1　金属屏蔽与接地

屏蔽就是用接地的金属线和金属网等将带电的物体包裹起来，对带电物体进行屏蔽的主要目的就是限制它对周围环境产生电气作用，消除因非导体带电而引起的放电现象。

1.屏蔽接地分类

根据屏蔽的原理不同屏蔽接地可分为以下三类：

（1）静电屏蔽接地

静电屏蔽接地主要是防止静电耦合干扰，其目的是消除两个电路之间因分布电容的耦合产生的干扰。

（2）磁屏蔽接地

磁屏蔽接地主要用于低频，采用有一定厚度的高导磁率的材料，以便将磁场封闭在机房内部，以防止网络设备电磁辐射扩散到机房外部的一种屏蔽接地。

（3）电磁屏蔽接地

电磁屏蔽接地主要用于高频，采用低电阻的金属材料，使电磁场在金属屏蔽层产生的涡流对外来的电波起到抵消作用，达到屏蔽作用的一种屏蔽接地。

2.屏蔽方法

电子器件或测量设备为了免除干扰，都要实行静电屏蔽，如室内高压设备罩上接地的金属罩或较密的金属网罩，电子管用金属管壳。如作全波整流或桥式整流的电源变压器，在初级绕组和次级绕组之间包上金属薄片或绕上一层漆包线并使之接地。

机箱框架上能见到很多的弹性触点，它们就是用来加强与侧板接触的，这种触点排列得越紧密越好。如图10-6所示。



图　10-6　机箱弹性触点

扩展插卡挡板上增加了金属弹片，使插卡连接时有更好的弹性和接触能力，并与机箱成为一个屏蔽整体，可有效地降低辐射干扰。如图10-7所示。

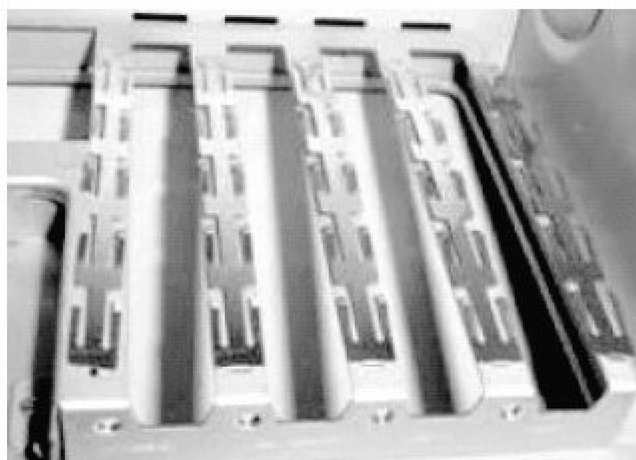


图　10-7　孔的金属挡片

机箱后部上的通风口用孔径较小而数量较多的小金属孔代替，对不适用开小孔的侧面则使用金属网对通风口进行屏蔽。这样也能有效降低

电磁辐射。如图10-8所示。



图　10-8　小孔设计

10.4.2 电缆的处理

屏蔽机箱上绝不允许有导线直接穿过。当导线必须穿过机箱时，一定要使用适当的滤波器，或对导线进行适当的屏蔽。

1.采用屏蔽电缆，将屏蔽层与机壳地相连

由于趋肤效应，静电放电电流聚集在屏蔽体外表面上流动（这就是导线在高频时表现出较大阻抗的原因之一）。屏蔽体比一般导线具有更大的表面积，这样将减小“趋肤效应阻抗”，也可假定屏蔽体足够厚，静电放电电流将沿着屏蔽体的外表面流动，其内层仍是一个屏蔽体。因此，在场到达电缆内部的其他连线前，屏蔽体的内层可以减小静电放电电流产生的场。电缆屏蔽层的厚度应至少为0.025mm（在1MHz～5GHz频率范围内，作为屏蔽材料的铜或铝的厚度不必很厚）。

一旦采取措施对电缆进行了屏蔽，就要充分发挥它的实际效果。许多设计人员对所谓的“地环路”问题太看重。因此，他们坚持认为电缆层应仅在一端接地。不幸的是，这样做虽然助于减小低频（比如60Hz）噪声问题，但显然会使屏蔽作为一个静电放电路径而失效。如图10-9所示。

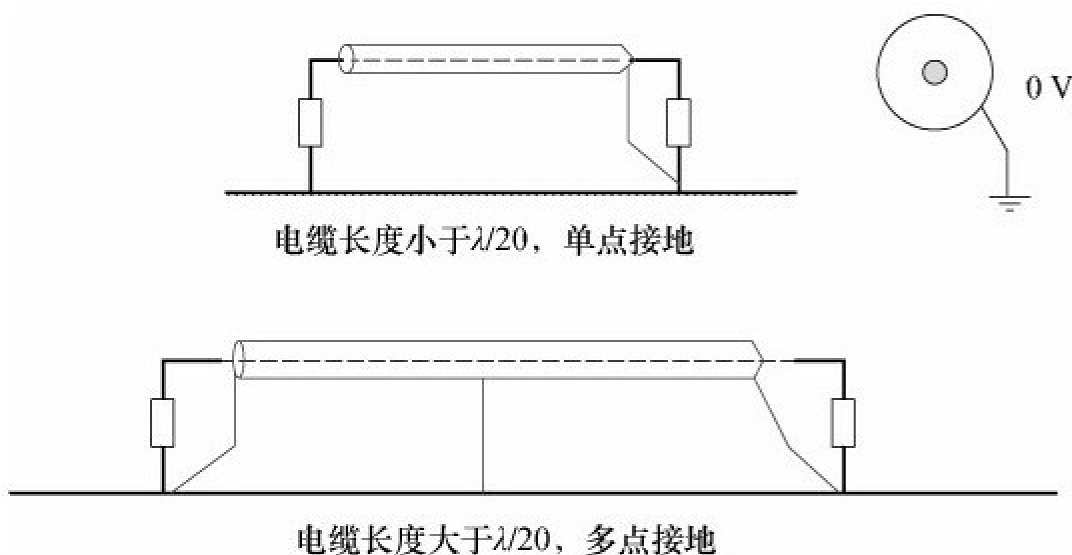


图 10-9 电缆屏蔽接地

2.电缆屏蔽必须在其两端高频连接到机壳上

如果不会形成地环路，或者地环路不是问题，最好的连接方法是直接用金属连接两端。一个通常不会形成地环路的例子是连接终端与键盘的电缆。

如果会形成地环路，并且会产生问题。这时，可将电缆屏蔽层在一端金属连接到机壳上，而另一端则通过高频电容器连接到机壳上。典型的例子是计算机与打印机间的互连。当然，关键一点是，计算机与打印机都通过交流插座连接到安全地（绿色线）。这会在两个交流插座间形成地环路。

注意：如果在地环路中，互连到一起的电子设备的接地点之间没有电势差，那么地环路未必是问题。总之，电缆屏蔽层端接得越好，地环

路产生问题的可能性也就越小。如图10-10所示。

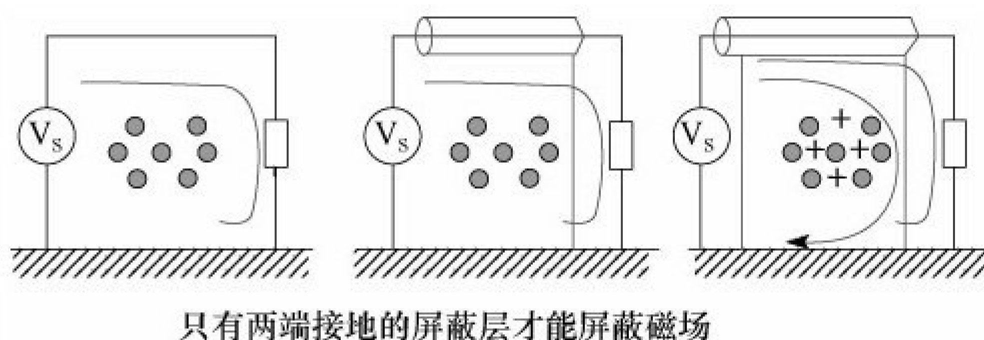


图　10-10　两端接地

3.电缆屏蔽层应在电缆进入设备处连接到机壳上，其未屏蔽部分则应最短

由于静电放电电流的影响，电缆屏蔽层的外部会产生辐射噪声。靠近PCB板或在屏蔽体内布置的屏蔽电缆，对PCB板或屏蔽体内的每一个部件而言，都可视为一根发射天线。电缆屏蔽层仅屏蔽其内部的导线，使之免受静电放电噪声的干扰。实际上，屏蔽电缆也对其外部的所有设备辐射静电放电噪声。同样，将电缆屏蔽层连接到机壳的一条长“小辫”也是一根发射天线。不要使其围绕在敏感的输入端口附近。当然，长小辫带来的另一个问题是增加了屏蔽连接的阻抗，从而降低了屏蔽效能。

4.没有机壳可以连接的系统设计

对于那些没有机壳可供连接的系统设计问题该如何解决呢？例如，

对于一个塑料外壳的键盘，没有导电的底盘，要将其通过一六芯电缆连接到主机终端，该如何处理呢？

方法是将电缆屏蔽层通过高频电容器连接到逻辑地。单元电路如没有机壳连接点，那么它不是一个完善的设计方案。然而，如果别无选择，逻辑地只得充当电缆屏蔽层一端的机壳接地点。但这不是一个理想的解决方案，也不可能提高静电放电的抗扰性能。实际上，有时这反而会引起静电放电问题。这种方法能够起作用，关键在于从未屏蔽电缆到各个输入端口处的静电放电辐射是否会比电缆屏蔽层通过电容至逻辑地产生的静电放电噪声耦合更大或更小。总的来说，逻辑接地系统越好，这种办法改善静电放电抗扰性的可能性就越大。

屏蔽耦合电容器所需的额定电压跟其电容与静电放电源的电容的比值直接相关。对一给定的电荷量级，一个物体上的电压大小由其电容量决定。耦合电容由待耦合的频率决定。典型的电缆在逻辑地与屏蔽层之间已经存在几百皮法的电容。因此，再增加几百皮法的电容影响不是很大。为了获得某种显著的效果，从屏蔽层到逻辑地的耦合电容至少为1000pF。另一方面，大的电容具有极大的寄生电感，因此，它不能耦合高频。这就是说，典型的耦合电容应小于0.01μF（可采取较小电容器的并联连接来获取较好的耦合效果，假定连接的寄生电感可控制得很小）。容量3900pF，耐压1kV的陶瓷电容最适宜作为耦合电容。该电容与电缆已有的电容并联，会耦合相当宽的静电放电频率。而且，人体电

容在150pF左右，当应用了3900pF的耦合电容后，体表20kV的电荷将会减小到小于1kV的水平。

电缆电容的讨论又引出有关电缆电感滤波的问题（典型情况是采用铁氧体磁珠）。从静电放电的角度看，在设计良好的屏蔽电缆上安装共模铁氧体滤波器并不总是一个好的办法。因为任何屏蔽都不是理想的，铁氧体内的电缆屏蔽层上的静电放电电流将在屏蔽层中的导线上感应出反向电流。当然，即使没有铁氧体，也有类似的问题，不过铁氧体增加了屏蔽层与内导线间的互感，从而增加了这种效应。如果电缆线上需要安装铁氧体磁珠（为了减小发射强度以满足美国联邦通信委员会FCC等标准），需遵守以下的规则：

1）静电放电电流路径不要与其他导线一同穿过铁氧体（如果静电放电路径不经过任何一个铁氧体，则这种情况是最好的）。如果电缆没有屏蔽，或者如果屏蔽层效果不好，静电放电噪声被等量感应（以共模方式）进电缆内的所有导线上，共模铁氧体可能是有用的。在这种情况下，电缆内的所有导线上将会有显著的感应干扰，当然，共模铁氧体将减小这种共模干扰。在这种情况下，可采用以下的规则来处理。

2）如果在电缆信号线上安装铁氧体磁珠，当将其置于信号线的接收端时，其效果最佳，这样可滤除信号线拾取的噪声。

3）电缆中多余的导线必须剪去或加以适当的连接。当电缆中的芯

线比实际需要多得多时，用下面两种方法处理这些多余的芯线：

·剪断多余的芯线，这样就不会有悬浮的导线穿过屏蔽体外面。

·将多余的导线与电缆内的其他芯线并联起来。

4）扁平电缆应每隔一根导线设置一条逻辑地线，而敏感信号线则应设置在地线之间。即使屏蔽的扁平电缆也会有一些磁通量通过。因此，为了使环路面积最小，每条信号线都应尽量靠近地线。而且，敏感导线必须尽可能地远离电缆线边缘，因为这些地方最易发生泄漏。

5.设计方法

电缆的防静电处理方法，见表10-7。

表 10-7　电缆的设计方法

序　号	要　　求
1	在电化学序列中，彼此远离的两种物质的搭接电压不要超过 0.75 V
2	阳极（多数是正极）材料必须比阴极材料具有较大的未包裹表面
3	采用屏蔽电缆，且将其屏蔽层连接到机壳地。机壳与其他元件引脚间的空气距离至少为 2.2 mm
4	屏蔽材料必须至少 0.025 mm 厚
5	将电缆屏蔽层在两端与机壳相连。最好是采取导电连接，但是如果需要阻止明显的地环路问题，那么就需要采用高频（电容）连接
6	电缆屏蔽层必须在其进出设备的 4 cm 处连接到机壳，未屏蔽的电缆部分必须小于 4 cm
7	多余的电缆芯线必须剪掉，或者是与其他导线并联连接
8	电缆屏蔽层兼作机壳地的情况下，通常不应穿过铁氧体磁珠，也绝不能与其他导线共用铁氧体磁珠
9	如果采用铁氧体磁珠，则应将其安装在电缆的接收端
10	如果电缆的屏蔽层的一端不能连接到机壳，可将其通过 3 900 pF、1 kV 的陶瓷电容连接到逻辑地

10.4.3　PCB的防护

首先要保证电路及PCB本身不会产生强静电感应，如增加隔离及电荷泄漏通路等；其次应尽量避免采用易受静电感应的制造工艺和零配件；第三要考虑用户使用环境，如有必要可增设保护电路。

PCB静电破坏防护设计考虑也是多方面的，例如：如何减少回路面积，如何使走线更短，如何使PCB接地面积更大，Power与Ground要接去耦电容，如何使零件与静电源更好地隔离，PCB接地线必须低阻抗且要有良好的隔离，Power/Ground Layout在板中间比在四周好，等等。但概括起来只有三点：吸收、躲避及加强防护。

现代产品的PCB都是高密度板，通常为4层板。随着密度的增加，趋势是使用6层板，其设计一直都需要考虑性能与面积的平衡。一方面，越大的空间可以有更多的空间摆放元器件，同时，走线的线宽和线距越宽对于EMI、音频、ESD等各方面性能都有利。另一方面，数码产品设计的小巧又是趋势与需要。所以，设计时需要找到平衡点。就ESD问题而言，设计上需要注意的地方很多，尤其是关于GND布线的设计及线距，很有讲究。有些产品中ESD存在很大的问题，一直找不到原因，通过反复研究与实验，发现是PCB设计出现的问题。为此，PCB设计中应该注意以下要点：

·PCB板边（包括通孔Via边界）与其他布线之间的距离应大于0.3mm。

·PCB的板边最好全部用GND走线包围。

·GND与其他布线之间的距离保持在0.2～0.3mm。

·V_{bat}与其他布线之间的距离保持在0.2～0.3mm。

·重要的线如Reset、Clock等与其他布线之间的距离应大于0.3mm。

·大功率的线与其他布线之间的距离保持在0.2～0.3mm。

·不同层的GND之间应有尽可能多的通孔（VIa）相连。

·在最后的铺地时应尽量避免尖角，有尖角应尽量使其平滑。

作为整机系统一部分的线路板，其功能一方面会受到来自系统工作时发生的高频辐射的严重影响。另一方面如果有静电放电发生，则因静电放电总是伴随有宽带高频电磁干扰辐射出现而同样对组件的工作产生影响。临近于该组件的金属构件、面板、紧固装置等，一旦有静电放电情况发生，就会形成电磁辐射且对电路影响非常大。所以，对线路板应采取以下措施进行防护：

·在可能的情况下尽量采用多层板。

·利用一个边界防护环，使面板和紧固装置等金属构件适当接地。

·采用接地栅网或等电位接地平面，使信号系统对地及电源对地的路径减到最短，以最大限度地减少接地电阻，从而快速漏掉静电荷。

·在需要的部位上使用屏蔽片、罩等。

10.5　静电防护电路设计

产品的静电防护是多方面的，必须从产品的立项开始全面考虑结构设计、PCB设计、零件的选择、组装及使用环境等。其中，PCB的设计对产品ESD的防护可以说是至关重要的。

10.5.1　PCB设计

在PCB板的设计当中，可以通过分层、恰当的布局布线和安装，实现PCB的抗ESD设计。在设计过程中，通过预测可以将绝大多数设计修改仅限于增减元器件。通过调整PCB布局布线，能够很好地防范ESD。以下是一些常见的防范措施。

1.电路板布局布线

电路板布局布线方面抗ESD设计，需要遵循以下原则：

1）尽可能使用多层PCB，相对于双面PCB而言，地平面和电源平面，以及排列紧密的信号线-地线间距能够减小共模阻抗和感性耦合，使之达到双面PCB的1/10至1/100。尽量地将每一个信号层都紧靠一个电源层或地线层。对于顶层和底层表面都有元器件、具有很短连接线及许多填充地的高密度PCB，可以考虑使用内层线。

2）对于双面PCB来说，要采用紧密交织的电源和地栅格。电源线紧靠地线，在垂直和水平线或填充区之间，要尽可能多地连接。一面的栅格尺寸小于等于60mm，如果可能，栅格尺寸应小于13mm。

3）确保每一个电路尽可能紧凑。尽可能将所有连接器都放在一边。

4）在引向机箱外的连接器（容易直接被ESD击中）下方的所有PCB层上，要放置宽的机箱地或者多边形填充地，并每隔大约13mm的距离用过孔将它们连接在一起。

5）在卡的边缘上放置安装孔，安装孔周围用无阻焊剂的顶层和底层焊盘连接到机箱地上。

6）PCB装配时，不要在顶层或者底层的焊盘上涂覆任何焊料。使用具有内嵌垫圈的螺钉来实现PCB与金属机箱/屏蔽层或接地面上支架的紧密接触。在每一层的机箱地和电路地之间，要设置相同的“隔离区”；如果可能，保持间隔距离为0.64mm。

7）在卡的顶层和底层靠近安装孔的位置，每隔100mm沿机箱地线将机箱地和电路地用1.27mm宽的线连接在一起。与这些连接点的相邻处，在机箱地和电路地之间放置用于安装的焊盘或安装孔。这些地线连接可以用刀片划开，以保持开路，或用磁珠/高频电容的跳接。如果电路板不会放入金属机箱或者屏蔽装置中，在电路板的顶层和底层机箱地

线上不能涂阻焊剂，这样它们可以作为ESD电弧的放电极。

8）要以下列方式在电路周围设置一个环形地。

·除边缘连接器及机箱地以外，在整个外围四周放上环形地。

·确保所有层的环形地宽度大于2.5mm。

·每隔13mm用过孔将环形地连接起来。

·将环形地与多层电路的公共地连接到一起。

·对安装在金属机箱或者屏蔽装置里的双面板来说，应该将环形地与电路公共地连接起来。不屏蔽的双面电路则应该将环形地连接到机箱地，环形地上不能涂阻焊剂，以便该环形地可以充当ESD的放电棒，在环形地（所有层）上的某个位置处至少放置一个0.5mm宽的间隙，这样可以避免形成一个大的环路。信号布线离环形地的距离不能小于0.5mm。

9）在能被ESD直接击中的区域，每一个信号线附近都要布一条地线。I/O电路要尽可能靠近对应的连接器。对易受ESD影响的电路，应该放在靠近电路中心的区域，这样其他电路可以为它们提供一定的屏蔽作用。

10）通常在接收端放置串联的电阻和磁珠，而对那些易被ESD击中

的电缆驱动器，也可以考虑在驱动端放置串联的电阻或磁珠。通常在接收端放置瞬态保护器。用短而粗的线（长度小于5倍宽度，最好小于3倍宽度）连接到机箱地。从连接器出来的信号线和地线要直接接到瞬态保护器，然后才能接电路的其他部分。

11）在连接器处或者离接收电路25mm的范围内，要放置滤波电容。

·用短而粗的线连接到机箱地或者接收电路地（长度小于5倍宽度，最好小于3倍宽度）。

·信号线和地线先连接到电容再连接到接收电路。

12）要确保信号线尽可能短。信号线的长度大于300mm时，一定要平行布一条地线。确保信号线和相应回路之间的环路面积尽可能小。对于长信号线每隔几厘米便要调整信号线和地线的位置来减小环路面积。

13）从网络的中心位置驱动信号进入多个接收电路。确保电源和地之间的环路面积尽可能小，在靠近集成电路芯片每一个电源管脚的地方放置一个高频电容。在距离每一个连接器80mm范围以内放置一个高频旁路电容。

14）在可能的情况下，要用地填充未使用的区域，每隔60mm距离将所有层的填充地连接起来。确保在任意大的地填充区（大约大于

25mm×6mm）的两个相反端点位置处与地连接。电源或地平面上开口长度超过8mm时，要用窄的线将开口的两侧连接起来。复位线、中断信号线或者边沿触发信号线不能布置在靠近PCB边沿的地方。

15）将安装孔同电路共地连接在一起，或者将它们隔离开来。

·金属支架必须和金属屏蔽装置或者机箱一起使用时，要采用一个零欧姆电阻实现连接。

·确定安装孔大小来实现金属或者塑料支架的可靠安装，在安装孔顶层和底层上要采用大焊盘，底层焊盘上不能采用阻焊剂，并确保底层焊盘不采用波峰焊工艺进行焊接。

16）不能将受保护的信号线和不受保护的信号线并行排列。要特别注意复位、中断和控制信号线的布线。

·要采用高频滤波。

·远离输入和输出电路。

·远离电路板边缘。

17）如果一个机箱或者主板内装几个电路板，应该将对静电最敏感的电路板放在最中间。

2.ESD防护器件

在壳体和PCB的设计中，对ESD问题加以注意之后，ESD还会不可避免地进入到产品的内部电路中，尤其是以下一些端口：USB接口、HDMI接口、IEEE1394接口、天线接口、VGA接口、DVI接口、按键电路、SIM卡、耳机及其他各类数据传输接口，这些端口很可能将人体的静电引入内部电路中。所以，需要在这些端口中使用ESD防护器件，如图10-11所示。

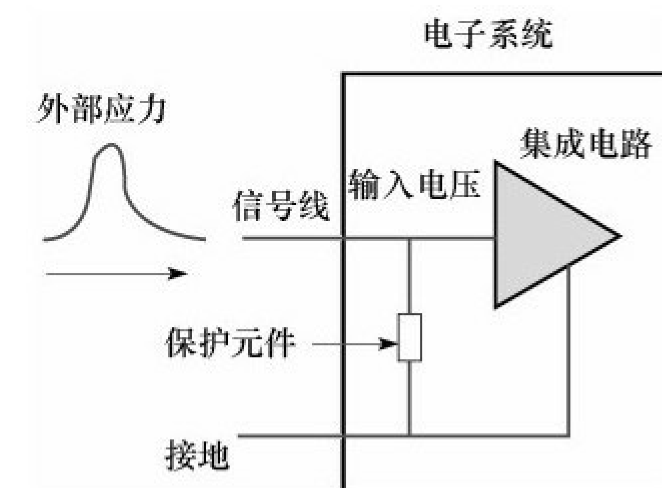


图　10-11　ESD保护元件应用电路

过去主要使用的静电防护器件是压敏电阻和TVS器件，但这些器件普遍的缺点是响应速度太慢，放电电压不够精确，极间电容大，寿命短，电性能会因多次使用而变差。所以目前行业中普遍使用专业的“静电抑制器”来取代以往的静电防护器件。“静电抑制器”是专业解决静电问题的产品，其内部构造和工作原理比其他产品更具科学性和专业性。它由聚合物高分子材料制成，内部菱形分子以规则离散状排列，当静电电压超过该器件的触发电压时，内部分子迅速产生尖端对尖端的放电，

将静电在瞬间泄放到地。它最大特点是反应速度快（0.5～1ns）、非常低的极间电容（0.05～3pF），很小的漏电流（1μA），非常适合各种接口的防护。

因为静电抑制器具有体积小（0603、0402）、无极性、反应速度快等诸多优点，现在的设计中使用静电抑制器作为防护器件的比例越来越多，在使用时应注意以下几点：

·将该器件尽量放置在需要保护的端口附近。

·到GND的连线尽可能短。

·所接GND的面积尽可能大。

10.5.2 零件的选用

在满足电路功能要求的前提下，应尽量使用敏感电压阈值高的元器件。因为一个线路板的静电放电敏感度，决定于该线路板内敏感电压阈值最低的元器件。除实施正确的选型外，还应当注意功能相同、型号相同但供货厂家不同的元器件，其敏感电压阈值可能存在着很大的差异，相同厂家但生产批次不同的元器件，也可能会有所不同。

1.限制输出电流能避免CMOS电路产生锁定效应

锁定效应是CMOS电路特有的一种失效模式，这是因为在CMOS电路的内部结构上存在着寄生的PNP晶体管和NPN晶体管，而它们之间又恰好构成了一个寄生的PNPN可控硅结构，所以CMOS电路的锁定效应有时也称作可控硅效应。这种互锁的正反馈结构可能因外部因素（如静电放电）的触发，就会在PNP管（或NPN管）上流过电流，再经过另一只寄生的NPN管（或PNP管）使电流放大，并且由于正反馈作用使电流越来越大而最终烧毁。可见，限制电流使其不能达到维持锁定状态的水平，是设计印制线路板时对CMOS器件要考虑的问题之一。常用的解决办法是用一只电阻器来把每一个输出端同其电缆线隔开，并且用两只高速开关二极管用电缆线钳位到V_{DD}（漏极电源）和V_{SS}（源极电源）上。

2.使用滤波器网络

在CMOS电路系统和机械接点之间有时需要长的输入电缆线，这时便增加了受电磁干扰的可能性，应考虑使用滤波器网络。同时长的输入线路必然伴随着较大的分布电容和分布电感，很容易形成LC自激振荡，特别是当在输入端有负振荡电压产生时，可能导致保护网络的二极管烧损。解决此问题的方法是在输入端串接一个电阻器，其阻值可按公式$R=V_{DD}/1mA$选定，如当$V_{DD}=10V$时则$R=10\ k\Omega$。

3.RC网络

在确实可行的地方，对于双极性器件的敏感输入端，使用电阻值较大的电阻器和至少100pF的电容器组成的RC网络，可以降低静电放电的影响。然而，如果电路特性有要求，可采用在任一极性上可钳位到0.5V电压的两个并联二极管，使输入端短接到地。这样，就降低了对输入特性的干扰。

4.避免CMOS器件输入管脚悬空

避免已焊接到线路板上的CMOS器件的输入端被悬空。同时要注意CMOS器件上所有不用的多余输入引线不允许悬空。这是因为输入端一旦悬空，输入电位将处于不稳定状态，不但会破坏电路的正常逻辑关系，而且因其输入电阻高，易产生静电击穿、外界噪声干扰等现象。对于多余输入端要根据电路的功能分别处理。例如，与门和与非门电路的

多余输入端应接到V_{DD}或高电平；或门和或非门的多余输入端迎接到V_{SS}或低电平。如图10-12所示。

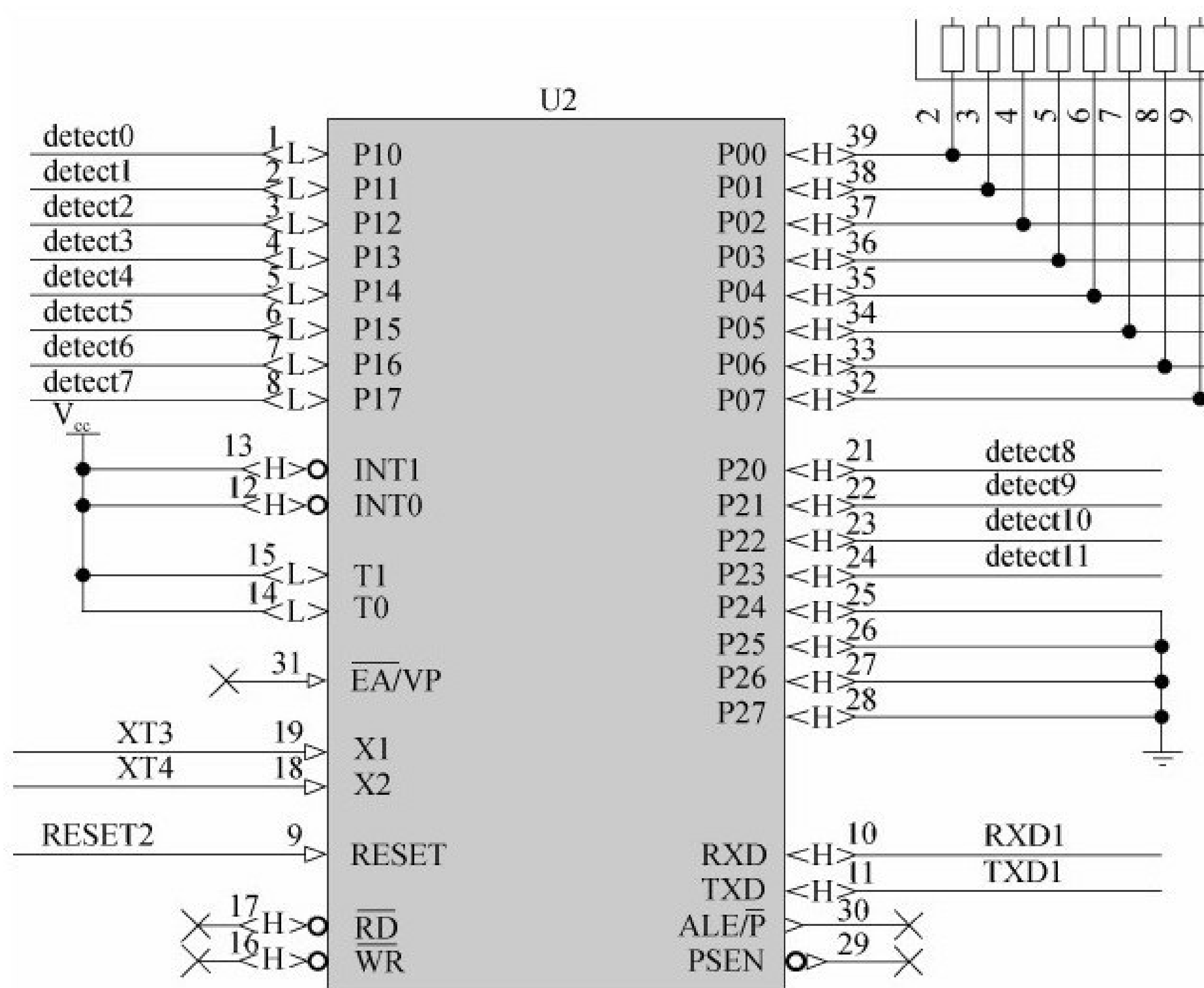


图　10-12　不用的引脚接高电平或者低电平

在没有串联电阻器、短路器、钳位或其他保护措施时，线路板上的敏感元器件引线不应直接连接到连接器的端子上。避免把元器件的敏感性引线接到线路板的边缘、连接器或其他人体可能接触到的点。

10.5.3 装配

电子产品除对元器件选择、电路设计遵循以上措施外，在其整机装配过程中也要采取下列措施来改善产品的静电抗干扰性能。

·将所有电缆予以屏蔽并尽量减少其长度。

·尽量减少面板和固定装置上的机械开口及孔、缝等。

·所有的暴露元器件和金属构件接地。

·用导电衬垫或类似的零件来密封门和面板上的开口。

·前面板上的安装零件尽量使用凹式的，以减少静电放电的可能性。

·接口电路尽量采用对静电放电不敏感的元器件。与静电放电敏感电路连接的设备外接连接器应采用静电放电帽结构。

·安装线路板的板面应由金属材料制成并接地，其上的连接端子应为凹式的。

·机内元器件和组件的布置，应使静电放电敏感元器件远离能产生静电场的部件，如排风扇等。

·在设计含有键盘、控制板、手动控制器系统时，应做到能使操作人员的人体静电直接散逸到接地机壳，而使静电放电元件被旁路。此外，还可以考虑利用去耦电容器、边界保护环、局部屏蔽等。

第11章　无线通信PCB设计与电磁兼容

随着通信技术的发展，手持无线射频电路技术运用越来越广，如手机、无线PDA等，其中的射频电路的性能指标直接影响整个产品的质量。这些掌上产品的一个最大特点就是小型化，而小型化意味着元器件的密度很大，这使得元器件（包括SMD、SMC、裸片等）间的相互干扰十分突出。电磁干扰信号如果处理不当，可能造成整个电路系统无法正常工作。因此，如何防止和抑制电磁干扰，提高电磁兼容性，就成为设计射频电路PCB的一个非常重要的内容。同一个电路，不同的PCB设计结构，其性能指标会相差很大。

由于射频电路的特殊性，其PCB的设计与数字电路有不同点，射频（RF）电路的电路板布局应在理解电路板结构、电源布线和接地的基本原则的基础上进行。设计RF电路时，电源电路的设计和电路板布局常常被留到了高频信号通路的设计完成之后。对于没有经过认真考虑的设计，电路周围的电源电压很容易产生错误的输出和噪声，这会进一步影响到RF电路的性能。合理分配PCB的板层、采用星形拓扑的V_{cc}引线，并在V_{cc}引脚加上适当的去耦电容，将有助于改善系统的性能，获得最佳指标。本章通过板材、隔离与屏蔽、滤波、接地、布线等方面内容阐述射频PCB的EMC设计技术。

11.1　板材

通常需要根据电路的特性和产品的成本综合选择板材。印制电路板的基材包括有机类与无机类两大类。基材中最重要的性能是介电常数ε_r、耗散因子（或称介质损耗）tanδ、热膨胀系数（CET）和吸湿率。其中ε_r影响电路阻抗及信号传输速率。对于高频电路，介电常数公差是首要考虑的更关键因素，应选择介电常数公差小的基材。普遍的材料就是FR4了，如果频率比较高，比如1GHz以上需要用特氟龙材料，比如rogers、Isola等，制板时要跟厂家说明板厚（一般是1.6mm）、层数、表面处理工艺、铜厚、阻焊字符颜色等，可选用的射频PCB板材分为以下两大类。

11.1.1　普通板材

FR-4（阻燃型覆铜箔环氧玻璃布层压板），介电常数在1GHz频率下测试为ε_r=4.25±0.2，普通板材使用的板料有以下两种：

普通板料：玻璃化温度T_g=135℃，成本低，工艺成熟。UV板材：T_g=140℃，有UVBLOCKING阻挡紫外光的功能，性能优于普通板料，价格与普通板料相同，相对于专用板材来说，上面的两种板料介电常数不稳定，损耗大。介电常数不稳定时，电路元件与PCB间的分布电容会

变化，从而引起电路的谐振频率、滤波器的中心频率等发生变化。射频功率放大电路对损耗的要求较高，因此在大功率电路中建议不选用这种板材。

11.1.2　射频专用板材

选择基材是在设计流程的早期，因此正确地选择基材变得非常重要。这样可以避免重新选用不同基材带来的资金和时间的浪费。选择基材主要考虑以下几方面。

1.相对介电常数

基材的相对介电常数必须足够大，以满足器件空间和重量的要求。也就是说，谐振元件必须足够小、任何延迟线必须足够短、线宽足够窄（同时适当的线-线间距以达到要求的电气隔离），以满足最大允许的尺寸。

2.介质损耗

微波电路板的介质损耗公式为

带状线：$$\alpha_{d,stuip}=27.3\sqrt{\varepsilon_r}\frac{\tan\delta}{\lambda}\ (\mathrm{dB/m})$$

微带线：$$\alpha_{d,micro}=27.3\frac{\varepsilon_r}{\varepsilon_r-1}\frac{\varepsilon_{r,eff}}{\sqrt{\varepsilon_{r,eff}}}\frac{\tan\delta}{\lambda}\ (\mathrm{dB/m})$$

式中，ε_r为基材相对介电常数实部；$\varepsilon_{r,\ eff}$为有效相对介电常数实部

（微带线）；tanδ为基材损耗角正切；λ为自由空间波长。

可以看出介电损耗是损耗正切和相对介电常数的函数。一些基材的单位长度介质损耗的上升，可在电路设计中使用更短的线长得到一定的弥补。短的线长同样可以减少导体损耗，这在高频时导体损耗变得明显的情况下更为重要。估计一些电路元件损耗的参数，是单位波长（或频率）损耗，而不是通常的给定频率下单位线长损耗。

一定频率范围内基材损耗必须足够低，以满足输入/输出功率要求，而不会产生散热问题。另外，一些电路元件（如滤波器）的功率响应必须要有锐利的频率跌落特性才能满足电路性能要求，否则，介质损耗会影响到这个频率特性。

3.基材厚度

基材厚度影响到下面的设计要素。

（1）线宽

为维持给定的特性阻抗，减小线宽要求降低基材厚度。

（2）机械性能

在没有支撑的薄基材上构建的电路可能会弯曲、扭曲或歪曲。这些情况在硬的和刚性的热塑性材料上可能不会存在。

（3）尺寸稳定性

一般薄基材的尺寸稳定性比厚的差。这也会增加制造方的困难或带来成本的提高。

（4）成本

一般来说，单位面积厚的基材比薄的基材成本高。

（5）顺应性

需要形成简单弯曲形状（如圆柱、圆锥等）的电路板，薄板在不破坏基材或铜箔的情况下可弯至更小的曲率半径。

（6）介质击穿

一般平行板的情况，按比例来说薄的介质材料比厚的有更高的介质材料击穿电压。

（7）功率承受能力

高频电路板功率承受能力受以下两个方面的限制，这些限制可以通过增加基材厚度得以缓和。

·高功率可以部分地通过热的形式散发出去。热量是由导体的电阻损耗和基材介质的吸收损耗产生的。电路中功率耗散热量受基材温度的

上升和允许的工作温度限制。宽的信号线可以容纳高功率。然而在给定Z_0和材料时，更宽的信号线需要更厚的基材。宽的信号线也会减小信号衰减。

·高峰值功率电平能导致电晕放电，同时降低基材的使用时间。尤其是微带线或非粘接的带状线（带状线的上介质用机械的方法固定在信号线上，如用压板）的情况，电压梯度可能超过介质空洞中的启辉电压。厚的介质允许通过的更大峰值功率而不引起电晕。

4.环境

电路板装配和运行环境位置都制约着基材的选择。需要考虑的主要材料性能有：

（1）温度稳定性

必须确定运行和工艺最高和最低温度，并且温度极限应该表述为“峰值”或“连续”。应该计算温度极限时电气性能的改变，并与设计要求相比较。电路板可能不要求“间歇性”的温度极限期间工作，因此应用“连续”温度来估计性能。然而应检查板的机械性能在“间歇性”极限温度下的永久损伤。

（2）耐湿和化学性

基材吸收水分应足够低，这样在高湿度环境下电气性能才不会明显

下降。如果需要另外的环境保护措施，可能会引起额外的制造成本和设计折中。打算使用的工艺条件需要与基材的耐化学和耐溶剂性能相兼容。如果为适应较差的耐化学性而进行特殊的测量，制造成本会明显升高。

（3）抗辐射性能

空间或强辐射应用环境，电路板的基材会受到大剂量的电离辐射。应确定和估计离子辐射对基材的机械和电性能的影响。同时应确定辐射剂量的累积影响，并将电路板的有效运行寿命与设计要求相比较。

（4）其他基材性能

在开始选择基材时，虽然不建议详细分析所有相关材料性能，但设计者必须了解其他的电、机械性能，以及制造需要考虑的事项。

·铜箔的附着力必须足够高，以承受使用和加工环境而不会造成永久损伤。

·相对介电常数随温度的变化，可能会在工作温度范围内影响电性能。

·当设计极限环境温度范围、高功率器件，以及制造中使用回流焊或其他高温加工时，应考虑到热膨胀系数。

·表面安装器件和金属化过孔的可靠性问题受热膨胀系数影响。

·当需要考虑散热问题时，基材的导热性会影响设计。

·确定固定（housing）和腔体（mounting）方案时，应估计负重情况下板的变形。

·电阻率可能会影响电性能，尤其是当高阻抗线传输高电压时，如功率放大电路。

·机械性能（抗张、抗压、抗弯强度和模量）因素可能会影响到安装和腔体设计。

·基材的比重决定电路板的重量。

5.成本

设计要求的成本目标不仅包括基材成本，还应包括估算的制造成本。应估算一定数量电路的原型、预生产和生产阶段的成本，以及整个项目的直接成本。

6.供应商

尽量从多个供应厂商选择基材类型。虽然不同供应厂商的基材会由相同的树脂和增强或填充材料组成，也符合相同的产品标准，但基材生产方法上微小的差异会造成电路产生性能和加工特性的不同。因此，如

果开发时间和资金允许，应进行材料的比较研究。选择主要和次要供应商应基于材料成本、项目期间可靠供货评估，以及质量问题和设计辅助等方面的技术支持能力。

表11-1列出了典型的微波材料，包括树脂系统、增强类型、在X波段频率（5.20～10.90GHz）的相对介电常数和最大损耗正切。适合高速和高频应用材料和其规格的一个完整列表可在IPC-4103中查到。

表 11-1　微波材料

材料类型	相对介电常数，ε_r	损耗角正切，$\tan\delta$	IPC-4103 标准单
编织玻璃布增强 PTFE	2.40～2.60	0.0025	/02
无规玻璃丝增强 PTFE	2.15～2.35	0.0015	/04
编织玻璃布增强 PTFE	2.15～2.35	0.0015	/05
陶瓷填充 PTFE	最大 3.0	0.0017～0.003（依赖于 ε_r）	/06
陶瓷填充 PTFE	5.0～7.0	0.003	/07
陶瓷填充 PTFE	8.5～11.0	0.0035	/08

11.2　隔离与屏蔽

电磁屏蔽就是根据金属隔离的原理来控制电磁干扰由一个区域向另一区域感应和辐射传播的方法。屏蔽一般分为两种类型：一类是静电屏蔽，主要用于防止静电场和恒定磁场的影响；另一类是电磁屏蔽，主要用于防止交变电场、交变磁场以及交变电磁场的影响。

静电屏蔽应具有两个基本要点，即完善的屏蔽体和良好的接地。电磁屏蔽不但要求有良好的接地，而且要求屏蔽体具有良好的导电连续性，对屏蔽体的导电性要求要比静电屏蔽高得多。因而为了满足电磁兼容性要求，常常用高导电性的材料作为屏蔽材料，如铜板、铜箔、铝板、铝箔、钢板或金属镀层、导电涂层。

11.2.1　器件布局

由于SMT一般采用红外炉热流焊来实现元器件的焊接，因而元器件的布局会影响焊点的质量，进而影响产品的成品率。而对于射频电路PCB设计而言，电磁兼容性要求每个电路模块尽量不产生电磁辐射，并且具有一定的抗电磁干扰能力，因此，元器件的布局还直接影响电路本身的干扰及抗干扰能力，这也直接关系到所设计电路的性能。因此，在进行射频电路PCB设计时除了要考虑普通PCB设计时的布局外，还要考

虑如何减小射频电路中各部分之间相互干扰、如何减小电路本身对其他电路的干扰，以及电路本身的抗干扰能力。根据经验，对于射频电路效果的好坏，不仅取决于射频电路板本身的性能指标，很大部分还取决于与CPU处理板间的相互影响，因此，在进行PCB设计时，合理布局显得尤为重要。

1.布局总原则

元器件应尽可能沿同一方向排列，通过选择PCB进入熔锡系统的方向来减少甚至避免焊接不良的现象。根据经验，元器件间最少要有0.5mm的间距才能满足元器件的熔锡要求，若PCB板的空间允许，元器件的间距应尽可能宽。如图11-1和图11-2所示，以及见表11-2和表11-3。对于双面板一般应设计一面为SMD及SMC元件，另一面则为分立元件。

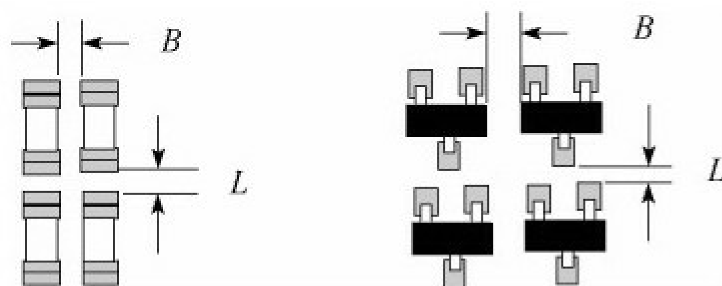


图 11-1 相同器件布局

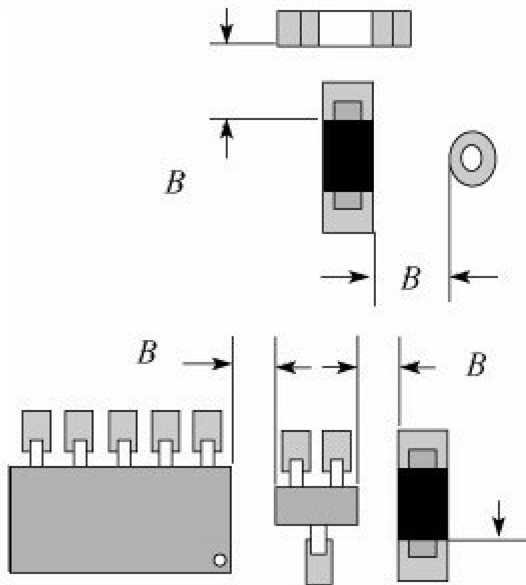


图 11-2 不同器件布局

表 11-2 相同器件间距

封 装	焊盘间距 L（mm/mil）		器件本体间距 B（mm/mil）	
	最小间距	推荐间距	最小间距	推荐间距
0603	0.76/30	1.27/50	0.76/30	1.27/50
0805	0.89/35	1.27/50	0.89/35	1.27/50
1206	1.02/40	1.27/50	1.02/40	1.27/50
≥1206	1.02/40	1.27/50	1.02/40	1.27/50
SOT	1.02/40	1.27/50	1.02/40	1.27/50
钽电容 3216、3528	1.02/40	1.27/50	1.02/40	1.27/50
钽电容 6032、7343	1.27/50	1.52/60	2.03/80	2.54/100
SOP	1.27/50	1.52/60	—	—

表 11-3 不同器件间距

封装尺寸	0603	0805	1206	≥1206	SOT	钽电容	钽电容	SOIC	通孔
0603		1.27	1.27	1.27	1.52	1.52	2.54	2.54	1.27
0805	1.27		1.27	1.27	1.52	1.52	2.54	2.54	1.27
1206	1.27	1.27		1.27	1.52	1.52	2.54	2.54	1.27
≥1206	1.27	1.27	1.27		1.52	1.52	2.54	2.54	1.27
SOT	1.52	1.52	1.52	1.27		1.52	2.54	2.54	1.27
钽电容 3216、3528	1.52	1.52	1.52	1.52	1.52		2.54	2.54	1.27

2.布局中应注意事项

布局需要注意以下事项：

1）首先确定与其他PCB板或系统的接口元器件在PCB板上的位置，必须注意接口元器件间的配合问题（如元器件的方向等）。经常插拔的器件或板边连接器周围3mm范围内尽量不布置SMD，以防止连接器插拔时产生的应力损坏器件。如图11-3所示。

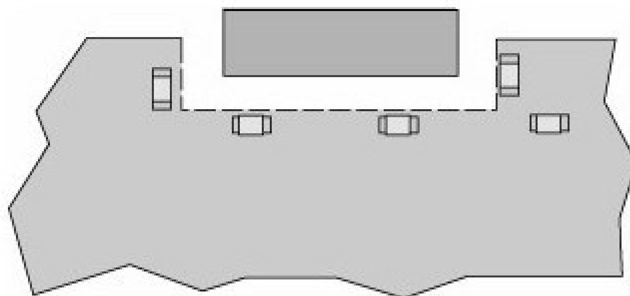


图 11-3 接插件布局

2）因为掌上用品的体积都很小，元器件间排列很紧凑，因此对于体积较大的元器件，必须优先考虑，确定出相应位置，并考虑相互间的配合问题。

3）认真分析电路结构，对电路进行分块处理（如高频放大电路、混频电路及解调电路等），尽可能将强电信号和弱电信号分开，将数字信号电路和模拟信号电路分开，完成同一功能的电路应尽量安排在一定的范围之内，从而减小信号环路面积；各部分电路的滤波网络必须就近连接，这样不仅可以减小辐射，而且可以减少被干扰的几率，提高电路的抗干扰能力。

4）根据单元电路在使用中对电磁兼容性敏感程度的不同进行分

组。对于电路中易受干扰部分的元器件，在布局时还应尽量避开干扰源（比如来自数据处理板上CPU的干扰等）。

5）注意信号走向及器件间的相互作用；感性器件应防止互感，与邻近的电感垂直放置。

6）在接收机输入端插入衰减器，衰减器对无用信号的衰减量比有用信号的衰减量大得多。

例如：3dB衰减器对有用信号的衰减为3dB，但对无用信号的衰减要大大高于3dB。由三个电阻组成的衰减器布局如图11-4所示。

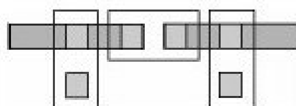


图 11-4 衰减器布局

3.敏感电路

射频信号可以在空气介质中辐射，空间距离越大，工作频率越低，输入/输出端的寄生耦合就越小，隔离度就越大，射频PCB典型的空间隔离约为50dB。对某些敏感电路，有强烈辐射的电路都要采取屏蔽措施，下面列出的这些敏感电路和强烈辐射电路要加屏蔽，但如果有难度时（比如空间限制、成本限制等），可以不加，但要做实验最终确定，这些电路有：

1）接收电路前端是敏感电路，信号很小，要采用屏蔽。

2）对射频单元和中频单元须加屏蔽，接收通道的中频信号会对射频信号产生较大的干扰；反之，发射通道的射频信号对中频信号也会造成辐射干扰。

3）振荡电路是强烈的辐射源，对本振荡要单独屏蔽，由于本振电平较高，对其他单元形成较大的辐射干扰。

4）功放及反馈电路是强烈的辐射源，信号很强，要屏蔽。

5）数字信号处理电路是强烈的辐射源，高速数字信号的陡峭的上下沿会对模拟的射频信号产生干扰。

6）级联放大电路，总增益可能会超过输出到输入的空间隔离度，这样就满足了振荡条件之一，电路可能自激，如果腔体内的电路同频增益超过30～50dB，必须在PCB板上焊接或安装金属屏蔽板，增加隔离度，实际设计时要综合考虑频率、功率、增益情况，决定是否加屏蔽板。

7）级联的滤波、开关、衰减电路，在同一个屏蔽里，级联滤波电路的外带衰减、级联开关电路的隔离度、级联衰减电路的衰减量必须小于30dB。如果超过这个值，必须在PCB板上焊接或安装金属屏蔽板，增加隔离度，实际设计时要综合考试频率、功率、增益情况，决定是否加

屏蔽板。

8）收发单元混排时应屏蔽，数模混排时，对时钟线要包地铜皮隔离或屏蔽。

11.2.2　隔离

电磁兼容中的隔离技术分为磁电、光电、机电、声电和浮地等几种隔离方式。

1.磁电隔离

利用变压器实现磁电隔离，变压器主要由绕在共同铁芯上的两个或多个绕组组成。当在一个绕组上加交变电压时，由于电磁感应而在其他绕组上感生交变电压。因此变压器的几个绕组之间是通过交变磁场互相联系的，在电路上是互相隔离的。其隔离的介电强度取决于几个绕组之间及它们对地的绝缘强度。

隔离变压器由于普通变压器绕组间的寄生电容较大（未加屏蔽层为纳法级，加屏蔽为皮法级），为了提高对高频干扰的隔离效果，可以在普通变压器绕组间增加一层屏蔽，并将该层屏蔽接地（接地线的长度应尽量短，否则因接地线的阻抗分压而使对干扰的衰减变差）而成为隔离变压器。图11-5所示为带屏蔽层的隔离变压器的共模干扰通路。其中，C_1为初级绕组与屏蔽层之间的分布电容；C_2为次级绕组与屏蔽层之间的分布电容；Z_1为屏蔽层接地阻抗；Z_2为负载对地阻抗；e_1为初级干扰（共模型）电压；e_2为次级干扰（共模型）电压。

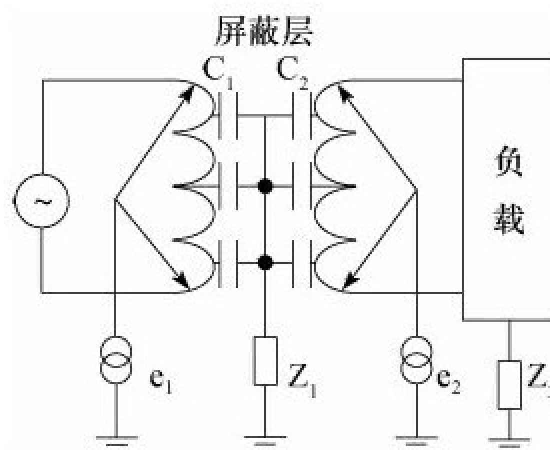


图　11-5　带屏蔽层的隔离变压器

2.光电隔离

光电隔离通过光电耦合器来实现，即通过半导体发光二极管（LED）的光发射和光敏半导体（光敏电阻、光敏二极管、光敏三极管、光敏晶闸管等）的光接收，来实现信号的传递。由于发光二极管和光敏半导体是互相绝缘的，从而实现了电路的隔离。当给发光二极管加以正向电压时，由于空间电荷区势垒下降，P区空穴注入到N区，产生电子与空穴的复合，复合时放出大部分为光形式的能量。给发光二极管加的正向电压越高，复合时放出的光通量就越大，但给发光二极管加的正向电压受其最大允许电流的限制。当光敏半导体，比如光敏二极管，受到光照射时，在PN结附近产生的光生电子-空穴对在PN结的内电场作用下形成光电流。光的照度越强，光电流就越大。当光敏半导体没受到光照射时，只有很小的暗电流。

由于光电耦合器的输入阻抗与一般干扰源的阻抗相比较小，因此分

压在光电耦合器的输入端的干扰电压较小，它所能提供的电流并不大，不易使半导体二极管发光；由于光电耦合器的外壳是密封的，它不受外部光的影响；光电耦合器的隔离电阻很大（约1012Ω）、隔离电容很小（约几个皮法），所以能阻止电路性耦合产生的电磁干扰。光电耦合器的隔离阻抗随着频率的升高而降低，抗干扰效果也将降低。

3.机电隔离

机电隔离一般采用有触点电磁继电器来实现，即电磁继电器的线圈接收信号，机械触点发送信号。由于机械触点分断时，阻抗很大，电容很小，从而阻止了电路性耦合产生的电磁干扰的传输。但是继电器的线圈工作频率较低，不适用于工作频率较高的场合，另外还存在触点通断时的弹跳和火花干扰，以及接触电阻等缺点。

在机械触点分断信号电流的过程中，由于电路电感的存在将会在触点间感生过电压，这个过电压可能会导致触点间隙击穿而产生电弧；当触点间隙加大时，电弧熄灭，触点间电压又升高，电弧又重燃；如此重复，直到触点间距足够大、电流中断时为止。上述过程中，产生的电弧和峰值大、频率高的电压脉冲串将通过辐射和传导对其他电路和滤波器形成强烈的干扰。

机械触点的熄火花电路由电阻R和电容C串联组成。其原理是用电容转换触点分断时负载电感L上的能量，从而避免在触点上产生过电压

和电弧造成的电磁干扰，最终由电阻吸收这部分能量。

4.声表面波滤波器

声表面波滤波器采用具有压电效应的固体材料作基片，在基片上的两端分别设有指叉交错的金属换能器。把交变电信号加到发射换能器上，由于逆压电效应，压电体表面产生变化的应变，就能激发出声表面波。当声表面波在固体表面传播到接收换能器上时，由于正压电效应，在接收换能器上就会得到电信号。由于两个指叉交错的金属换能器在电气上是无联系的，因而实现了电路的隔离。由于指叉换能器具有一个固有的中心频率，当电信号与该中心频率一致时，产生共振，从而发出最强的声表面波。其他频率的声表面波很弱，且被抑制掉。所以声表面波滤波器的隔离效果是很好的。声表面波滤波器作为带通、带阻滤波器、鉴频器和振荡器等，主要应用在电视和通信中。

隔离也包括在空间上拉开距离，在同一个屏蔽腔内布局时使输入端和输出端拉开距离的两种基本方法为如图11-6所示的一字布局和图11-7所示的交叉布局。图11-6中AT为衰减器，A1、A2为放大器。

有时由于空间限制，在同一个屏蔽腔内不能采用一字布局，要采用L形布局，如图11-7所示，图中AT为衰减器，A1、A2为放大器。在同一个屏蔽腔内，不得采用Z形、U形和交叉布局。

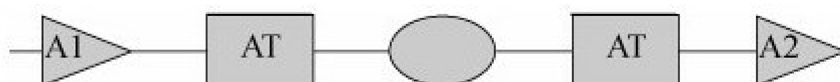


图　11-6　一字布局

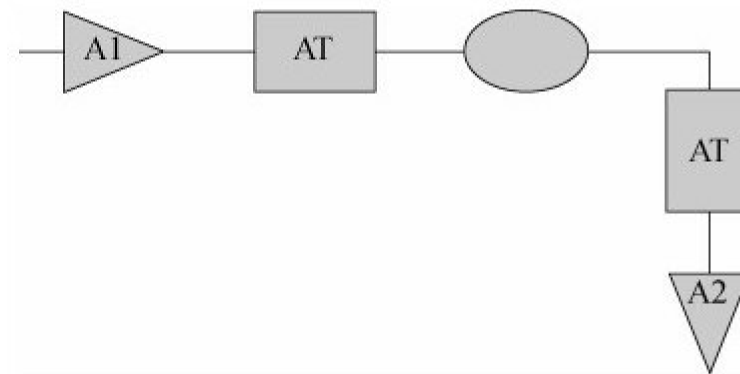


图　11-7　L型布局

11.2.3　屏蔽

在进行PCB设计时，有时不太可能在多个电路区块之间保留足够的隔离空间，在这种情况下就必须考虑采用金属屏蔽罩，将射频能量屏蔽在射频（RF）区域内，但金属屏蔽罩也有副作用，例如：制造成本和装配成本都很高。

外形不规则的金属屏蔽罩在制造时很难保证高精密度，长方形或正方形金属屏蔽罩使零组件布局受到一些限制；金属屏蔽罩不利于零组件更换和故障移位；由于金属屏蔽罩必须焊接在地参考平面上，而且必须与零组件保持适当的距离，因此需要占用宝贵的PCB板空间。尽可能保证金属屏蔽罩的完整非常重要，所以进入金属屏蔽罩的数字信号线应该尽可能走内层，而且最好将信号线路层的下一层设为接地层。

RF信号线可以从金属屏蔽罩底部的小缺口和接地缺口处的布线层走线，不过缺口处周围要尽可能被大范围的接地面积包围，不同信号层上的接地可由多个过孔连在一起。尽管有以上的缺点，金属屏蔽罩仍然非常有效，而且常常是隔离关键电路的唯一解决方案。

1.屏蔽材料和方法

常用的屏蔽材料为高导电性能材料，如铜板、铜箔、铝板、铝箔、

钢板或金属镀层、导电涂层等，静电屏蔽主要用于防止静电场的影响，应注意两个基本要点，即完善的屏蔽体和良好的接地性，电磁屏蔽主要用于防止交变电场、交变磁场或交变电磁场的影响，要求屏蔽具有良好的导电连续性，屏蔽体必须与电路接在共同的地参考平面上，要求PCB中屏蔽地与被屏蔽电路地要尽量地接近。

对敏感电路、强辐射的电路，要设计一个在PCB上焊接的屏蔽腔，PCB在设计时要加上“过孔屏蔽墙”，就是在PCB上与屏蔽腔壁紧贴的部位加上接地的过孔，要求如下：

1）要有两排以上的过孔。

2）两排过孔相互错开。

3）同一排的过孔间距要小于λ/20。

4）PCB与屏蔽腔壁焊接的部位禁止有绿油。

5）射频信号线在顶层穿过屏蔽壁时，要在屏蔽壁相应的位置开一个槽，槽高大于0.5mm，槽宽要保证安装后信号线与屏蔽体间的距离大于1mm，如图11-8所示。

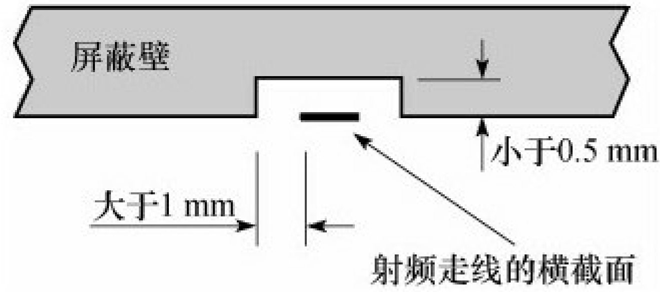


图　11-8　屏蔽壁槽

2.屏蔽腔的尺寸

每块射频PCB都要装在屏蔽腔内，屏蔽腔有数量较多的谐振频率，谐振频率与屏蔽腔的机械尺寸有关，也与PCB的层结构、介质有关，在射频PCB设计中要关注最低谐振频率，当工作频率接近最低谐振频率时，部分能量被吸收，产生衰减的尖峰，从而影响电路的正常工作，因此应选择合适的屏蔽腔尺寸，使其谐振频率不要落在微带电路的工作频带内，图11-9所示的屏蔽腔最低振荡频率为

$$F_{最低} = \frac{C \times \sqrt{1 + (L/a)^2}}{2 \times K \times L}$$

$$K = \frac{1}{\sqrt{1 - (h/b) \times (1 - 1/e_r)}}$$

式中，F最低为屏蔽腔最低谐振频率，单位为MHz；L, a,b分别为单面或双面PCB的长、宽、厚度，单位为mm，且L＞a＞b；C为电磁波在自由空间的传播速度，3×10^{11}mm/s；ε_r为PCB板材的相对介电常数。

这里要特别说明一下b和h，当屏蔽腔内的PCB是多层板时，通常第二层接地，与屏蔽腔体等电位，h就表示PCB的顶层第二层的介质厚，b就是PCB的第二层到屏蔽腔内顶面的高度。

a是个关键尺寸，必须满足：a＜λ/2。“λ”是工作频段高端频率在空气中的波长，如果不满足公式，在盒内就可能产生波导型传播，当反向传播的波构成正反馈时，频带内增益平坦度变坏，在某些频点上出现尖峰，反馈过强时，还容易出现自激振荡。

射频PCB都要装在屏蔽腔内，要选择合适的屏蔽腔尺寸，使其最低谐振频率远高于工作频率，最好10倍以上，屏蔽腔的高度一般为第一层介质厚度的15～20倍，要保证较大的元件能放进去，在屏蔽腔底面积一定的情况下，要想提高屏蔽腔的最低谐振频率，就要增加长宽比，即避免正方形的屏蔽腔。

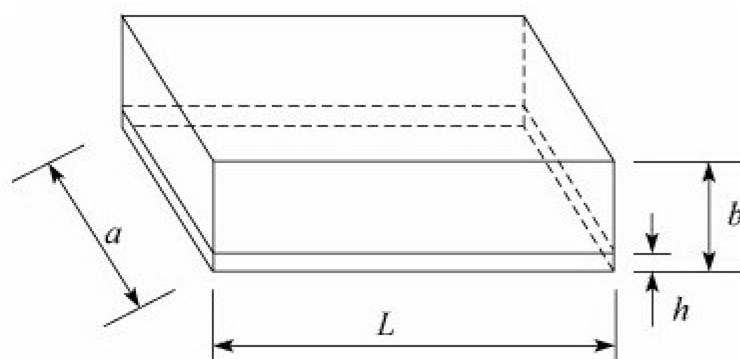


图　11-9　屏蔽腔内壁尺寸示意图

11.3　滤波

滤波电路是解决电磁干扰最有效的方法之一，恰当而有效的芯片电源去耦（decouple）电路也非常重要。许多整合了线性线路的RF芯片对电源的噪声非常敏感，通常每个芯片都需要采用高达四个电容和一个隔离电感来滤除全部的电源噪声。

电感极少平行靠在一起，因为这将形成一个空芯变压器，并相互感应产生干扰信号，因此它们之间的距离至少要相当于其中之一的高度，或者成直角排列以使其互感减到最小。

11.3.1　电源的滤波

随着电子技术的发展，频率越来越高，以前不能对设备形成干扰的噪声和尖脉冲都有可能对设备构成威胁，电源线和控制线是电磁干扰出入电路的主要途径，通过电源或控制线，外界的干扰也可以传入电路，干扰电路正常工作；同样，电路中的干扰也可以通过电源线或控制线传到外部电路，对其他设备造成干扰。

1）可以采用EMI吸收磁珠/环、连接器用的EMI磁片、表面贴装（SMT）EMI元件来抑制信号线、电源线上的噪声和尖峰干扰，它同时具有吸收静电脉冲能力，这种滤波器只允许直流或低频（一般为几千赫

兹）信号通过，而对较高频率的干扰信号则有很大的衰减，使电子设备符合电磁兼容和静电放电的相应国内、国际标准。

2）机箱或箱内单元隔板的出入线上EMI滤波和射频隔离，可以采用螺纹固定方式的穿芯电容。

3）为抑制雷击、浪涌，可以采用突波吸收器。它具有响应速度快的优点，当脉冲电流超过元件的承受能力时，会自动断开，即元件损坏时表现为开路状态。

4）射频PCB的直流电源入口处组合并联三个滤波电容，一般来说，这三个电容的容量相差100倍，利用这三种电容的各自优点分别滤除电源线上的低、中、高频，例如：100pF、0.1μF、10μF电容。

5）用同一组电源给小信号级联放大器馈电，建议先从末级开始，依次向前级供电，且每一级的电源滤波至少有两个电容：0.1μF，100pF。当信号频率高于1GHz时，还要增加100pF滤波电容，10pF的滤波电容有很高的自谐振频率，且最靠近电源脚，如图11-10所示，电源从C4、C5首先进入末级，C9和C8为末级放大器滤波电容，C9靠近末级电源R6的供电脚，C11、C12为前级放大器滤波电容，C11靠近前级电源R11的供电脚。

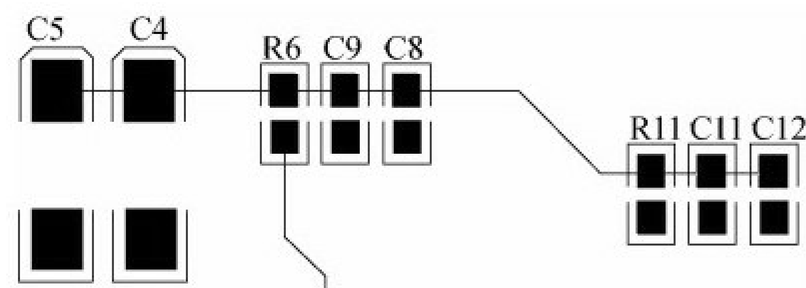


图　11-10　小信号级联放大器电源和滤波

6）应注意退耦、滤波，防止不同单元通过电源线产生干扰，电源布线时电源线之间应相互隔离。

7）功放模块的电源滤波电容至少有三个元件，10μF、0.1μF、100pF一定要靠近相关管脚，且高频小容量电容100pF最靠近，当信号频率高于1GHz时，还要增加10pF滤波电容。

11.3.2　线路的滤波

数据线、时钟线、使能线在射频PCB中，是关键信号线，走线除了遵从数字PCB设计规则外，还要注意以下几点：

1）增加隔离措施，保证数据线、时钟线、使能线上不能有其他信号存在，从屏蔽腔外部接到PCB的数据线、时钟线、使能线，要经过安装在屏蔽壁上的穿芯电容，还有一种简单的方法是在数据线、时钟线、使能线上加RC低通滤波器，如图11-11所示，当然电阻电容的值要保证正确的编程时序。

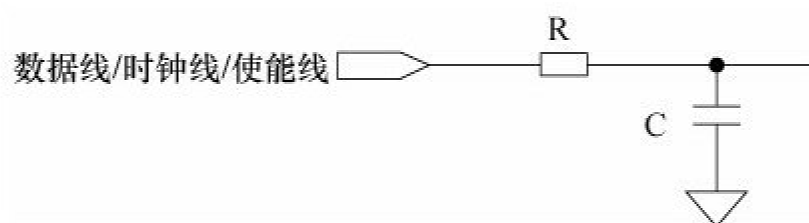


图　11-11　低通滤波器

2）数据线、时钟线、使能线不能在数字频率合成器芯片、晶体、晶体振荡器、变压器、光耦、电源模块等器件底部表面层走线。数据线、时钟线、使能线要避免与同一层或相邻层的模拟信号线交叉走线。

11.4 接地

接地是电路或系统正常工作的基本要求之一，也决定了EMC性能的高低。线路接地是为泄放电荷或建立电路基准电平而设置的导线连接。在电子设备中，恰当良好的接地是抑制电磁噪声和提高抗扰度的重要方法；相反，不良的接地是电磁干扰传播的主要途径，甚至接地本身就成为主要干扰源。

理想的接地平面是一个零电位的物理体，任何干扰信号电平通过它，都不会产生电压降，实际的接地平面，有时在两接地点要产生几微伏甚至更大的电位差。对于一个设计师，应考虑和分析地电位分布，以便寻找接地平面上的低电平点，作为敏感电路或设备的接地点。

通常采用的接地方式有：浮地、单点接地、多点接地及混合接地。

·浮地的目的是将电路（或设备）与公共地，或可能引起环流的公共导线隔离开来，为了消除静电积累的影响，需要在设备与大地之间接一个阻值很大的泄放电阻。

·电路在低频工作时（地线长度小于工作频率λ/20时）一般采用单点接地。

·地线长度大于0.15λ时，采用多点接地。

·对于工作频率范围很宽的电路，考虑采用混合接地。

·对于射频电路接地，要求接地线尽量要短或者大面积接地。

11.4.1　就近接地

在高频电路中必须使用多点接地，并且要求每根接地线的长度小于信号波长的1/20。按照电路结构分布的电流的大小将整个电路分为N组，各组电路就近接地形成回路，但要调整各组内滤波电容方向，缩小地回路。如图11-12所示。接地线要短而直，禁止交叉重叠，减少公共地阻抗所产生的干扰。

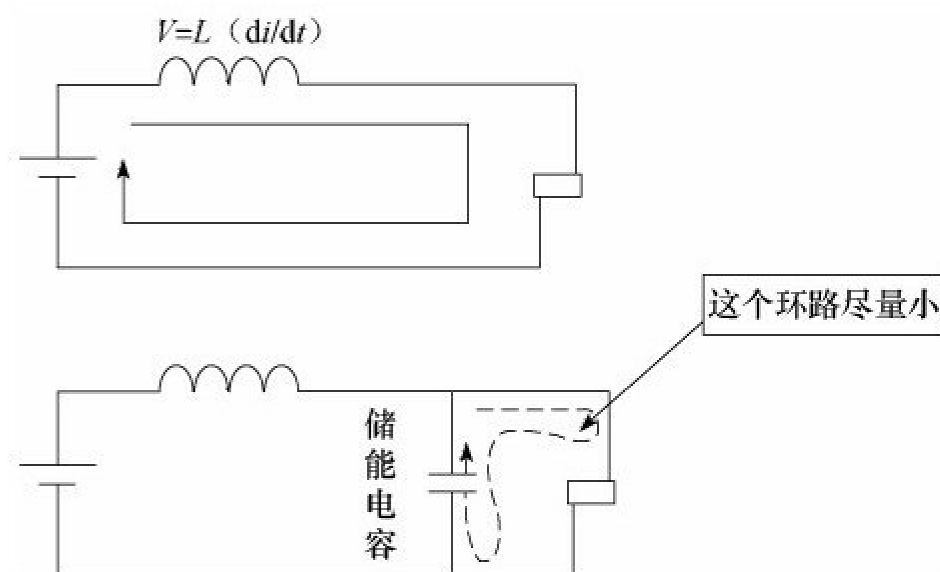


图　11-12　减少回路

11.4.2 大面积接地

为减小地平面的阻抗，达到良好的接地效果，要遵从以下规则：

·射频PCB的接地要求大面积接地。

·在微带印制电路中，底面为接地面，必须确保完整的地平面。

·由于趋肤效应的存在，要将地平面镀金或镀银，导电良好，以降低地线阻抗。

·使用紧固螺钉，使其与屏蔽腔腔体紧密结合。

11.4.3　地平面的分布

射频双面PCB，顶层为信号层，底面为地平面，如果没有非接地的过孔，则整个底面都不要绿油，整个板紧贴在屏蔽腔的底面上，以进一步减少地阻抗。

射频四层PCB，顶层为信号层，第二层和第四层为地平面，第三层布电源、控制线。特殊情况下在第三层要布一些射频信号线，但缺点是过孔对信号有影响，另外测度结果表明，带状线的平坦度较差，每层都大面积敷地。

随着设备的复杂和小型化，已出现更多层的射频PCB，如六层和八层，还有可能用HDI（高密度互联）工艺做成的射频PCB。

11.4.4　射频接地

表面射频器件和滤波电容需要接地时，为减小器件接地电感，要求：

·每一个焊盘至少要有两根花盘脚接敷地铜皮，如果工艺上允许，则采用全接触方式接地。

·用至少两个金属化过孔在器件管脚旁就近接地。

·增大过孔孔径和并联若干过孔。

·有些元件的底部是接地的金属壳，要在元件的投影区加一些接地孔，表面层的投影区内没有绿油。

11.4.5　接地应注意的问题

·在工艺允许的前提下，缩短焊盘边缘与过孔焊盘边缘的距离；接地的大焊盘必须直接盖在至少6个接地过孔上。

·接地线需要走一定的距离时，应缩短接地线长度，不能超过λ/20，以防止天线效应导致的信号辐射。

·除特殊用途外，不得有孤立铜皮，铜皮上一定要加地线过孔；禁止地线铜皮上伸出终端开路线头，在开路终端上加一个接地过孔即可。

·输入和输出射频电缆屏蔽层，在PCB上的焊接点就在走线末端周围的地线铜皮上，焊接点要有不少于6个过孔接地，保证射频信号接地的连续性。

·微带印制电路的终端单一接地孔直径必须大于微带线宽，或采用终端大量成排密布小孔的方式接地。

11.5　布线

布线的基本原则是，在组装密度许可情况下，尽量选用低密度布线设计，并且信号走线尽量粗细一致，有利于阻抗匹配。对于射频电路，信号线的走向、宽度、线间距的不合理设计，可能造成信号传输线之间的交叉干扰；另外，系统电源自身还存在噪声干扰，所以在设计射频电路PCB时，一定要综合考虑、合理布线。布线时，所有走线应远离PCB板的边框2mm左右，以免PCB板制作时造成断线或有断线的隐患。

电源线要尽可能宽，以减少环路电阻，同时使电源线、地线的走向和数据传递的方向一致，以提高抗干扰能力；所布信号线应尽可能短，并尽量减少过孔数目；各元器件间的连线越短越好，以减少分布参数和相互间的电磁干扰；对不相容的信号线应尽量相互远离，且尽量避免平行走线，而在正反两面的信号线应相互垂直；布线时在需要拐角的地方应以135°角为宜，避免拐直角。

11.5.1　阻抗

PCB信号走线的阻抗与板材的介电常数、PCB结构、线宽等有关，一般射频信号走线尽量布在表面层，在某些情况下可以走内层，最常见的是第三层走带状线，阻抗都为50Ω。

表11-4列出典型PCB的阻抗（50Ω）控制的参数，可以直接套用这些数据。

表 11-4　板材数据

板材	相对介电常数	厚度/mm	线宽/mil
RO4350	3. 48	层厚 0. 8	75
FR4	4. 25	板厚 1. 0	60
TLX-8-0310-C1/C2	2. 55	板厚 0. 8	87
FR4	4. 25	层厚 0. 35	27
FR4	4. 25	层厚 0. 36	27
FR4	4. 25	带状线 0. 36 + 1. 13 + 0. 36	18

11.5.2　转角

射频信号走线如果走直角，拐角处的有效线宽会增大，阻抗减小，引起反射，因此要对转角进行处理，有两种转角方法：切角和圆角。

切角适用于较小的弯，切角如图11-13a所示，切角的适用频率可达10GHz。圆角走线按图11-13b所示可以保证走线宽度的一致。

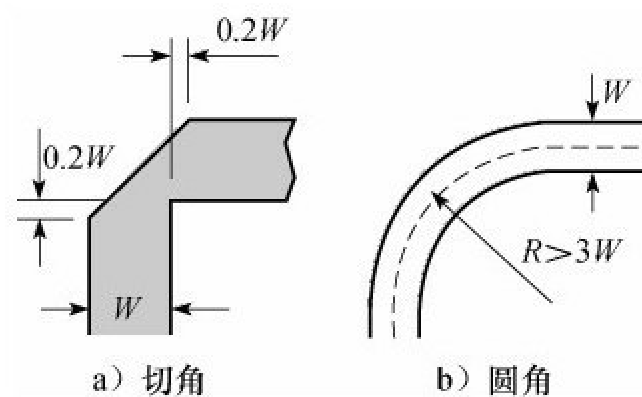


图　11-13　转角

11.5.3　微带线布线

PCB顶层走射频信号，射频信号下面的平面层必须是完整的接地平面，形成微带线结构，如图11-14所示，要保证微带线的结构完整性，必须做到：

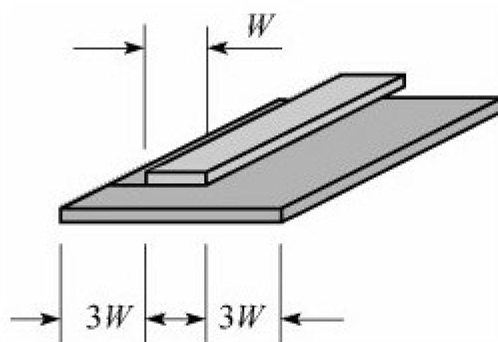


图　11-14　微带线的结构完整性

1）微带线两边的边缘离地平面边缘至少要有3W宽度（W为线宽）。

2）在3W范围内，不得有非接地的过孔。

3）禁止射频信号走线跨第二层的地平面缝隙。

4）微带线边沿电场向两侧延伸，非耦合微带线间要加地铜皮，并在地铜皮上加地过孔。

5）微带线至屏蔽壁距离应保持2W以上。

11.5.4　微带线耦合

常用于检测大功率信号的强度、驻波。在要求不高、耦合度大于20dB的情况下可以用两条靠近PCB走线做成微带耦合器，如图11-15a所示，当要求有定向性时，耦合长度L=λ/4。W为耦合线条的宽度，一般要保证微带线的阻抗为50Ω。

11.5.5　微带线功分器

在要求不高的情况下，可以用PCB走线做微带线功分器，如图11-15b所示，要保证阻抗满足下列要求：

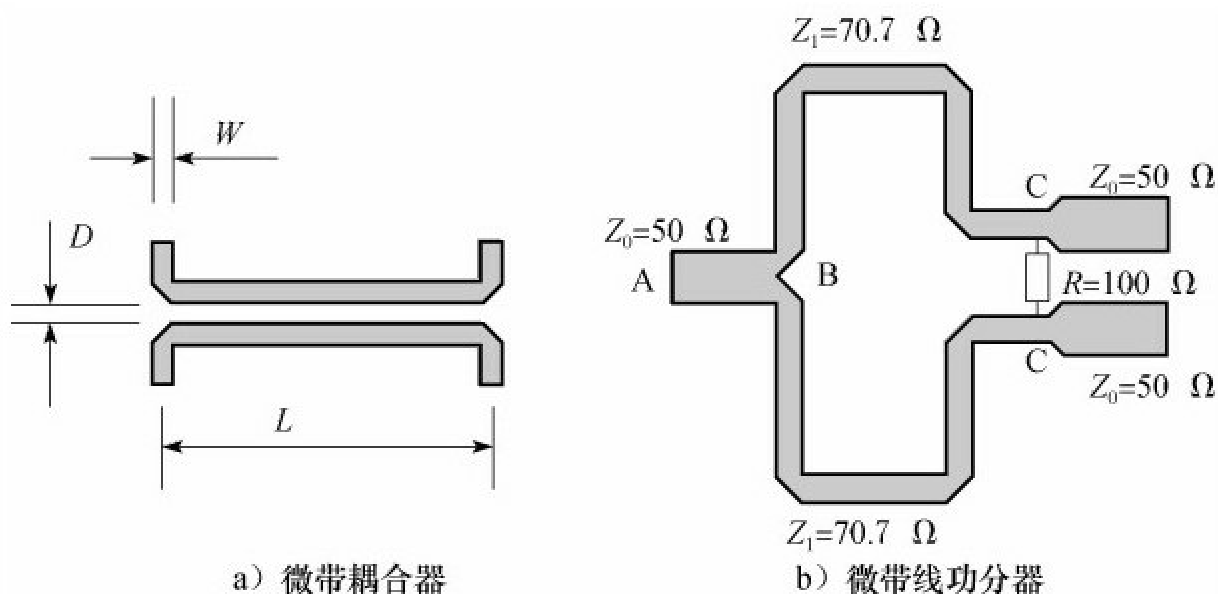


图　11-15　微带线耦合器和功分器

Z_0=50Ω

$$Z_1 = 2^{\frac{1}{2}} Z_0 = 70.7\ \Omega$$

从功率合成点B到电阻C点之间的走线距离L_{BC}应满足：$L_{BC}=\lambda/4$。电阻阻值为100Ω。

如图11-16所示，微带线段a等效电路元件为d，细微带线的特征阻

抗Z_0较高，微带线具有串联电感作用；宽微带线的特征阻抗低，等效为并联电容。微带线并联支路分支b等效电路元件为e，特征阻抗等效为容抗。微带线并联短路分支C的等效电路元件为f，特征阻抗等效为感抗。

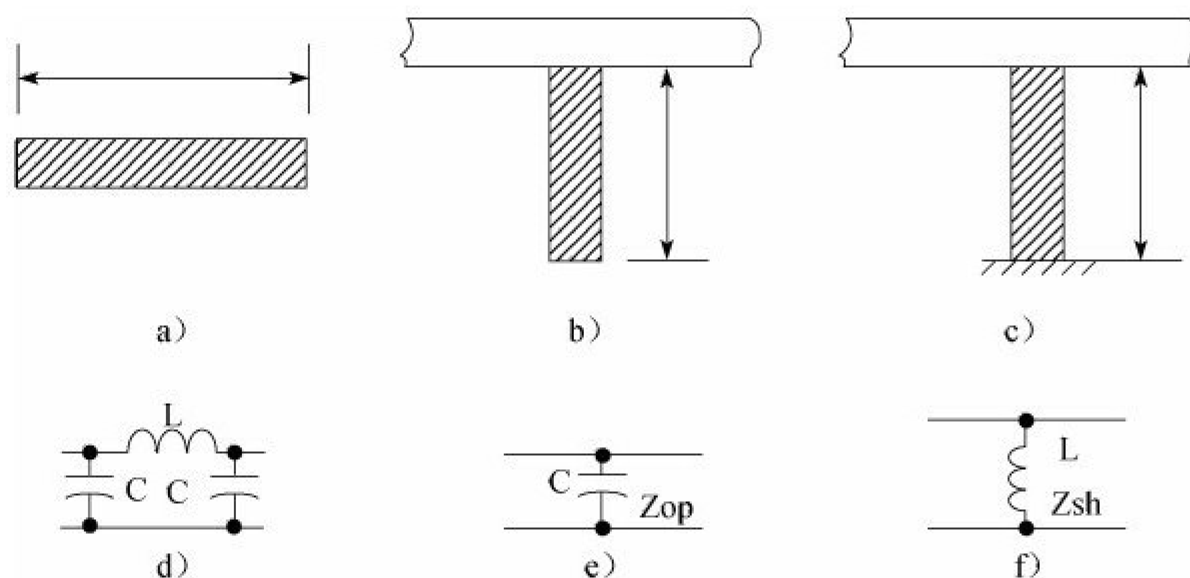


图　11-16　微带线元件

用这三种微带元件，即可组成变化多端的各种微带电路，这些微带电路具有一定的滤波作用，应用最广泛的微带元件是λ/4微带线，下面是一个应用实例。

周期正弦波间隔四分之一波长（90°）处的两点，互相之间的影响最小。

当λ/4微带一端直接接地，或通过高频滤波电容（如100pF）接地，即一端交流接地时，另一端相当于交流开路，对线长等于λ/4的信号来说具有电感效应，其典型应用是小信号放大管或功放管的偏置与供电电

路，如图11-17所示。

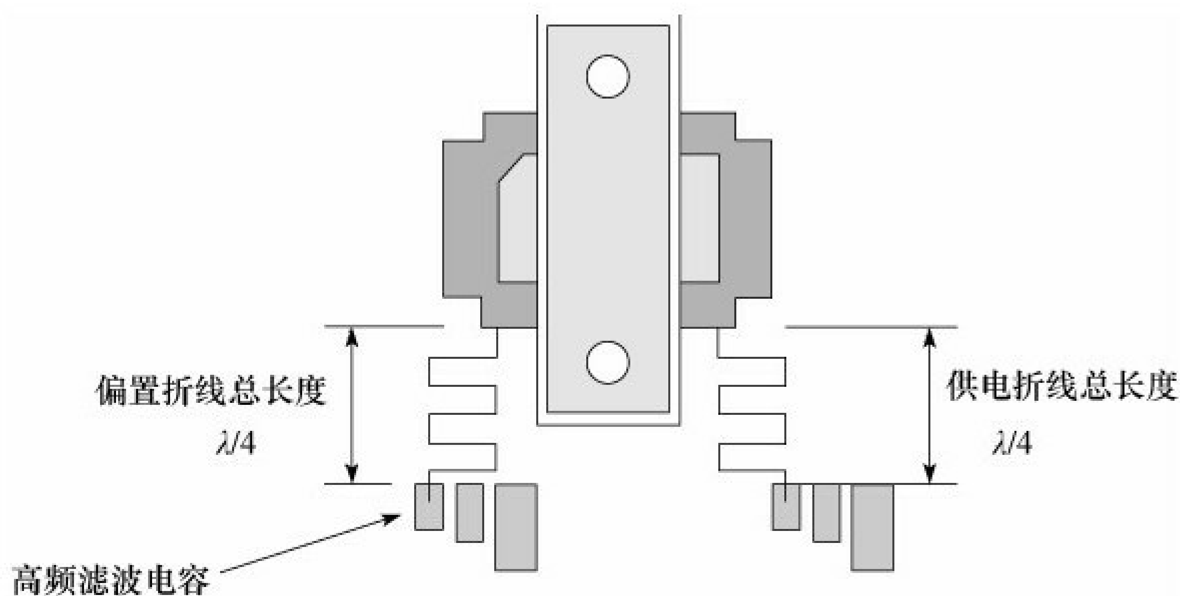


图　11-17　功放管偏置走线

PCB设计要点如下：

·功放管的输出端偏置走线长度为λ/4，是最近的高频滤波电容到信号走线或匹配铜皮的距离。

·功放管的输入端偏置走线长度为λ/4，是最近的高频滤波电容到信号走线或匹配铜皮的距离。

·并联的组合滤波电容要排列在一起，要注意排列次序，如图11-17所示，λ/4的高阻线要直接从高频滤波电容的脚上拉出来。

11.5.6　带状线布线

有些射频信号要从PCB的中间层穿过，最常见的是从第三层走，第二层和第四层必须是完整的接地平面，即偏心带状线结构，如图11-18所示。要保证带状线的结构完整性，必须做到：

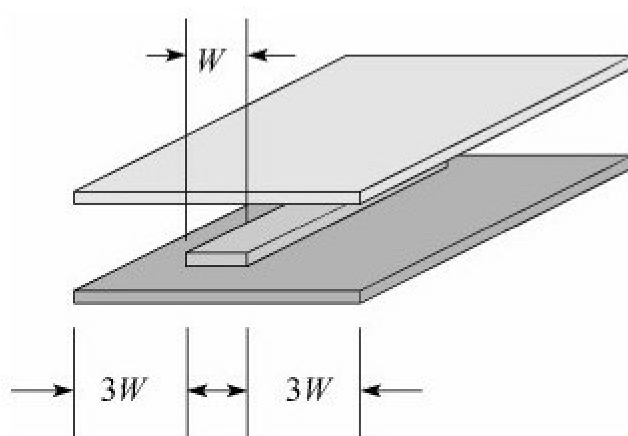


图　11-18　带状线结构的完整性

·带状线两边的边缘离地平面边缘至少要有3W宽度（W为线宽）。

·在3W范围内，不得有非接地的过孔。

·禁止射频信号走线跨第二层或第四层的地平面缝隙。

11.5.7 信号线处理

射频信号走线两边包地铜皮，要求地铜皮到信号走线间隔大于等于1.5W，地铜皮边缘加地线孔，孔间距小于λ/20，均匀整齐排列；地线铜皮边缘要光滑、平整，禁止尖锐毛刺；除特殊用途外，禁止射频信号走线上伸出多余的线头。

11.5.8　其他设计考虑

在丝印上增加"RF"字符，用于PCB加工和检验时，按射频PCB的专用要求执行。

由于射频器件的工作频率很高，器件内部输入端不能直接加保护电路，比其他器件更易受到静电击穿。因此PCB设计时，丝印要加醒目的防静电标志。

1.抗电磁干扰布局布线的基本原则

抗电磁干扰布局布线的基本原则如下：

1）走线的过孔尽量少，过孔越少，产生的板间电磁干扰越少。在过孔数不变的情况下，稀疏的排布可减小板老化破损的可能。

2）走线的设计应尽量减少形成信号环路，相邻两层间走线，一横一纵垂直分布，以降低电磁干扰，也便于走线。

3）根据电路工作特性进行分区设计，避免各部分工作电路相互干扰。

4）器件的布局应注意初次级电路的隔离。

2.具体原则下的布线技巧

一般地，六层板设置第一层为元件面，第二层为地层，第三、四层为走线层，第五层为电源层，第六层为焊接面。地层和电源层很好地屏蔽了因第三、四层大量走线产生的电磁辐射；地层比电源层更多地吸收电磁辐射，因而地层置于上方使PCB向外辐射更少。但根据具体情况，常做一些调整，比如，将第三层设置成第二个地层，或是将第六层设置为第二个地层等。

（1）层内平行，层间垂直

布线时若任意两端间的连接在不同的层里更换，若为N次，那么除去这两端将有N-1个过孔，设有这样的连接端A、B，忽略两点是否在同一平面上（包括元件面和焊接面）。如图11-19所示。

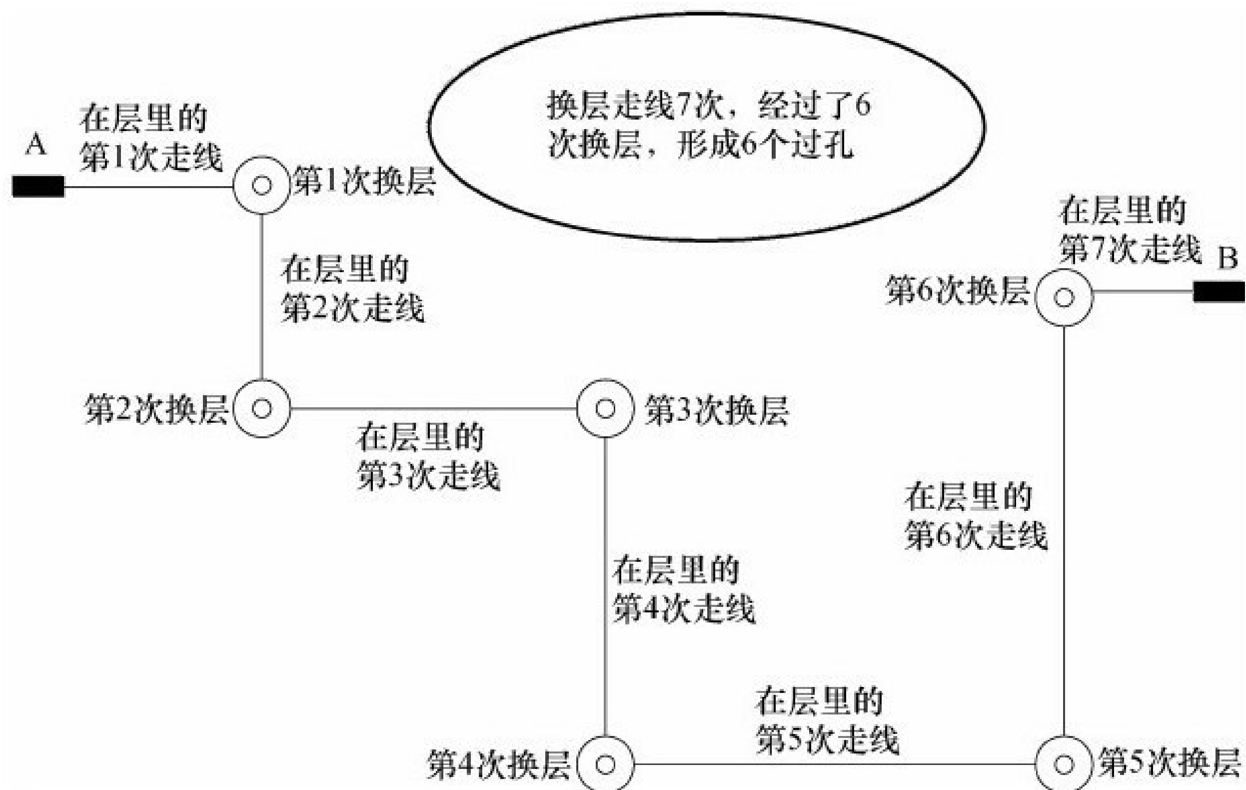


图　11-19　走线过孔

深浅两色走线分别为六层板两个相邻层上的走线，任意两点A_n、B_n，过孔O_n（n=1，2，3，…），都可通过分别在这两层上的两根连线A_nO_n、B_nO_n连接，而必须要遵守的规则就是深色线走横向，浅色线走纵向。如图11-20所示。

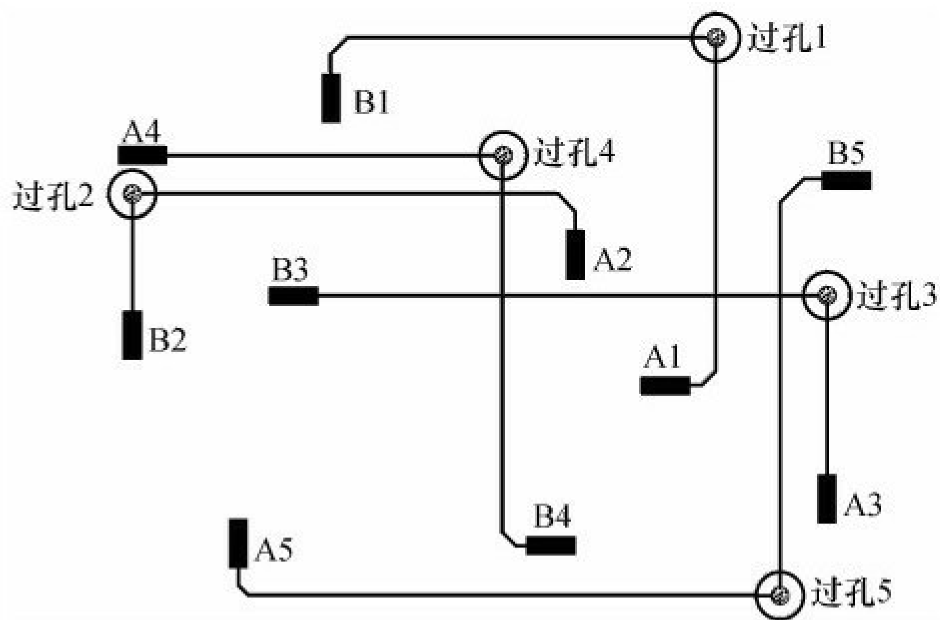


图　11-20　板层走线

在同一层要保证线走向一致，除了减小错杂弯曲的电流间会造成的强辐射、强干扰，主要是考虑到遵循这一规则，可以使所有连接的点没有障碍地连接。因为横线相互平行，不会阻拦，并且在如图11-20的情况下，即使增加点间的新连线，或是增加新点间的连线都是相对简单的事。连接B_3和新端点B_6，增加走线，如图11-21所示。

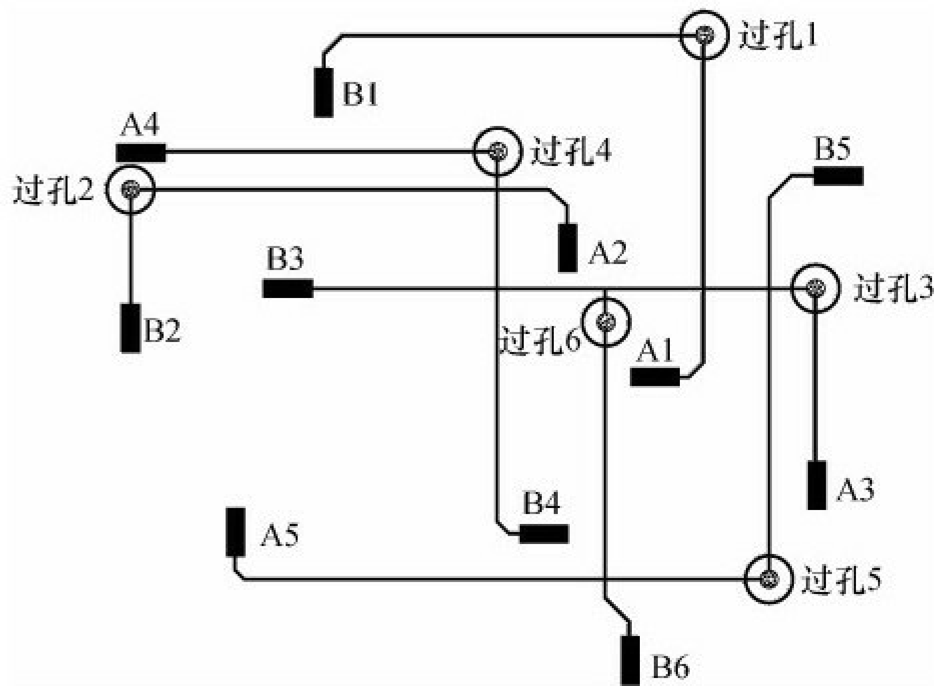


图　11-21　增加走线

这种简捷的PCB布线方式减少了造成信号环路的可能，于是起到了降低大电流走线对其他部分电路的干扰的作用。

（2）减少过孔

要减少过孔，并防止其过度密集，首先，坚持层间横纵垂直走线的原则，取N=2，减少过孔数。其次，连接两点的过程中，尽量少换层走线，以减少过孔数。最后，在无法避免建立过孔，而过孔又集中的区域，下面列出过孔在PCB上团状分布，在较小区域密集的a、b、c、d四种情况。在特定状况中，减少孔数，或协调过孔位置排列如下：

1）大芯片的引脚周围。一般地，PCB表面即1、6层上不走线，因

为对于表面的走线通电后缺少有效遮蔽，会造成电磁辐射。同时，这两层也应分别用大面积地来处理，以降低电磁辐射，提高电磁兼容性。因而，1、6层上的走线仅限于“表面贴装器件的引脚——换层走线的过孔”之间，如图11-22所示中的“2”。

将过孔置于芯片丝印内，如图11-22中的“1”，则走线和过孔都被器件遮盖，对减小电磁辐射起到了一定的作用。

图11-22中的“2、3”八个过孔分别横向和纵向排布，以“2”为例是为了方便附近的横向走线通过；以“3”为例是为了方便附近的纵向走线通过。

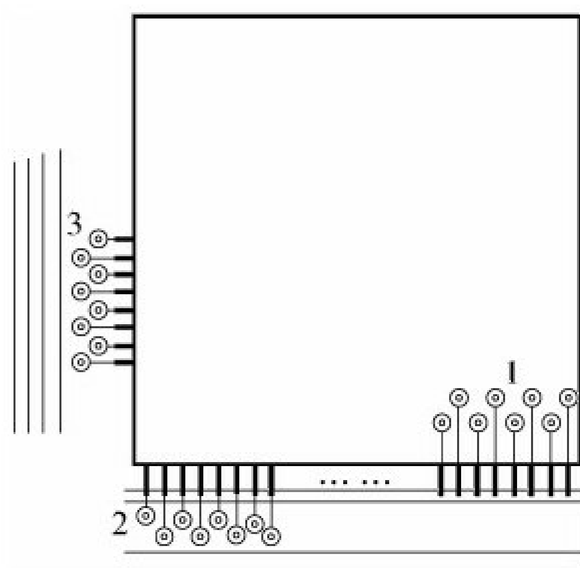


图　11-22　过孔和走线

2）层间换线的拐弯处。图11-23的放大处是相邻两层走线建立过孔的区域，如何将这些过孔像走线一样理顺，并规则排列，则可以根据具

体情况，灵活处理。

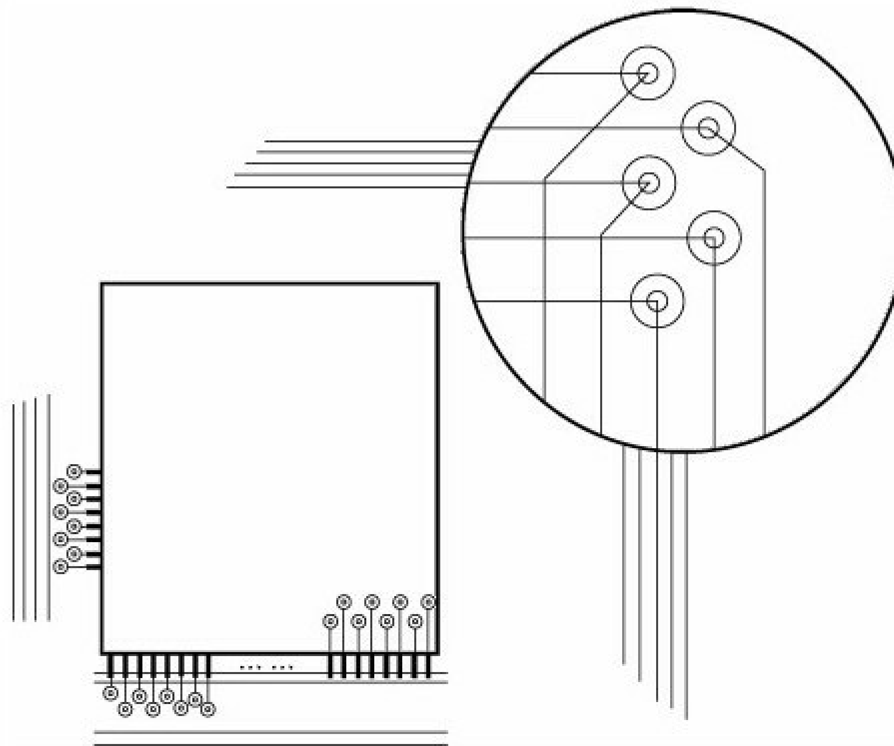


图 11-23 过孔走线

3）贴片电阻、电容集中区域。PCB面积压缩造成的贴片器件分布紧密，如图11-24所示，将相连的器件紧靠放置，这样连线1、2、3便缩短，两端就不需要过孔存在而连接。

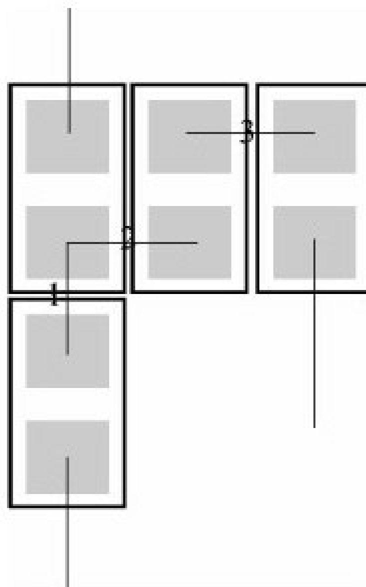


图　11-24　贴片走线

用于电磁兼容的电阻电容在工作频率不是很高的情况下，电阻电容紧靠相关器件排布，这些电阻电容一端常与地（或电源）相连。如图11-25所示，可以先将它们相互连接，然后通过一个孔O_1接地（或电源）。否则，每一个都打孔接地（或电源）的话，就增加了过孔O_2～O_5。

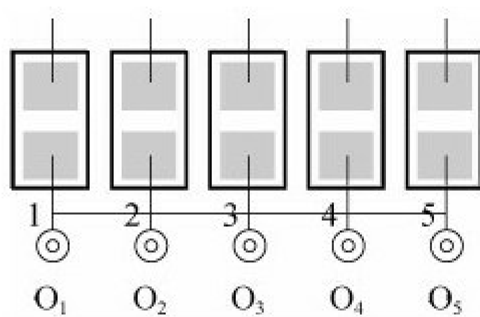


图　11-25　走线

根据电路特性PCB布局将硬件分区，结构复杂的逻辑电路，其电

阻、电容相对集中。

注：贴片器件放在焊接面时注意其间间隔，否则布线困难并造成工艺实现困难。

（3）电源层，地层的走线

电源层、地层具有类似特性，以电源层为例，常见有+24V、+5V、+3.3V、-12V，基本按其包括的孔数由少到多，逐渐布大面积。对于实在无法相连的点，可以在其他层通过走线连接，有时甚至还要改变过孔的位置。

对于+24V这样的高电压电源区域，应根据电流情况决定走线的宽度，其余如+5V、+3.3V、-12V可略微减小，但对于这些需要良好接触的大面积，理想状态是连接径口越宽越好。同时要注意检查区域中是否有的过孔或插装孔堵塞了电源的连通，并加以修改。

3.布线的顺序

布线按照以下顺序来进行：

1）先局部，按电路特性功能，在某一逻辑结构内布线。

·短距离的走线。

·对应的几组线有规律排列的，比如数据线，一般的数据线不会太

长，在布局的时候就会有所考虑。

·单个，无规律，远距离的。

2）再在各个局部之间布线。一般情况下，局部电路之间的这些走线都较长，较曲折。

3）在布局过程中也应考虑与电源层和地层相连的线。某一层上基本平行的走线，假设为横向的话，则大致以纵向的顺序选择走线初始端布线，反之亦然。布线过程中，相对平行的走线越紧密，就可以为布线节省更多的空间。

4.初次级间的隔离

初次级间的隔离在布局时基本可以达到，走线同时要注意，使初次级之间形成一条“人为沟壑”，要保证电器间隙的爬电距离。

5.加粗一些线

加粗数据线、高频信号线；电源线、地线；小信号经过的线；大电流电路部分。短粗的走线，受到的电磁干扰相对少，在空间允许的情况下，任何线均可加粗。

11.6　射频设计实例

无线智能终端能够借助GPRS/CDMA-1X等无线公用网络，实现点对点、点对多点、中心对多点的无线数据传输，能够满足人们对于零散的、地理分布范围广的设备、终端、仪器仪表、车辆等移动目标、无人值守的作业工具和场所等进行实时集中式管理、网络化运营及远程控制的需求。

11.6.1　系统结构

无线应用平台为无线终端的应用建立了必需的网络传输通路，确保了用户数据的安全和畅通。该平台为用户提供了无线数据接入服务和应用系统的托管服务。

借助平台提供的无线数据接入服务，用户的应用系统可以通过INTERNET同平台通信接入前置机建立虚拟专线链路，以获取远程设备的数据。如图11-26所示。

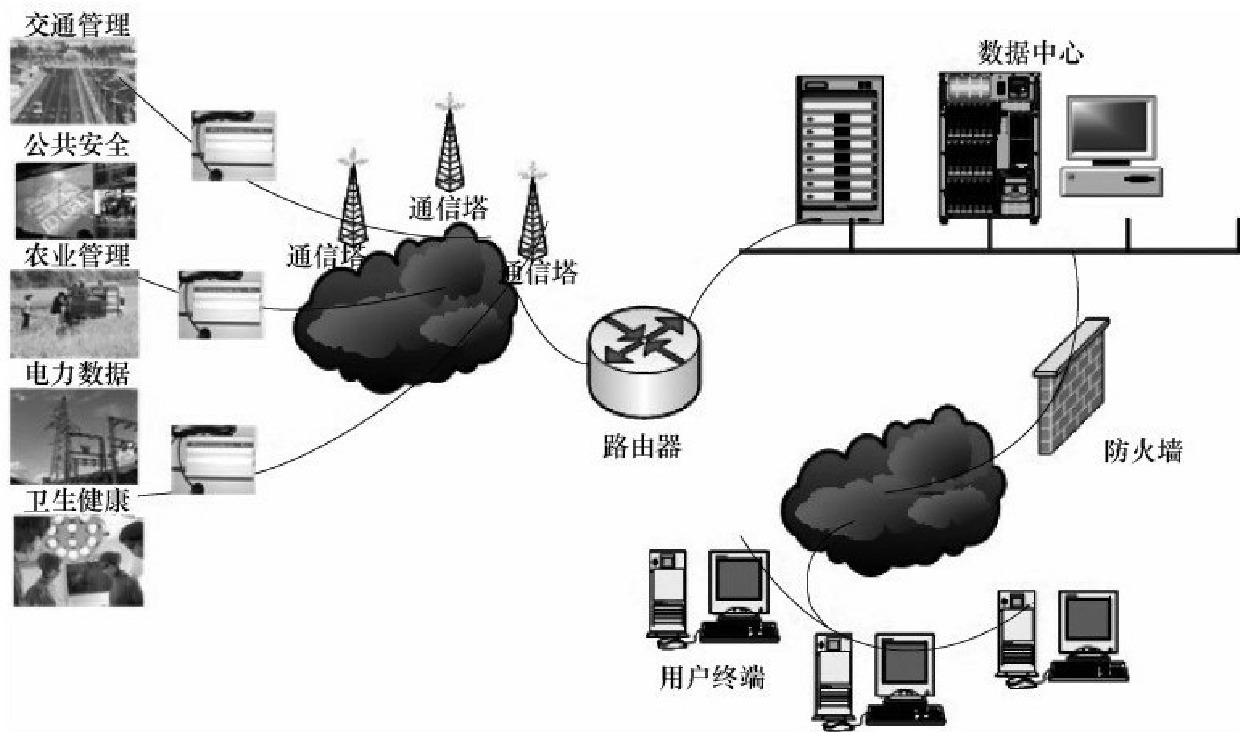


图 11-26 网络结构图

11.6.2　无线终端硬件设计

该数据传输终端主要由单片机系统和GPRS模块等组成，单片机通过总线协议获取设备的状态、数据信息，对数据进行编码后，通过GPRS模块以IP协议发送至控制中心。在单片机与GPRS模块之间是通过PPP协议（点对点协议）进行通信的。单片机程序中嵌入了IP协议和PPP协议简化内核。

1.终端硬件结构

图11-27所示的基于嵌入式系统的终端，以嵌入式处理器AT91SAM7S128为核心，分别与GPRS通信模块、存储器、电平转换芯片等接口连接，实现数据的采集以及无线传输的功能。

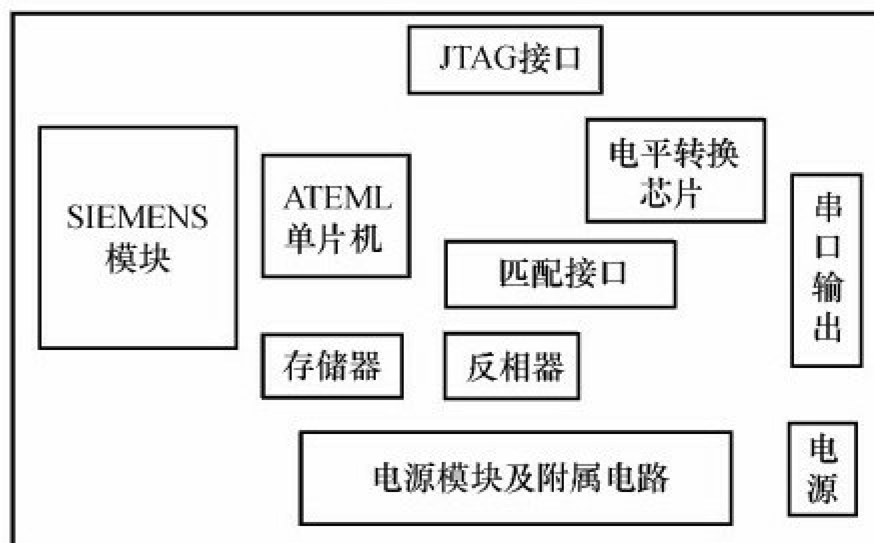


图　11-27　无线终端框图

2.单元电路设计

一般把规模较小、功能单一的电路称为单元电路。而功能复杂，由若干个单元电路（功能块）组成规模较大的电子电路称为电子系统。单元电路的工作状态决定了系统的工作稳定性和可靠性，必须做好单元电路的设计，以满足EMC的要求。

（1）模块电源电路设计

电源电路的设计采用了LDO电源芯片，输出稳定可靠。如图11-28所示。图中ZR为压敏电阻，主要作用是过压保护及滤波的功能。C4、C29为输入滤波电容，是储能和去耦的功能；C5、C28是输出滤波电容，是去耦和储能功能。作为电源电路，电容去耦是必不可少的设计。详细电路设计要求参考第3章的电源电路设计部分。

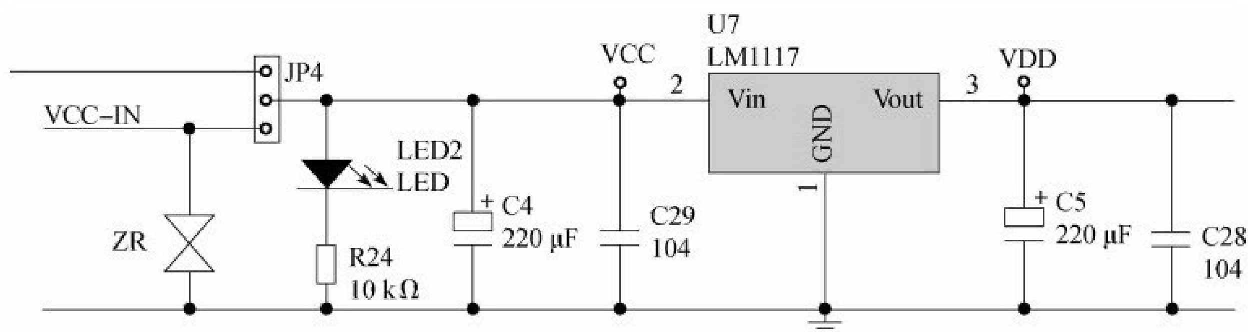


图　11-28　电源电路原理图

（2）控制部分设计

控制部分选择ATMEL公司的AT91SAM128作为核心芯片，完成对

数据的处理与控制功能，芯片主要性能参数为：

·集成了ARM7TDMI®ARM®Thumb®处理器；

·64K字节的片内高速Flash存储器，共512页，每页128字节；

·16K字节的片内高速SRAM，可以在最高时钟速度下进行单时钟周期访问操作；

·存储器控制器（MC）；

·复位控制器（RSTC）；

·时钟发生器（CKGR）；

·电源管理控制器（PMC）；

·先进的中断控制器（AIC）；

·实时定时器（RTT）；

·一个并行输入/输出控制器（PIOA）；

·两个通用的同步/异步收发器（USART）；

·主/从串行外设接口（SPI）；

·一个两线接口（TWI）；

·一个8通道的10位模数转换器，其中4个通道与数字I/O复用；

·IEEE 1149. 1 JTAG边界扫描支持所有的数字引脚；

·5V兼容的I/O，包括4个高达16mA的大电流驱动I/O。

单片机的设计遵循以下两个原则：第一，尽量减少引起系统不可靠或影响系统可靠的外界因素；第二，尽量提高系统自身抗干扰能力及降低自身运行的不稳定性。例如，为了抑制电源的噪声和环境干扰信号而采用的滤波技术、隔离技术、屏蔽技术等都是出于第一个目的；另外，针对系统自身而采用的看门狗电路、软件抗干扰技术、备份技术等均是出于第二个目的而采取的措施。详细设计参考第三章的单片机部分。如图11-29所示。

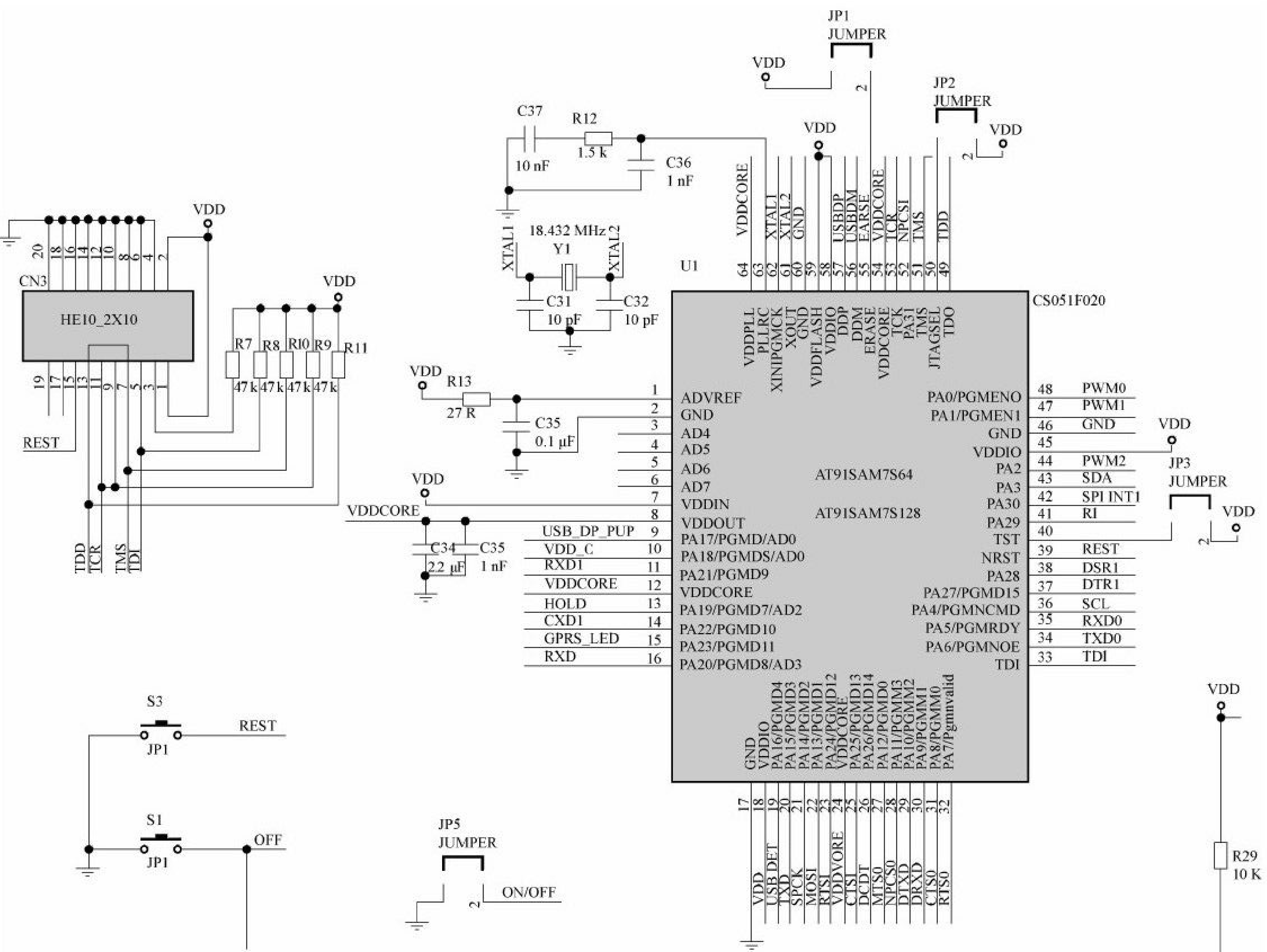

U1
CS051F020
AT91SAM7S64
AT91SAM7S128
ADVREF
GND
AD4
AD5
AD6
AD7
VDDIN
VDDOUT
PA17/PGMD/AD0
PA18/PGMDS/AD0
PA21/PGMD9
VDDCORE
PA19/PGMD7/AD2
PA22/PGMD10
PA23/PGMD11
PA20/PGMD8/AD3
PA0/PGMENO
PA1/PGMEN1
GND
VDDIO
PA2
PA3
PA30
PA29
TST
NRST
PA28
PA27/PGMD15
PA4/PGMNCMD
PA5/PGMRDY
PA6/PGMNOE
TDI
VDDPLL
PLLRC
XINIPGMCK
XOUT
GND
VDDFLASH
VDDIO
DDP
DDM
ERASE
VDDCORE
TCK
PA31
TMS
JTAGSEL
TDO
GND
VDDIO
PA16/PGMD4
PA15/PGMD3
PA14/PGMD2
PA13/PGMD1
PA24/PGMD12
VDDCORE
PA25/PGMD13
PA26/PGMD14
PA12/PGMD0
PA11/PGMM3
PA10/PGMM2
PA9/PGMM1
PA8/PGMM0
PA7/Pgmnvalid
PWM0
PWM1
GND
PWM2
SDA
SPI INT1
RI
REST
DSR1
DTR1
SCL
RXD0
TXD0
TDI
USB_DP_PUP
VDD_C
RXD1
VDDCORE
HOLD
CXD1
GPRS_LED
RXD
VDDCORE
XTAL1
XTAL2
GND
USBDP
USBDM
EARSE
VDDCORE
TCR
NPCSI
TMS
TDD
VDD
USB DET
TXD
SPCK
MOSI
RTSI
VDDVORE
CTSI
DCDT
MTS0
NPCS0
DTXD
DRXD
CTS0
RTS0
JP1
JUMPER
JP2
JUMPER
JP3
JUMPER
JP5
JUMPER
ON/OFF
VDD
C37
10 nF
R12
1.5 k
C36
1 nF
18.432 MHz
Y1
C31
10 pF
C32
10 pF
R13
27 R
C35
0.1 μF
C34
2.2 μF
C35
1 nF
VDDCORE
CN3
HE10_2X10
R7
R8
R10
R9
R11
47 k
47 k
47 k
47 k
REST
TDD
TCR
TMS
TDI
S3
JP1
REST
S1
JP1
OFF
R29
10 K

图 11-29 单片机控制部分设计

（3）存储器设计

存储部分M25 Pxx是一个512 Kbit到32Mbit（2Mx8）带有先进的写保护，通过高速SPI兼容总线访问串行闪存。存储器利用页编程指令一次编程1～256字节存储器，由多个扇区组成，每个扇区包含256或128页，每页256字节。可以利用芯片擦除指令擦除整个存储器，或利用扇区擦除指令一次擦除一个扇区。如图11-30所示。

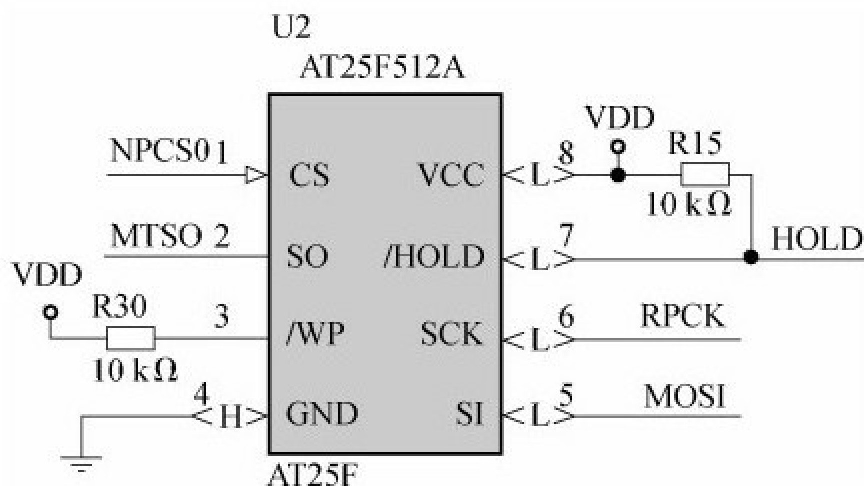


图 11-30 存储器设计

（4）电平转换电路设计

电平转换电路以MAX3238芯片为核心，实现电平转换及串口通信功能。MAX3238芯片供电电压为3～5.5V，符合TIA/EIA-232-F和ITUv.28标准。具有独特的±15kV人体静电保护措施，兼容5V逻辑输

入，内含3路接收、5路发送串行通信接口，最大数据传输速率可达250kbps。该芯片的最大特点是，在串行口无数据输入的情况下，可以灵活地进行电源管理，即当FORCEON为低电平、/FORCEOFF为高电平时，Auto-Powerdown Plus功能有效。在正常运行模式下，约30 s时间内若芯片在接收和发送引脚没有检测到有效信号，将自动进入Powerdown模式，此时耗电1μA。如果FORCEON和/FORCEOFF引脚均为高电平，那么Auto-Powerdown Plus功能失效。在Auto-Powerdown Plus功能有效的时，如果检测到接收或发送引脚有信号输入，该芯片自动被激活，转入正常工作状态。如果任一接收通道的输入电压高于2.7V或小于-2.7V，或者位于-0.3V～0.3V的时间小于30μs，则/INVALID（15脚）引脚为高电平（数据有效）。如果所有接收通道的输入电压位于-0.3～0.3V的时间大于30μs，则/INVALID（15脚）引脚为低电平（数据无效）。如图11-31所示。

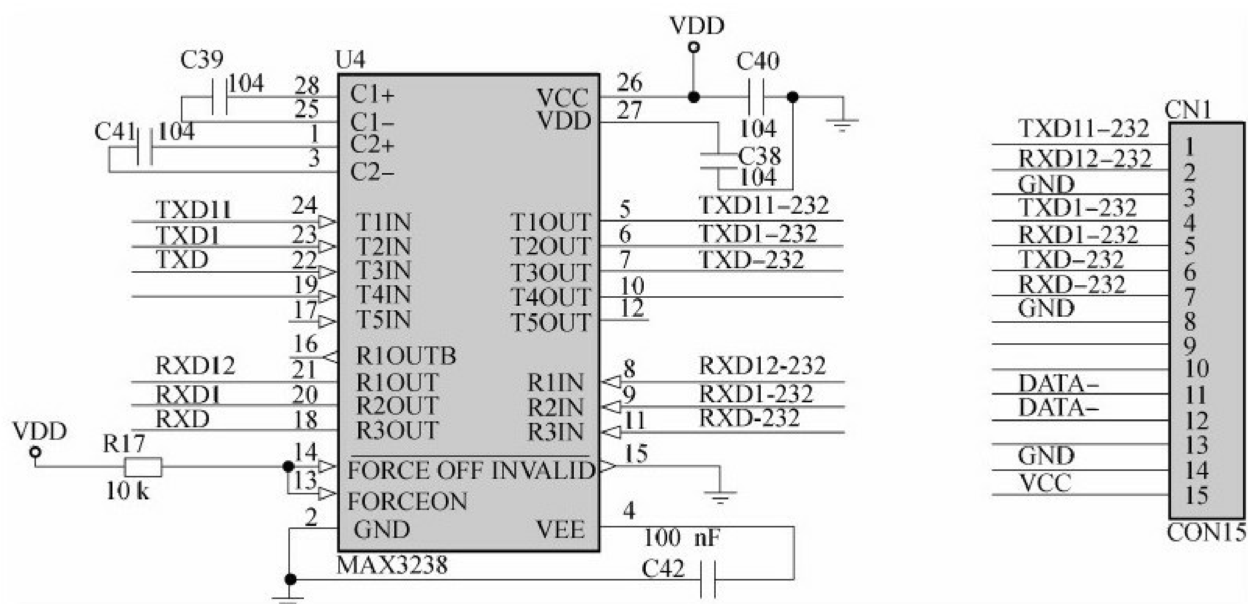
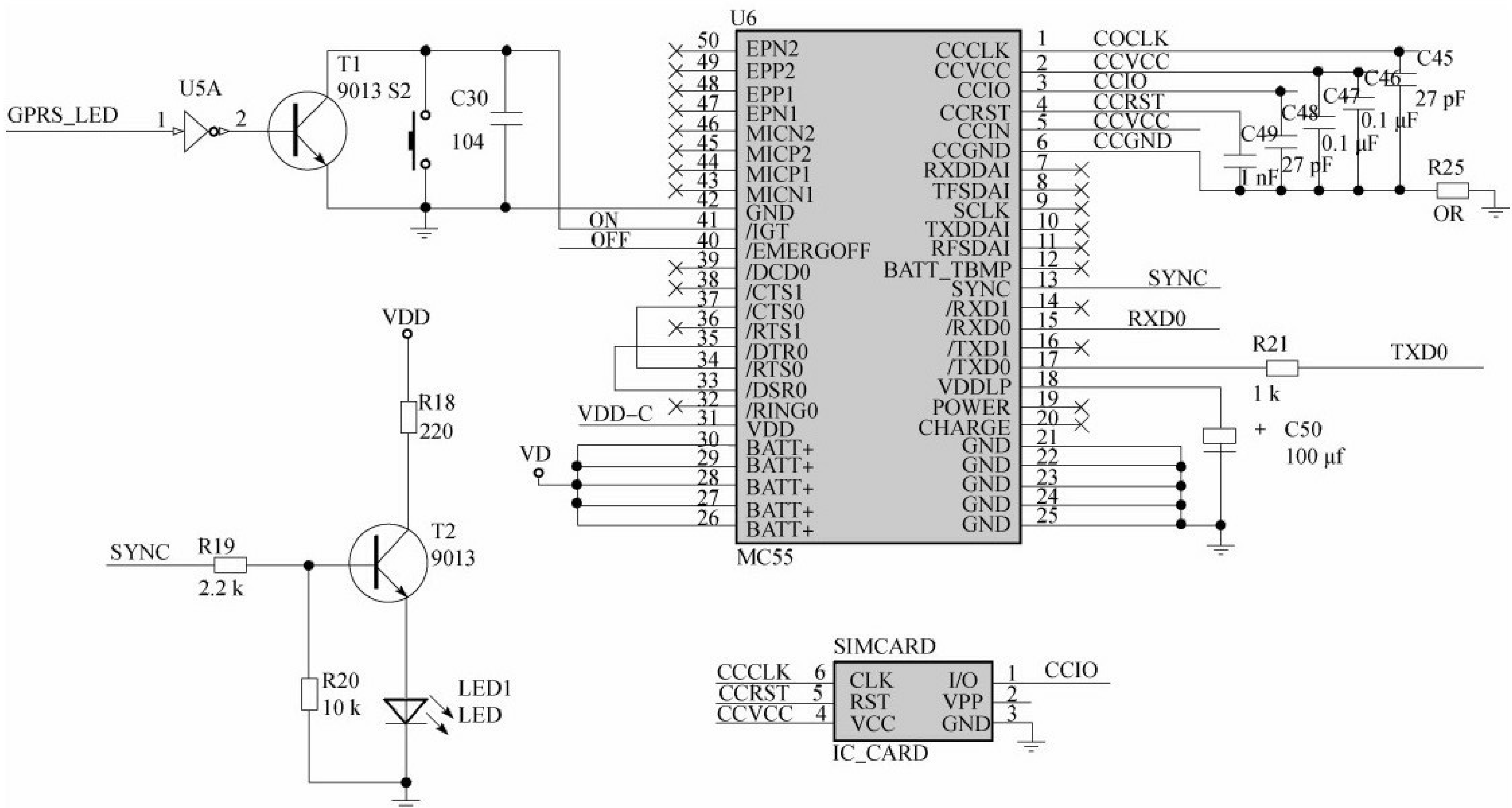


图　11-31　电平转换芯片

（5）通信电路设计

图11-32所示为通信电路设计原理图。MC55和MC56无线模块是当今市场上尺寸最小的三频模块。其紧凑型设计特别适用于大规模生产的生活消费品，例如移动电话、Smart phones、PDAS及其他便携式设备。紧凑的尺寸（35mm×32.5mm×2.95mm），仅5.5 g的重量；双三频工作模式：900MHz、1800MHz和1900MHz（MC55），850MHz、1800MHz和1900MHz（MC56）；GPRS（class 10）标准；语音和数据传输功能；设计用于基于MicrosoftWindows Mobile平台的设备（Smart phones and Pocket PCs）；支持PBCCH。



GPRS_LED
U5A
T1
9013 S2
C30
104
ON
OFF
U6
EPN2
EPP2
EPP1
EPN1
MICN2
MICP2
MICP1
MICN1
GND
/IGT
/EMERGOFF
/DCD0
/CTS1
/CTS0
/RTS1
/DTR0
/RTS0
/DSR0
/RING0
VDD
BATT+
CCCLK
CCVCC
CCIO
CCRST
CCIN
CCGND
RXDDAI
TFSDAI
SCLK
TXDDAI
RFSDAI
BATT_TBMP
SYNC
/RXD1
/RXD0
/TXD1
/TXD0
VDDLP
POWER
CHARGE
GND
MC55
COCLK
CCVCC
CCIO
CCRST
CCVCC
CCGND
C45
27 pF
C46
0.1 μF
C47
0.1 μF
C48
27 pF
C49
1 nF
R25
OR
SYNC
RXD0
R21
1 k
TXD0
C50
100 μf
VDD–C
VD
VDD
R18
220
T2
9013
SYNC
R19
2.2 k
R20
10 k
LED1
LED
SIMCARD
CCCLK
CCRST
CCVCC
CLK
RST
VCC
I/O
VPP
GND
CCIO
IC_CARD

图 11-32 通信电路设计

数据通信电路主要完成数据收发、与PC通信、软件流控制等功能。MC55的数据接口采用串行异步收发，符合ITU-T RS-232接口电路标准，工作在CMOS电平（2.65V）。数据接口配置为8位数据位、1位停止位、无校验位，可以在300 bps～115kbps的波特率下运行，支持的自动波特率为4.8～115kbps（14.4kbps和28.8kbps除外）。MC55模块还支持RTS0/CTS0的硬件握手和XON/XOFF的软件流控制。

11.6.3　PCB板的抗干扰设计

根据经验，射频电路效果的好坏不仅取决于射频电路板本身的性能指标，还取决于与CPU处理板间的相互影响，因此在进行PCB设计时，合理布局显得尤为重要。

布局过程中要注意以下内容：

1）首先确定与其他PCB板或系统的接口元器件在PCB板上的位置，必须注意接口元器件间的配合问题（如元器件的方向等）。

2）因为掌上电子产品的体积都很小，元器件间排列很紧凑，因此对于体积较大的元器件，必须优先考虑确定其相应位置，并考虑相互间的配合问题。

3）认真分析电路结构，对电路进行分块处理（如高频放大电路、混频电路及解调电路等），尽可能将强电信号和弱电信号分开，将数字信号电路和模拟信号电路分开，完成同一功能的电路应尽量安排在一定的范围之内，从而减小信号环路面积。各部分电路的滤波网络必须就近连接，这样不仅可以减小辐射，而且可以减少被干扰的几率，提高电路的抗干扰能力。

4）根据单元电路在使用中对电磁兼容性敏感程度不同进行分组。

对于电路中易受干扰部分的元器件，在布局时还应尽量避开干扰源（比如来自数据处理板上CPU的干扰等）。

对于射频电路，信号线的走向、宽度、线间距的不合理设计，可能造成信号传输线之间的交叉干扰。另外，系统电源自身还存在噪声干扰，所以在设计射频电路PCB时一定要综合考虑，合理布线。布线时，所有走线应远离PCB板的边框2mm左右，以免PCB板制作时造成断线或有断线的隐患。

电源线要尽可能宽，以减少环路电阻，同时使电源线、地线的走向和数据传递的方向一致，以提高抗干扰能力。所布信号线应尽可能短，并尽量减少过孔数目。各元器件间的连线越短越好，以减少分布参数和相互间的电磁干扰。对不相容的信号线应尽量相互远离，且尽量避免平行走线，而在正反两面的信号线应相互垂直。布线时在需要拐角的地方应以135°角为宜，避免拐直角。

布线时尽量减少回路环的面积，以降低感应噪声。布线时，电源线和地线要尽量粗。除减小压降外，更重要的是降低耦合噪声。对于单片机闲置的I/O口，不要悬空，要接地或接电源。其他IC的闲置端在不改变系统逻辑的情况下接地或接电源。

走线的过孔尽量少，以使产生的板间电磁干扰越少。在过孔数不变的情况下，稀疏的排布可减小板老化破损的可能。相邻两层间走线，大

致为一横一纵垂直分布。可降低电磁干扰，也便于走线。

在对射频电路PCB的地线进行布线时应该做到：

1）对电路进行分块处理时，射频电路基本上可分成高频放大、混频、解调、本振等部分，要为各个电路模块提供一个公共电位参考点，即各模块电路各自的地线，这样信号就可以在不同的电路模块之间传输。然后，汇总于射频电路PCB接入地线的地方，即汇总于总地线。由于只存在一个参考点，因此没有公共阻抗耦合存在，从而也就没有相互干扰问题。

2）数字区与模拟区尽可能以地线进行隔离，并且数字地与模拟地要分离，最后接于电源地。

3）在各部分电路内部的地线也要注意单点接地原则，尽量减小信号环路面积，并与相应的滤波电路的地线就近相接。

4）在空间允许的情况下，各模块之间最好能以地线进行隔离，防止相互之间的信号耦合效应。

图11-33为射频电路板参考设计，图11-34为3D效果图。

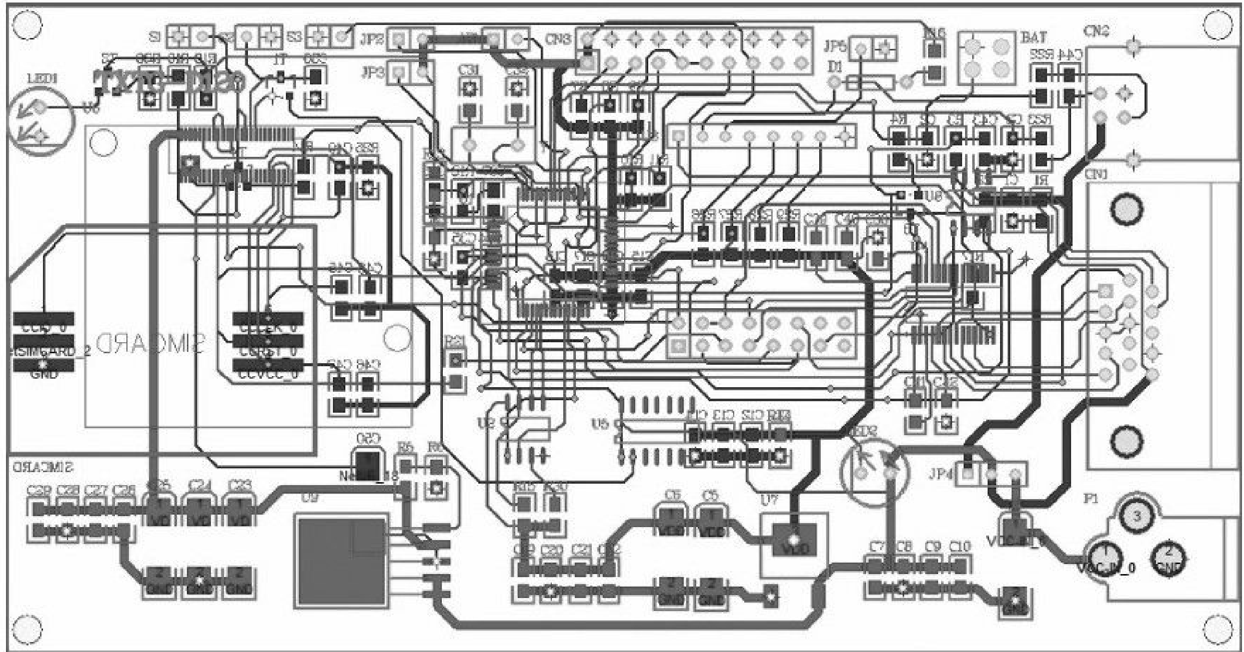


图 11-33 电路板布局走线图

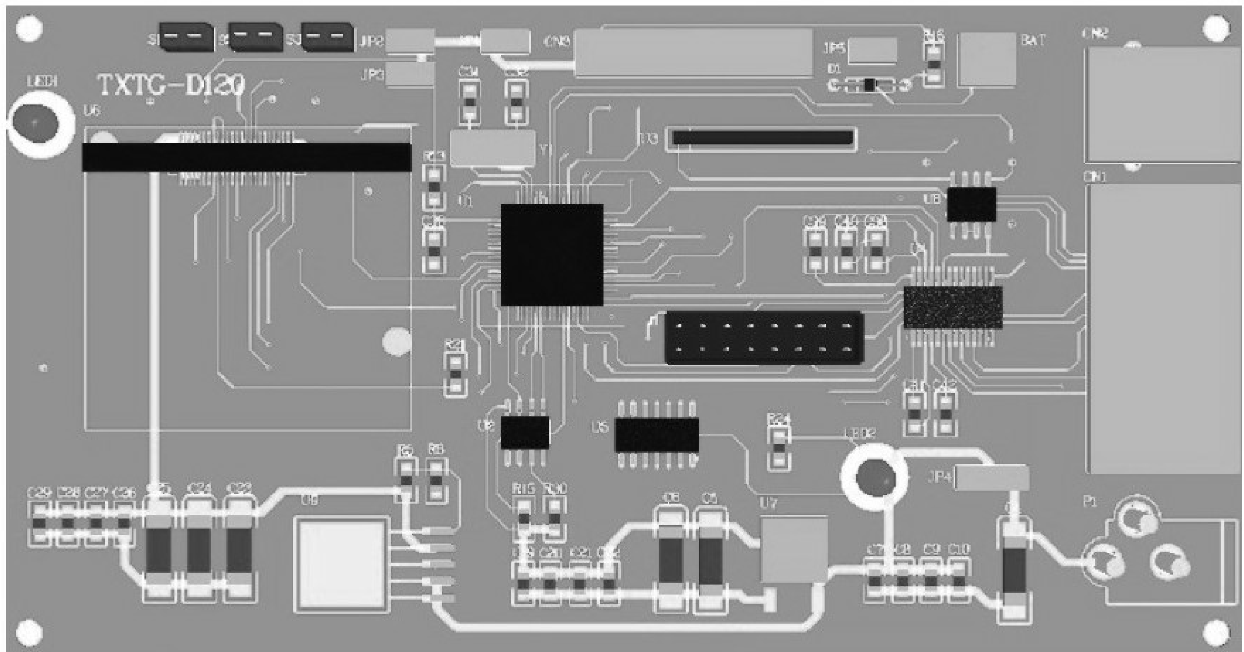


图 11-34 电路板3D效果图

附录　信号完整性的一些基本概念

传输线（transmission line）：由两个具有一定长度的导体组成回路的连接线，我们称之为传输线，有时也称为延迟线。

集总电路（lumped circuit）：在一般的电路分析中，电路的所有参数，如阻抗、容抗、感抗都集中于空间的各个点上、各个元件上，各点之间的信号是瞬间传递的，这种理想化的电路模型称为集总电路。

分布式系统（distributed system）：实际的电路情况是各种参数分布于电路所在空间的各处，当这种分散性造成的信号延迟时间与信号本身的变化时间相比已不能忽略时，整个信号通道是带有电阻、电容、电感的复杂网络，这就是一个典型的分布参数系统。

上升/下降时间（rise/fall time）：信号从低电平跳变为高电平所需要的时间，通常是量度上升/下降沿在10%～90%电压幅值之间的持续时间，记为T_r。

截止频率（knee frequency）：这是表征数字电路中集中了大部分能量的频率范围（$0.5/T_r$），记为Fknee，一般认为超过这个频率的能量对数字信号的传输没有任何影响。

特征阻抗（characteristic impedance）：交流信号在传输线上传播中

的每一步遇到不变的瞬间阻抗就称为特征阻抗，也称为浪涌阻抗，记为Z_0。可以通过传输线上输入电压对输入电流的比率值（V/I）来表示。

传输延迟（propagation delay）：指信号在传输线上的传播延时，与线长和信号传播速度有关，记为t_{PD}。

微带线（micro-strip）：指只有一边存在参考平面的传输线。

带状线（strip-line）：指两边都有参考平面的传输线。

趋肤效应（skin effect）：指当信号频率提高时，流动电荷会渐渐向传输线的边缘靠近，甚至中间将没有电流通过。与此类似的还有集束效应，现象是电流密集区域集中在导体的内侧。

反射（reflection）：指由于阻抗不匹配而造成的信号能量的不完全吸收，发射的程度可以用反射系数ρ表示。

过冲/下冲（over shoot/under shoot）：过冲就是指接收信号的第一个峰值或谷值超过设定电压——对于上升沿是指第一个峰值超过最高电压；对于下降沿是指第一个谷值超过最低电压。而下冲就是指第二个谷值或峰值。

振荡：在一个时钟周期中，反复地出现过冲和下冲，我们就称之为振荡。振荡根据表现形式可分为振铃（ringing）和环绕振荡，振铃为欠阻尼振荡，而环绕振荡为过阻尼振荡。

匹配（termination）：指为了消除反射而通过添加电阻或电容器件来达到阻抗一致的效果。因为通常在源端或终端采用，所以也称为端接。

串扰：串扰是指当信号在传输线上传播时，因电磁耦合对相邻的传输线产生的不期望的电压噪声干扰，这种干扰是由于传输线之间的互感和互容引起的。

信号回流（return current）：指伴随信号传播的返回电流。

自屏蔽（self shielding）：信号在传输线上传播时，靠大电容耦合抑制电场，靠小电感耦合抑制磁场来维持低电抗的方法称为自屏蔽。

前向串扰（forward crosstalk）：指干扰源对牺牲源的接收端产生的第一次干扰，也称为远端串扰（far-end crosstalk）。

后向串扰（backward crosstalk）：指干扰源对牺牲源的发送端产生的第一次干扰，也称为近端串扰（near-end crosstalk）。

屏蔽效率（SE）：是对屏蔽的适用性进行评估的一个参数，单位为分贝（dB）。

吸收损耗：是指电磁波穿过屏蔽罩的时候能量损耗的数量。

反射损耗：是指由于屏蔽的内部反射导致的能量损耗的数量，随着

波阻和屏蔽阻抗的比率变化而变化。

校正因子：表示屏蔽效率下降情况的参数。由于屏蔽物吸收效率不高，其内部的再反射会使穿过屏蔽层另一面的能量增加，因此校正因子是个负数，而且只使用于薄屏蔽罩中存在多个反射的情况分析。

差模EMI：传输线上电流从驱动端流到接收端的时候和它回流之间耦合产生的EMI，就叫做差模EMI。

共模EMI：当两条或者多条传输线以相同的相位和方向从驱动端输出到接收端的时候，就会产生共模辐射，即共模EMI。

发射带宽：即最高频率发射带宽，当数字集成电路从逻辑高低之间转换的时候，输出端产生的方波信号频率并不是导致EMI的唯一成分。该方波中包含频率范围更宽广的正弦谐波分量，这些正弦谐波分量是工程师所关心的EMI频率成分，而最高的EMI频率也称为EMI的发射带宽。

电磁环境：存在于给定场所的所有电磁现象的总和。

电磁干扰：任何能引起装置、设备或系统性能降低或者对有生命或者无生命物质产生损害作用的电磁现象。

电磁兼容性：设备或者系统在电磁环境中能正常工作且不对该环境中任何事物构成不能承受的电磁干扰的能力。

系统内干扰：系统中出现由本系统内部电磁干扰引起的电磁干扰。

系统间干扰：由其他系统产生的电磁干扰对一个系统造成的电磁干扰。

静电放电：具有不同静电电位的物体相互接近或者接触时而引起的电荷转移。

建立时间（setup time）：建立时间就是接收器件需要数据提前于时钟沿稳定存在于输入端的时间。

保持时间（hold time）：为了成功地锁存一个信号到接收端，器件必须要求数据信号在被时钟沿触发后继续保持一段时间，以确保数据被正确地操作。这个最小的时间就是所说的保持时间。

飞行时间（flight time）：指信号从驱动端传输到接收端，并达到一定的电平之间的延时，与传输延迟和上升时间有关。

T_{co}：是指器件的输入时钟边缘触发有效到输出信号有效的时间差，这是信号在器件内部的所有延迟总和，一般包括逻辑延迟和缓冲延迟。缓冲延迟（buffer delay）：指信号经过缓冲器达到有效的电压输出所需要的时间。

时钟抖动（jitter）：时钟抖动是指时钟触发沿的随机误差，通常可以用两个或多个时钟周期之间的差值来量度。这个误差是由时钟发生器

内部产生的，和后期布线没有关系。

时钟偏移（skew）：是指由同样的时钟产生的多个子时钟信号之间的延时差异。

假时钟：假时钟是指时钟越过阈值（threshold）无意识地改变了状态（有时在VIL或VIH之间）。通常由过分的下冲（undershoot）或串扰（crosstalk）引起。

电源完整性（power integrity）：指电路系统中的电源和地的质量。

同步开关噪声（simultaneous switch noise）：指当器件处于开关状态，产生瞬间变化的电流（di/dt），在经过回流途径上存在的电感时，形成交流压降，从而引起噪声，简称SSN。也称为Δi噪声。

地弹（ground bounce）：指由于封装电感而引起地平面的波动，造成芯片地和系统地不一致的现象。同样，如果是由于封装电感引起的芯片和系统电源差异，就称为电源反弹（power bounce）。

参考文献

[1]张义和.Altium Designer完全电路设计[M].北京：机械工业出版社，2007.

[2]Eric Bogatin.信号完整性分析[M].李玉山，李丽平，等译.北京：电子工业出版社，2005.

[3]Mark I. Montrose.电磁兼容的印制电路板设计[M].吕英华，于学萍，张金玲，等译.2版.北京：机械工业出版社，2008.

[4]朱立文.电磁兼容设计[OL].中国赛宝实验室，2003.

[5]唐昌茂，等.PCB的EMC设计指南[OL].深圳华为技术有限公司，2000.

[6]伦德全.电路板级的电磁兼容设计[OL].摩托罗拉微控制器部，2002.

[7]于争.电源完整性设计详解[OL].于博士信号完整性研究网，2003.

[8]阿鸣.电源完整性设计理论基础[OL].中国PCB技术网，2002.

[9]黄欣.LVDS在通信系统背板设计中的应用[J/OL].电子产品世界，2000，10：66-67.

[10]卢起斌.去耦电容的布局与布线
[OL].http://ecdavedu.cuc.edu.cn/faculty/members/luqb/http/techknowledge/D

[11]刘雅芳，张俊辉.抗干扰角度分析六层板的布线技巧[C].天津：天津市电机工程学会2007年学术年会.

[12]叶子.EMI设计规则[OL].上海泰齐科技有限公司，2004.